

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-356569

(P2004-356569A)

(43) 公開日 平成16年12月16日(2004.12.16)

(51) Int. Cl.⁷

H01L 23/12

H01L 23/32

F I

H01L 23/12

H01L 23/12

H01L 23/32

N

501T

D

テーマコード (参考)

審査請求 未請求 請求項の数 12 O L (全 14 頁)

(21) 出願番号

特願2003-155333 (P2003-155333)

(22) 出願日

平成15年5月30日 (2003.5.30)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市小島田町80番地

(74) 代理人 100099759

弁理士 青木 篤

(74) 代理人 100092624

弁理士 鶴田 準一

(74) 代理人 100082898

弁理士 西山 雅也

(74) 代理人 100081330

弁理士 樋口 外治

(72) 発明者 大井 和彦

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置用パッケージ

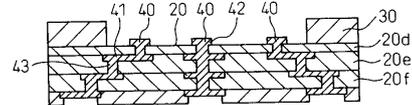
(57) 【要約】

【課題】半導体素子とこれを搭載する半導体パッケージとの間の線熱膨張係数の差によって両者の接合部にストレスが発生することを防止し、且つ強度の低い半導体素子を使用した場合においても、半導体素子の搭載時にクラック等を生じないようにする。

【解決手段】複数の導体層と絶縁樹脂層とが交互に積層されて成る多層の積層体(20)として形成され、積層体の一方の面に半導体素子を搭載するための半導体素子搭載部を有する半導体装置用パッケージにおいて、半導体素子搭載部及びその周辺を含む積層体の絶縁樹脂層(20d~20f)の全領域又は一部の領域は、液晶ポリマーからなる織布に絶縁樹脂を含浸させたプリプレグで構成することを特徴とする。

【選択図】 図11

図11



【特許請求の範囲】

【請求項 1】

複数の導体層と絶縁樹脂層とが交互に積層されて成る多層の積層体として形成され、該積層体の一方の面に半導体素子を搭載するための半導体素子搭載部を有する半導体装置用パッケージにおいて、少なくとも前記半導体素子搭載部及びその周辺を含む前記積層体の絶縁樹脂層の全領域又は一部の領域は、液晶ポリマーからなる織布に絶縁樹脂を含浸させたブリフレグで構成されていることを特徴とする半導体装置用パッケージ。

【請求項 2】

複数の導体層と絶縁樹脂層とが交互に積層されて成る多層の積層体と、該積層体の上面に積層形成された、最上層をなす第 1 の層、最上層の次の層をなす第 2 の層を含む少なくとも 2 つの絶縁樹脂層と、前記第 1 の層の上面に規定される半導体素子を搭載するための半導体素子搭載部とを具備する半導体装置用パッケージにおいて、前記第 1 の層は、搭載すべき半導体素子の線熱膨張係数以下の線熱膨張係数を有する絶縁樹脂で構成され、前記第 2 の層は、低ヤング率で且つ高伸び率を有する材料で構成されていることを特徴とする半導体装置用パッケージ。

10

【請求項 3】

複数の導体層と絶縁樹脂層とが交互に積層されて成る多層の積層体と、該積層体の上面に積層形成された、最上層をなす第 1 の層を含む少なくとも 1 つの絶縁樹脂層と、前記第 1 の層の上面に規定される半導体素子を搭載するための半導体素子搭載部とを具備する半導体装置用パッケージにおいて、前記第 1 の層は、低ヤング率で且つ高伸び率を有する材料で構成されていることを特徴とする半導体装置用パッケージ。

20

【請求項 4】

前記第 1 の層には、前記半導体素子搭載部の周囲に沿って切れ目が設けられ、該半導体素子搭載部とその周囲の領域との間の応力差を吸収するように構成されていることを特徴とする請求項 2 又は 3 に記載の半導体装置用パッケージ。

【請求項 5】

前記積層体の一方の面又は前記第 1 の層には、前記半導体素子搭載部の周辺を囲むように補強部材が固定されていることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置用パッケージ。

【請求項 6】

半導体素子と該半導体素子が搭載される半導体素子搭載部を有するパッケージとの間に介在され、半導体素子の複数の電極端子とパッケージの複数のパッド部との間を相互に電気的に接続するインターポージャーにおいて、ゴム弾性を有する伸縮性の材料からなる板状のインターポージャー本体と、該本体の一方の面から突出し且つ前記半導体素子の複数の電極端子にそれぞれ接合される複数の第 1 の端子と、該本体の他方の面から突出し且つ前記パッケージの複数の前記パッド部にそれぞれ接合される複数の第 2 の端子と、から成ることを特徴とするインターポージャー。

30

【請求項 7】

前記インターポージャー本体は、内部に絶縁性のメッシュを含むことを特徴とする請求項 6 に記載のインターポージャー。

40

【請求項 8】

半導体素子と該半導体素子が搭載される半導体素子搭載部を有するパッケージとの間に介在され、半導体素子の複数の電極端子とパッケージの複数のパッド部との間を相互に電気的に接続するインターポージャーにおいて、前記半導体素子の主たる素材を構成するシリコンと線熱膨張係数が同一又は近似する材料からなる第 1 の板状部材と、前記パッケージの主たる素材を構成する絶縁樹脂と線熱膨張係数が同一又は近似する材料からなる第 2 の板状部材とを貼り合わせてなる板状のインターポージャー本体と、該本体の第 1 の板状部材の面から突出し且つ前記半導体素子の複数の電極端子にそれぞれ接合される複数の第 1 の端子と、該本体の第 2 の板状部材の面から突出し且つ前記パッケージの複数の前記パッド部にそれぞれ接合される複数の第 2 の端子と、から成ることを特徴とするインターポージャー

50

。

【請求項 9】

複数の導体層と絶縁樹脂層とが交互に積層されて成る多層の積層体と、該積層体の上面に積層形成された、最上層をなす第1の層を含む少なくとも1つの絶縁樹脂層と、前記第1の層の上面に規定される半導体素子を搭載するための半導体素子搭載部とを具備する半導体装置用パッケージにおいて、前記第1の層は、ゴム弾性を有する応力緩和層から成ることを特徴とする構成されていることを特徴とする半導体装置用パッケージ。

【請求項 10】

応力緩和層から成る前記第1の層は、内部に絶縁性のメッシュを含むことを特徴とする請求項9に記載の半導体装置用パッケージ。

10

【請求項 11】

複数の導体層と絶縁樹脂層とが交互に積層されて成る多層の積層体と、該積層体の上面に積層形成された、最上層をなす第1の層を含む少なくとも1つの絶縁樹脂層と、前記第1の層の上面に規定される半導体素子を搭載するための半導体素子搭載部とを具備する半導体装置用パッケージにおいて、前記第1の層は、半導体素子の主たる素材を構成するシリコンと線熱膨張係数が同一又は近似する材料から成ることを特徴とする半導体装置用パッケージ。

【請求項 12】

複数の導体層と絶縁樹脂層とが交互に積層されて成る多層の積層体と、該積層体の上面に積層形成された、最上層をなす第1の層を含む少なくとも1つの絶縁樹脂層と、前記第1の層の上面に規定される半導体素子を搭載するための半導体素子搭載部とを具備する半導体装置用パッケージにおいて、前記第1の層の少なくとも前記半導体素子搭載部の領域は、応力緩和用の複数の溝又はスリットを形成されていることを特徴とする半導体装置用パッケージ。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体素子を搭載する半導体装置用パッケージに関し、特に、複数の導体層と絶縁樹脂層とが交互に積層して成る多層の積層体として形成され、その一方の面に半導体素子が搭載される半導体素子搭載部を有する、或いは多層の積層体の上面に更に1又は複数の絶縁樹脂層を有し、最上層の絶縁樹脂層の上面に半導体素子が搭載される半導体素子搭載部を有する半導体装置用パッケージにおいて、半導体素子と半導体パッケージとの接合部分における接合強度を改善した半導体装置用パッケージに関する。更に、本発明は、半導体素子と半導体パッケージとの間に介在されるインターポーザーにも関する。

30

【0002】

【従来の技術】

従来、複数の導体層と絶縁樹脂層とが交互に積層して成る多層の積層体から成る多層半導体装置用パッケージ、特に全層をビルドアップ方式で製造された多層半導体基板ないし半導体パッケージの絶縁樹脂層の材料として、絶縁樹脂が単独で用いられる場合が多かった。そのため、半導体素子を搭載するためのパッケージとして、それ自体の強度が弱く、線熱膨張係数が大きかった。特に、絶縁樹脂層の線熱膨張係数に関しては、搭載されているべき半導体素子自体の線熱膨張係数との差が大きいと、半田リフロー工程で半導体素子をパッケージに搭載する際、半導体素子とパッケージとの間に熱応力が生じ、パッケージ又は半導体素子が損傷を受ける、等の問題があった。

40

【0003】

また、半導体パッケージの強度を高めるために、内部にガラスクロスを入れ込んだ絶縁樹脂層を用いて多層基板とすることもあるが、このようなガラスクロス入りの多層樹脂基板にあっては、パッケージに対しレーザ光によりピア穴やスルーホールを加工する場合において、加工される穴形状がいびつなものとなり、またスルーホールめっきを行う場合には、めっきの付着性が悪いという問題がある。このような場合においても、絶縁樹脂層の線

50

膨張係数は15ppm程度でこれより小さくして半導体素子自体の線膨張係数に近づけることは困難であった。

【0004】

また、半導体パッケージを補強するためには、パッケージの周囲に補強材(スティフナー)を備えることもできるが、線膨張係数は一般に補強材よりパッケージの方が大きく、このため、はんだリフローにより半導体素子をパッケージに搭載する時には、パッケージの中心付近が外周部より膨張し、半導体素子との間の電氣的な接続を良好に行えないという問題があった。

【0005】

また、半導体素子の側から見ると、半導体素子として使用される材料は、一般に低誘電率のものが使用されるが、その材料には、非常にもろく且つ壊れ易いものが多い。そのため、半導体素子とパッケージとの接合部分における応力を極力下げる必要がある。

【0006】

なお、関連の従来技術を示すものとして、次のような文献がある。

【0007】

例えば、特許文献1では、多層プリント板の基材として、液晶ポリエステルの不織布を用い、これに熱硬化性樹脂成分を含浸させたプリプレグを使用することが開示されている。特許文献2では、ビルドアップ多層回路基板において絶縁層を形成する樹脂として、液晶ポリエステル、ポリアリレート等を使用すること、また絶縁樹脂シートの樹脂の表面をサンドブラストにより粗面化することが開示されている。また、特許文献3では、半導体装置の絶縁層を、樹脂とガラスクロス、ガラス不織布、ポリアミド系不織布または液晶ポリマー系不織布とで構成することが開示されている。

【0008】

一方、特許文献4では、半導体素子が搭載される搭載面を可及的に平坦に形成でき、且つ厚さを可及的に薄く形成し得るようになるため、層間接続をするためのヴィアの形状を工夫した半導体装置用多層基板が開示されている。また、特許文献5では、実装される半導体素子等の電子部品との熱膨張率差に起因して発生する応力を吸収するために、一部の絶縁樹脂層を低弾性の樹脂層で構成することが開示されている。また、特許文献6では、表面実装部品との接続信頼性に優れた表面実装用プリント配線板を得るべく、表面実装部品を実装するプリント配線基板の上に熱膨張係数が6~12ppmの熱膨張緩衝シートの一体的に積層することが開示されている。また、特許文献7では、金属板からなり半導体素子を嵌入するための開口部を有するメタルベース上に多層配線構造膜を積層し、半導体素子をメタルベースの開口部に嵌入し、フリップチップ接続をすることで、メタルベースを補強材として機能させ多層配線構造膜の平坦化を向上することが開示されている。

【0009】

【特許文献1】

特開平11-163208号公報

【特許文献2】

特開2000-31642号公報

【特許文献3】

特開2002-16173号公報

【特許文献4】

特開2000-323613号公報

【特許文献5】

特開2001-36253号公報

【特許文献6】

特開2001-274556号公報

【特許文献7】

特開2002-83893号公報

【0010】

10

20

30

40

50

【発明が解決しようとする課題】

上述のように、従来技術においては、レーザ光によるビア穴やスルーホール加工、スルーホールめっきにおけるめっきの付着性、半導体パッケージ自体の強度等の問題が十分解決されたものではなかった。また、半導体装置の製造過程において、半田リフローにより半導体素子をパッケージに搭載する時には、その温度によりパッケージの半導体素子を搭載する中心付近と、その外周部との間の線熱膨張係数の差により、パッケージの中心付近がその外周部より膨張し、半導体素子とパッケージとの間に応力が生ずるという問題についても十分に解決されたものではなかった。また、半導体素子の動作時の熱膨張に伴う、半導体素子とパッケージとの間の応力の問題も十分に解決されていない。

【0011】

以上のことから、本発明では、半導体素子とこれを搭載する半導体パッケージとの間の線熱膨張係数の差によって両者の接合部にストレスが発生することを防止すること、及び低い強度の半導体素子を使用した場合においても、半導体素子とパッケージとの接合部の強度が十分保たれるようにすること、等を目的とした半導体装置用パッケージを得ることにある。

【0012】**【課題を解決するための手段】**

上記の課題を達成するために、本発明によれば、複数の導体層と絶縁樹脂層とが交互に積層されて成る多層の積層体として形成され、該積層体の一方の面に半導体素子を搭載するための半導体素子搭載部を有する半導体装置用パッケージにおいて、少なくとも前記半導体素子搭載部及びその周辺を含む前記積層体の絶縁樹脂層の全領域又は一部の領域は、液晶ポリマーからなる織布（メッシュ）に絶縁樹脂を含浸させたプリプレグで構成されていることを特徴とする半導体装置用パッケージが提供される。

【0013】

また、本発明によれば、複数の導体層と絶縁樹脂層とが交互に積層されて成る多層の積層体と、該積層体の上面に積層形成された、最上層をなす第1の層、最上層の次の層をなす第2の層を含む少なくとも2つの絶縁樹脂層と、前記第1の層の上面に規定される半導体素子を搭載するための半導体素子搭載部とを具備する半導体装置用パッケージにおいて、前記第1の層は、搭載すべき半導体素子の線熱膨張係数以下の線熱膨張係数を有する絶縁樹脂で構成され、前記第2の層は、低ヤング率で且つ高伸び率を有する材料で構成されていることを特徴とする半導体装置用パッケージが提供される。

【0014】

更にまた、複数の導体層と絶縁樹脂層とが交互に積層されて成る多層の積層体と、該積層体の上面に積層形成された、最上層をなす第1の層を含む少なくとも1つの絶縁樹脂層と、前記第1の層の上面に規定される半導体素子を搭載するための半導体素子搭載部とを具備する半導体装置用パッケージにおいて、前記第1の層は、低ヤング率で且つ高伸び率を有する材料で構成されていることを特徴とする半導体装置用パッケージが提供される。

【0015】

前記第1の層には、前記半導体素子搭載部の周囲に沿って切れ目が設けられ、該半導体素子搭載部とその周囲の領域との間の応力差を吸収するように構成されていることを特徴とする。

【0016】

前記積層体の一方の面又は前記第1の層には、前記半導体素子搭載部の周辺を囲むように補強部材（スティフナー）が固定されていることを特徴とする。

【0017】

また、本発明によると、半導体素子と該半導体素子が搭載される半導体素子搭載部を有するパッケージとの間に介在され、半導体素子の複数の電極端子とパッケージの複数のパッド部との間を相互に電氣的に接続するインターポザーにおいて、ゴム弾性を有する伸縮性の材料からなる板状のインターポザー本体と、該本体の一方の面から突出し且つ前記半導体素子の複数の電極端子にそれぞれ接合される複数の第1の端子と、該本体の他方の

10

20

30

40

50

面から突出し且つ前記パッケージの複数の前記パッド部にそれぞれ接合される複数の第2の端子と、から成ることを特徴とするインターポザーが提供される。この場合において、前記インターポザー本体は、内部に絶縁性のメッシュを含むことを特徴とする。

【0018】

更に、本発明によると、半導体素子と該半導体素子が搭載される半導体素子搭載部を有するパッケージとの間に介在され、半導体素子の複数の電極端子とパッケージの複数のパッド部との間を相互に電氣的に接続するインターポザーにおいて、前記半導体素子の主たる素材を構成するシリコンと線熱膨張係数が同一又は近似する材料からなる第1の板状部材と、前記パッケージの主たる素材を構成する絶縁樹脂と線熱膨張係数が同一又は近似する材料からなる第2の板状部材とを貼り合わせてなる板状のインターポザー本体と、該本体の第1の板状部材の面から突出し且つ前記半導体素子の複数の電極端子にそれぞれ接合される複数の第1の端子と、該本体の第2の板状部材の面から突出し且つ前記パッケージの複数の前記パッド部にそれぞれ接合される複数の第2の端子と、から成ることを特徴とするインターポザーが提供される。

10

【0019】

更にまた、本発明によると、複数の導体層と絶縁樹脂層とが交互に積層されて成る多層の積層体と、該積層体の上面に積層形成された、最上層をなす第1の層を含む少なくとも1つの絶縁樹脂層と、前記第1の層の上面に規定される半導体素子を搭載するための半導体素子搭載部とを具備する半導体装置用パッケージにおいて、前記第1の層は、ゴム弾性を有する応力緩和層から成ることを特徴とするで構成されていることを特徴とする半導体装置用パッケージが提供される。この場合においても、応力緩和層から成る前記第1の層は、内部に絶縁性のメッシュを含むことを特徴とする。

20

【0020】

更にまた、本発明によると、複数の導体層と絶縁樹脂層とが交互に積層されて成る多層の積層体と、該積層体の上面に積層形成された、最上層をなす第1の層を含む少なくとも1つの絶縁樹脂層と、前記第1の層の上面に規定される半導体素子を搭載するための半導体素子搭載部とを具備する半導体装置用パッケージにおいて、前記第1の層は、半導体素子の主たる素材を構成するシリコンと線熱膨張係数が同一又は近似する材料から成ることを特徴とする半導体装置用パッケージが提供される。

30

【0021】

更にまた、本発明によると、複数の導体層と絶縁樹脂層とが交互に積層されて成る多層の積層体と、該積層体の上面に積層形成された、最上層をなす第1の層を含む少なくとも1つの絶縁樹脂層と、前記第1の層の上面に規定される半導体素子を搭載するための半導体素子搭載部とを具備する半導体装置用パッケージにおいて、前記第1の層の少なくとも前記半導体素子搭載部の領域は、応力緩和用の複数の溝又はスリットを形成されていることを特徴とする半導体装置用パッケージが提供される。

【0022】**【発明の実施の形態】**

以下、添付図面を参照して本発明の実施の形態について詳細に説明する。

【0023】

図1～図3は、半導体素子とこれを搭載する半導体パッケージとの間の応力を緩和し又は応力を発生させないようにすることを目的として、半導体素子と半導体パッケージとの間に介在させるインターポザーを使用するものである。

40

【0024】

図1(a)はインターポザーの素材として、シリコンのように、ゴム弾性を有し、ゴムのような伸縮性のある材料、例えば伸縮性フィルムを使用したインターポザーを示し、図1(b)はこのインターポザーを使用して半導体素子を半導体パッケージに搭載した状態を示す。インターポザー1を構成するフィルム2の両面には上下に突出し且つ互いに導通する複数の端子3、4があり、半田リフローの工程で、半導体素子10の複数の電極端子11がインターポザー1の上部端子3にそれぞれ接続され、インターポザー

50

1の下部端子4が半導体パッケージ20の複数のパッド部21にそれぞれ接続されることで、半導体素子10が半導体パッケージ20に実装される。

【0025】

インターポザー1の素材フィルム2が伸縮性を有するので、半導体素子10と半導体パッケージ20との間の線熱膨張係数が相違しても、このインターポザー1により両者の歪み差を吸収することができ、応力緩和が期待できる。この場合において、インターポザー1の素材のフィルムは厚さが200 μ m以上の場合、実際上の応力緩和の効果が見られた。

【0026】

図2はインターポザー1の素材として半導体素子の側をシリコン板又は液晶ポリマーフィルム5を使用し、半導体パッケージ側を当該半導体パッケージを構成する絶縁樹脂等の同様の線熱膨張係数をもったフィルム6を使用し、これらの両者5、6を貼り合わせて一体化した合成板を使用する。

10

【0027】

シリコン板又は液晶ポリマーフィルム5は、半導体素子10の基材であるシリコンと線熱膨張係数が同一又は近似しており、一方で、フィルム6は、半導体パッケージ20を構成している主たる材料であるエポキシやポリイミド等の絶縁樹脂と線熱膨張係数が同一又は近似しているため、半田リフロー時などのような加熱環境下においても、半導体素子10とインターポザー1のシリコン板又は液晶ポリマーフィルム5との間に応力は発生せず、また、インターポザー1の樹脂フィルム6と半導体パッケージ20の主たる材料である絶縁樹脂との間に応力は発生しない。

20

【0028】

また、インターポザー1の樹脂フィルム6については、その材質にもよるが、フィルム6と半導体パッケージ20の絶縁樹脂との間に線熱膨張係数に多少の差があっても、インターポザー1の上側フィルム5と下側フィルム6との間で応力がほとんど吸収されるか、或いは半導体パッケージ20の側に応力が発生することとなり、一方で、シリコン板又は液晶ポリマーフィルムは強度が高いため、インターポザー又は半導体パッケージが破壊されることはない。

【0029】

図3はインターポザー1の素材として絶縁性のメッシュ(織布)7を用い、このメッシュ7の空隙を利用して半導体素子10と半導体パッケージ20との間に生ずる応力を緩和するものである。具体的には、図3のインターポザーでは、液晶ポリマー等の絶縁性のメッシュに、導電性ペーストを部分的に含浸させ、メッシュ7の上面と下面を導通するパッドを形成する。あるいは、めっきにより、メッシュの上面と下面を導通するパッド8を形成する。パッド8の上面側は、半導体素子10の電極に接続され、下面側は、半導体パッケージ20のパッド部に接続される。

30

【0030】

図4及び図5は半導体パッケージとしてのビルドアップ基板の最上層、即ち半導体素子を搭載する半導体素子搭載部を含むビルドアップ基板の最上層に応力緩和層を組み込んだ例を示す。図4の例は、応力緩和層22としてゴムのような伸縮性のある材料、例えばシリコンのようなエラストマーを使用したものである。また、図5の例は、応力緩和層23として、半導体素子10の素材であるシリコンの同材質のシリコン板を設置するものである。これらの例では、ビルドアップ法により半導体パッケージの各層を積み上げて積層する過程で最上層のみ、上記のような応力緩和層22、23を積層することで公知の方法で製造可能である。

40

【0031】

図6及び図7は半導体パッケージの半導体素子側の領域に空隙を設けて応力を緩和する例である。図6の構造は、半導体パッケージ20の半導体素子側の領域に複数の溝をないしスリット24を設け、半導体素子を接合した場合における、半導体パッケージ20の半導体素子搭載部を含む表面部分における応力をこれらの溝やスリット24の部分にて吸収さ

50

せて緩和する。図7では、半導体パッケージの半導体素子側の層ないし領域をメッシュ状のような空隙の構造25としたものである。このような空隙構造を利用して半導体素子を接合時における、半導体素子とパッケージ20間に生じ得る応力を吸収する構造である。より具体的には、図7の構造25は、液晶ポリマー等の絶縁性のメッシュからなり、このメッシュに導電性ペーストを部分的に含浸させ、メッシュの上面と下面を導通するパッドを形成したものである。または、めっきにより、メッシュの上面と下面を導通するパッドを形成したものである。

【0032】

図8は半導体パッケージの線熱膨張係数と半導体素子の線熱膨張係数を近づけるようにするために、半導体パッケージ20の多層基板を構成する各層26を、液晶ポリマーのメッシュに絶縁樹脂を含浸させた材料で構成したものである。このように液晶ポリマーのメッシュ(織布)にエポキシやポリイミド等の絶縁樹脂を含浸させた材料を用いることにより、半導体パッケージ20の線熱膨張係数が低くなることで、半導体素子10の自体の線熱膨張係数に近づくこととなり、半導体素子10を接合した場合に半導体素子10と半導体パッケージ20との接合部における応力を緩和する。液晶ポリマーとしては、ポリエステル系又はポリアリレート系のものを適用することができる。

10

【0033】

図9は半導体パッケージを構成するビルドアップ基板20の半導体素子搭載領域の周囲を囲むように補強材(スティフナー)30をこのビルドアップ基板20の最上層に固着する。スティフナー30は例えばガラス・エポキシ基板等から成り、半導体パッケージ(ビルドアップ基板20)の強度を向上し、特に、半導体素子搭載領域の剛性を高めるためにビルドアップ基板20に固着されているものである。ビルドアップ基板20は、絶縁樹脂の積層部分は線熱膨張係数(CTE)が比較的low、一方で、上述のような材料からなるスティフナー30は線熱膨張係数(CTE)が比較的高いので、半田リフロー工程等のように加熱時において図の矢印で示すように半導体素子搭載領域の中央部が内側に向けて応力が働き、その半面、半導体素子搭載領域の周囲部は外側に向けて応力が働くこととなる。これにより、搭載される半導体素子10の接合部及びその周辺部分の線熱膨張係数を事実上極めて少なくすることができ、且つ結果的にこの領域における平坦化が図られ、それに伴い半導体素子10との接合部における応力の緩和を期待できる。

20

【0034】

図10は全層ビルドアップ基板の最上層にスティフナーを固着した構造である。全層ビルドアップ基板の絶縁樹脂20a~20cは、線熱膨張係数が20~30ppm程度である。一方、ガラス・エポキシ基板等から成るスティフナー30は線熱膨張係数が10~20ppm程度である。このため、上述の図9の説明とは逆に、スティフナーの線熱膨張係数より、全層ビルドアップ基板の絶縁樹脂20a~20cの線熱膨張係数が大きいため、半導体素子搭載領域が周囲部より大きく膨張するためうねりが発生し平坦性が無くなり、半導体素子との接続信頼性が低下する。ビルドアップ積層体20である各層の絶縁樹脂20a~20cは、例えば、絶縁層単体又はガラスクロス等の補強材に樹脂を含浸させたもの等を使用することができる。なお、図10において、導体部40は、ビルドアップ積層体20の絶縁樹脂層20a~20c間に配置される導体パターン層41と、積層体の最上層のチップ(素子)接続部42、各絶縁樹脂層間の導体層の相互間、及びにチップ(素子)接続部と間を電氣的に接続するビア部43とからなる。

30

40

【0035】

図11は図10と同様の全層ビルドアップ基板20の最上層にスティフナー30を固着した実施形態を示す。図10の半導体パッケージの構造と相違する点は、ビルドアップ多層積層体20である各層の絶縁樹脂層20d~20fを、絶縁層単体又はガラスクロス等の補強材に樹脂を含浸させたものではなくて、図8において説明したように、液晶ポリマーのメッシュ(織布)に絶縁樹脂を含浸させた材料で構成したものである。したがって、多層積層体で構成される半導体パッケージ20の線熱膨張係数を全体として低くすることができる。したがって、半田リフロー工程で半導体素子10を接合する場合のような、加熱露

50

囲気において半導体パッケージ周囲のスティフナー30が外側に引っ張られる力が働き、中央部では、ビルドアップ層20d~20fが中心部に向かって縮む方向に働く、これにより、半導体素子搭載領域が平坦化され、半導体素子と半導体パッケージとの接合部にクラック等を生ずることなく、信頼性を高めることができる。

【0036】

なお、図11で示したようにビルドアップ多層積層体20のすべての絶縁樹脂層20d~20fを、液晶ポリマーのメッシュ(織布)に絶縁樹脂を含浸させた材料で構成しても良いが、一部の層のみ、主として半導体素子10を搭載するための半導体素子搭載領域およびその周辺領域のみ、をこのような構成とし他の絶縁樹脂層は図10で示したように絶縁層単体又はガラスクロス等の補強材に樹脂を含浸させたものとしても良い。このようにビルドアップ多層積層体20の少なくとも一部の層を液晶ポリマーのメッシュに絶縁樹脂を含浸させたものとする事により、当該部分の線熱膨張係数を例えば0~5ppm程度と小さくすることができ、半導体素子10の線熱膨張係数に近づけることができる。

10

【0037】

即ち、液晶ポリマーのメッシュ(織布)を含むビルドアップ絶縁樹脂基板20は、絶縁層単体で構成されるものに比べ、比誘電率又は誘電正接が低く且つ機械的な強度が高いことにより、半導体パッケージの電気的特性が高まり、且つパッケージ自体の強度も高くすることができる。

【0038】

このようにビルドアップ多層積層体20の線熱膨張係数が半導体素子10のそれに近づくことにより、特に、半導体素子搭載領域付近でCTEが3ppm程度と半導体素子10のそれに近く、外周部でCTEが15~20ppm程度と大きくなるために、半田リフローによって半導体素子10を接合する加熱雰囲気内において、ビルドアップ多層積層体20の基板が外側へ引っ張られて半導体素子10と半導体パッケージ20との接合部において平坦化され、且つ応力が緩和され、強度の比較的低い半導体素子を使用した場合においてもクラック等を発生するおそれはなくなり、信頼性が高まる。

20

【0039】

液晶ポリマーとしては、ポリエステル系又はポリアリレート系のものを適用することができ、一例として、モノフィラメントで直径18~23 μ mのものが好適である。特に、パッケージの薄型化、軽量化のため、細い径のものが好ましい。メッシュの密度としてはV240~380(1インチ幅あたりのフィラメントの本数)程度のものを使用するのが適当である。

30

【0040】

図12~図14は、半導体パッケージの本体20を構成する多層積層体の上に2つの絶縁樹脂層20g、20hをビルドアップ積層したものである。多層積層体20は、通常使用される多層基板であって、複数の絶縁樹脂層と複数の導体層とが交互に積層されたものであり、各種の形式の積層体を用いることができる。導体部は、多層積層体の絶縁樹脂層間に配置される導体(パターン)層41、積層体の最上層のチップ(素子)接続部(バンブ)42、各絶縁樹脂層間の導体層の相互間、及びにチップ(素子)接続部と間を電氣的に接続するビア部43とからなる。

40

【0041】

これらの実施形態において、最表層の絶縁樹脂層20gと次の絶縁樹脂層20hには、これらの間に導体層(導体パターン)はなく、多層積層体20の表面の導体パターン41が最表層の絶縁樹脂層20gの半導体素子接合部42との間を電氣的に接続するためのブラインドビア43が設けられているのみである。なお、多層積層体20は、最表層の絶縁樹脂層20gと次の絶縁樹脂層20hとを積層・形成後に、ビルドアップ積層にて形成する。

【0042】

また、図12~図14に示す実施形態においては多層積層体20が片面ビルドアップ構造のものとして示しているが、例えばメタルコア基板のような両面ビルドアップ構造のもの

50

についても適用可能である。

【0043】

また、いずれの実施形態においても、半導体素子10の搭載領域の周囲には、矩形棒状のスティフナー30が補強部材として、最表層の絶縁樹脂層20gの外周部に固着されている。

【0044】

図12に示した実施形態によると、最表層の絶縁樹脂層20gは、搭載されるべき半導体素子よりも線熱膨張係数の小さいもの、例えば液晶ポリマー等の $-5 \sim 3$ ppm程度のもを使用する。最表層の次の絶縁樹脂層20hは、低ヤング率、高伸び率を有する材料（例えばシリコン等のゴム成分の入ったもの）を使用する。これにより、最表層の絶縁樹脂層20gは、半田リフロー工程時における搭載されるべき半導体素子と最表層の絶縁樹脂層20gの半導体素子搭載領域との線熱膨張係数を一致させるか、或いは近接させることで接合部の応力を緩和し、一方で、次の絶縁樹脂層20hは、半導体素子或いは最表層の絶縁樹脂層20gとパッケージ（多層積層体）20との間の線熱膨張係数の差を吸収し、発生すべき応力を緩和することとなり、これらの2つの絶縁樹脂層20g、20hが互いに協働することで、半導体素子のクラック等の発生を防止する。

10

【0045】

図13に示した実施形態によると、最表層の絶縁樹脂層20gは、低ヤング率、高伸び率を有する材料（例えばシリコン等のゴム成分の入ったもの）を使用する。一方で、最表層の次の絶縁樹脂層20hは、例えば、絶縁層単体又はガラスクロス等の補強材にエポキシやポリイミド等の樹脂を含浸させたもの等を使用する。これにより、最表層の絶縁樹脂層20gとその上面に搭載される半導体素子との間の線熱膨張係数の不整合を緩和することができる。

20

【0046】

図14に示した実施形態によると、図12の実施形態と同様、最表層の絶縁樹脂層20gは、搭載されるべき半導体素子よりも線熱膨張係数の小さいもの、例えば $-5 \sim 3$ ppm程度のもを使用し、最表層の次の絶縁樹脂層20hは、低ヤング率、高伸び率を有する材料（例えばゴム成分の入ったもの）を使用する。更に、この半導体パッケージには、スティフナー30の内側であって且つ半導体素子搭載部の周囲に沿って切れ目ないしスリット32が形成されている。切れ目ないしスリット32の深さは、2つの絶縁樹脂層20g、20hの一方（最表層の絶縁樹脂層20g）の厚さに相当する分でもよく、また、両方の厚さに相当する分であっても良い。

30

【0047】

図14の実施形態によると、図12の実施形態と同様に、最表層の絶縁樹脂層20gは、半田リフロー工程時における搭載されるべき半導体素子と最表層の絶縁樹脂層20gの半導体素子搭載領域との線熱膨張係数を一致ないし近づけることで接合部の応力を緩和し、一方で、次の絶縁樹脂層20hは、半導体素子或いは最表層の絶縁樹脂層20gとパッケージ（多層積層体）20との間の線熱膨張係数の差を吸収し、発生すべき応力を緩和することとなり、これらの2つの絶縁樹脂層が互いに協働することで、クラック等の発生を防止する。更に、半導体素子搭載部の周囲の切れ目32が、その内側の搭載領域と外側の領域とで線熱膨張係数を互いに遮断し、独立させることで、応力の緩和をより一層図ることができる。

40

【0048】

以上添付図面を参照して本発明の実施形態について説明したが、本発明は上記の実施形態に限定されるものではなく、本発明の精神ないし範囲内において種々の形態、変形、修正等が可能である。

【0049】

例えば、図12～図14に示した実施形態においては、パッケージ（多層積層体）20の上部に2つの絶縁樹脂層20g、20hを積層したが、1つの絶縁樹脂層のみとし、この層を低ヤング率、高伸び率を有する材料で構成することにより同様の効果を得ることもで

50

きる。

【0050】

なお、図1、2、4～7においては、図の簡略化のために、半導体パッケージ20は多層には示していないが、実際にはビルドアップ多層基板で複数の絶縁樹脂層が積層され、且つ各層絶縁樹脂層間には、導体（パターン）層が形成され、各層の導体パターン層間では、図示しないビア層を介して互いの電氣的な接続が行われている。図8でも導体パターン層は図示を省略している。

【0051】

【発明の効果】

以上説明したように、本発明によれば、半導体素子とこれを搭載する半導体パッケージとの間の応力がなくなり又は減少し、両者の接合部にストレスの発生を防止し、また、発明の開示素子搭載領域の平坦化が図られることより、低い強度の半導体素子を使用した場合においても、半導体素子とパッケージとの接合部の強度が保たれ、クラック等の発生を防止することができる。

【図面の簡単な説明】

【図1】伸縮性のあるフィルムをインターポザーに適用した例を示す。

【図2】インターポザーの素子側にシリコン板又は液晶ポリマーフィルムを使用した例を示す。

【図3】インターポザーの素材に絶縁性のメッシュを使用した例を示す。

【図4】ビルドアップ基板の素子側に伸縮性のある材料を用いた例を示す。

【図5】ビルドアップ基板の素子側にシリコン板を用いた例を示す。

【図6】パッケージの素子側に多数の溝を設けた例を示す。

【図7】パッケージの素子側にメッシュ状の空隙のある構造体を組み込んだ例を示す。

【図8】パッケージと素子の線熱膨張係数を揃えるようにした例を示す。

【図9】パッケージに補強部材（スティフナー）を組み込んだ例を示す。

【図10】多層基板に補強部材（スティフナー）を組み込んだ従来例を示す。

【図11】液晶ポリマーのメッシュに絶縁樹脂を含浸させたプリプレグを使用した本発明の1つの実施形態を示す。

【図12】応力緩衝層を設けた本発明の実施形態を示す。

【図13】応力緩衝層を設けた本発明の他の実施形態を示す。

【図14】応力緩衝層用の切れ目を設けた本発明の他の実施形態を示す。

【符号の説明】

10 ... 半導体素子

20 ... ビルドアップ多層基板（パッケージ）

20c～20f ... 絶縁樹脂層

20g ... 最上層（第1の層）

20h ... 最上層の次の層

30 ... スティフナー

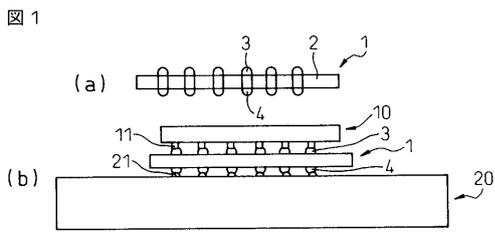
40（41，42，43）... 導体部

10

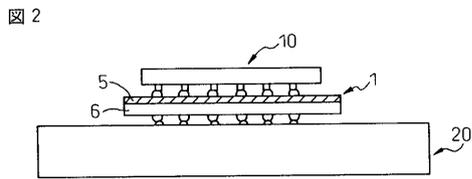
20

30

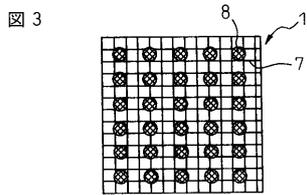
【 図 1 】



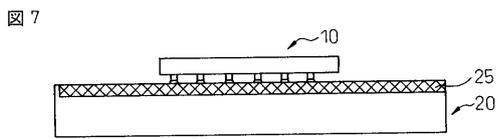
【 図 2 】



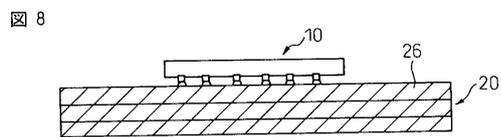
【 図 3 】



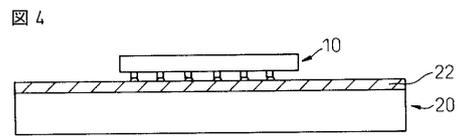
【 図 7 】



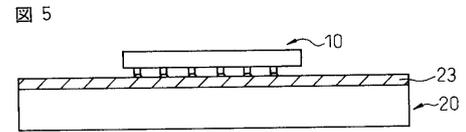
【 図 8 】



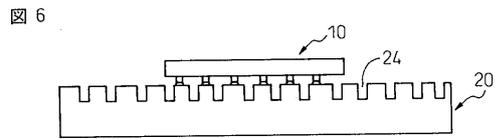
【 図 4 】



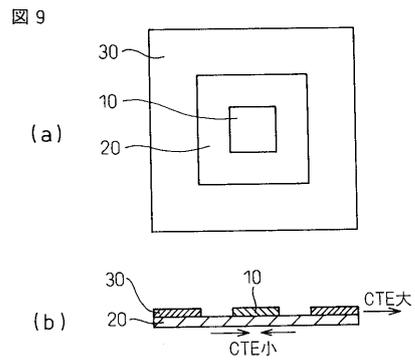
【 図 5 】



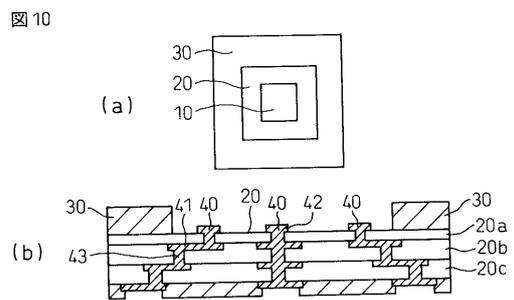
【 図 6 】



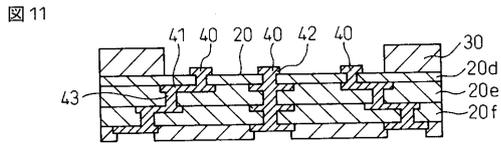
【 図 9 】



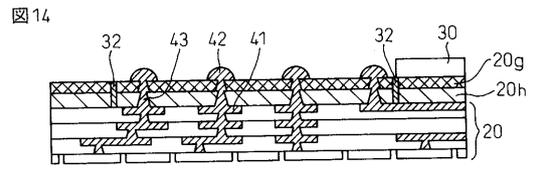
【 図 10 】



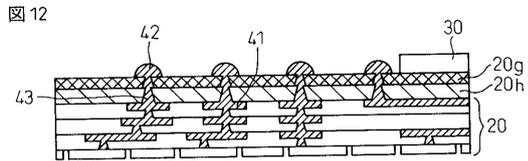
【 図 1 1 】



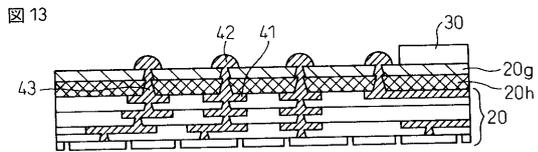
【 図 1 4 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

- (72)発明者 小平 正司
長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内
- (72)発明者 渡利 英作
長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内
- (72)発明者 中村 順一
長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内
- (72)発明者 松元 俊一郎
長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内