



(12) 发明专利

(10) 授权公告号 CN 110957349 B

(45) 授权公告日 2023. 04. 07

(21) 申请号 201811132992.8

H01L 29/78 (2006.01)

(22) 申请日 2018.09.27

(56) 对比文件

(65) 同一申请的已公布的文献号
申请公布号 CN 110957349 A

CN 104979390 A, 2015.10.14
KR 20070064859 A, 2007.06.22
US 5290720 A, 1994.03.01
US 6710416 B1, 2004.03.23
US 9876069 B1, 2018.01.23

(43) 申请公布日 2020.04.03

(73) 专利权人 世界先进积体电路股份有限公司
地址 中国台湾新竹科学工业园区

审查员 赖淑妹

(72) 发明人 林志威 邱柏豪

(74) 专利代理机构 北京三友知识产权代理有限公司 11127
专利代理师 王涛 任默闻

(51) Int. Cl.

H01L 29/06 (2006.01)
H01L 29/423 (2006.01)
H01L 21/336 (2006.01)

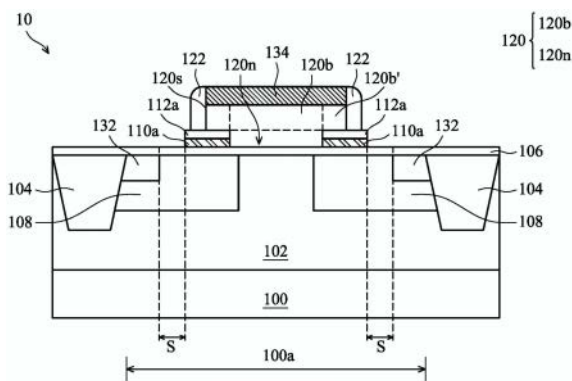
权利要求书2页 说明书8页 附图11页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本发明提供一种半导体装置及其制造方法。此装置包括具有高压阱的半导体基板、位于上述半导体基板上的栅极介电层、位于上述栅极介电层上的T型栅极，上述T型栅极具有延伸超出T型栅极的颈部的多个突出结构、设置在上述T型栅极的多个突出结构下方的介电颈部支撑件、设置在上述介电颈部支撑件下方的刻蚀终止部件、设置在上述T型栅极两侧的高压阱中的一对漂移区、以及位于该对漂移区内的一对源极/漏极区。该半导体装置可提升其击穿电压。



1. 一种半导体装置,其特征在于,包括:
 - 一半导体基板,具有一高压阱;
 - 一栅极介电层,位于所述半导体基板上;
 - 一T型栅极,位于所述栅极介电层上,所述T型栅极具有延伸超出所述T型栅极的颈部的多个突出结构;
 - 一介电颈部支撑件,设置在所述T型栅极的所述多个突出结构下方;
 - 一刻蚀终止部件,设置在所述介电颈部支撑件下方;
 - 一对漂移区,设置在所述T型栅极两侧的所述高压阱中;以及
 - 一对源极/漏极区,位于所述对漂移区内;所述刻蚀终止部件包括一导电材料或半导体材料,以作为场板。
2. 根据权利要求1所述的半导体装置,其特征在于,更包括一侧壁间隔物,覆盖所述介电颈部支撑件且沿着所述T型栅极的所述多个突出结构的侧壁延伸。
3. 根据权利要求2所述的半导体装置,其特征在于,所述侧壁间隔物与所述源极/漏极区横向隔开一距离。
4. 根据权利要求2所述的半导体装置,其特征在于,所述介电颈部支撑件较所述侧壁间隔物的宽度宽。
5. 根据权利要求1所述的半导体装置,其特征在于,所述介电颈部支撑件至少部分环绕所述T型栅极。
6. 根据权利要求5所述的半导体装置,其特征在于,所述介电颈部支撑件具有U型的上视轮廓。
7. 根据权利要求5所述的半导体装置,其特征在于,所述介电颈部支撑件具有环型的上视轮廓。
8. 根据权利要求1所述的半导体装置,其特征在于,所述介电颈部支撑件延伸超出所述多个突出结构的边缘。
9. 根据权利要求1所述的半导体装置,其特征在于,所述刻蚀终止部件较所述介电颈部支撑件的宽度宽。
10. 根据权利要求1所述的半导体装置,其特征在于,所述刻蚀终止部件为多晶硅。
11. 一种半导体装置的制造方法,其特征在于,包括:
 - 提供一半导体基板,其具有一高压阱;
 - 于所述半导体基板上形成一栅极介电层;
 - 于所述高压阱内形成一对漂移区;
 - 于所述栅极介电层上形成一刻蚀终止部件;
 - 于所述刻蚀终止部件上形成一介电颈部支撑件,其中所述刻蚀终止部件在形成所述介电颈部支撑件时作为刻蚀终点;
 - 于所述栅极介电层上形成一T型栅极,其中所述T型栅极具有延伸超出所述T型栅极的颈部的多个突出结构于所述介电颈部支撑件上;以及
 - 于所述漂移区内形成一对源极/漏极区;所述刻蚀终止部件包括一导电材料或半导体材料,以作为场板。
12. 根据权利要求11所述的半导体装置的制造方法,其特征在于,更包括形成一侧壁间

隔物,覆盖所述介电颈部支撑件且沿着所述T型栅极的所述多个突出结构的侧壁延伸。

13.根据权利要求12所述的半导体装置的制造方法,其特征在于,所述介电颈部支撑件较所述侧壁间隔物的宽度宽。

14.根据权利要求11所述的半导体装置的制造方法,其特征在于,所述介电颈部支撑件至少部分环绕所述T型栅极。

15.根据权利要求11所述的半导体装置的制造方法,其特征在于,所述介电颈部支撑件延伸超出所述多个突出结构的边缘。

16.根据权利要求11所述的半导体装置的制造方法,其特征在于,所述刻蚀终止部件较所述介电颈部支撑件的宽度宽。

17.根据权利要求11所述的半导体装置的制造方法,其特征在于,所述刻蚀终止部件为多晶硅。

18.根据权利要求11所述的半导体装置的制造方法,其特征在于,所述T型栅极具有一顶部掺杂区,且所述顶部掺杂区与所述源极/漏极区具有相同导电型及相同掺杂浓度。

半导体装置及其制造方法

技术领域

[0001] 本发明是关于一种半导体装置,且特别是关于具有刻蚀终止部件的高压半导体装置。

背景技术

[0002] 高压半导体装置技术适用于高电压与高功率的集成电路领域,此处的「高压」用语所指的是高击穿电压(breakdown down voltage)。传统高压半导体装置,例如双扩散漏极金属氧化物半导体场效应晶体管(Double Diffused Drain MOSFET,DDDMOS)及横向扩散金属氧化物半导体场效应晶体管(Lateral diffused MOSFET,LDMOS),主要用于高于或约为18V的元件应用领域。高压半导体装置技术的优点在于符合成本效益,且易相容于其他制造工艺,已广泛应用于显示器驱动IC元件、电源供应器、电力管理、通信、车用电子或工业控制等领域中。

[0003] 双扩散漏极金属氧化物半导体场效应晶体管(DDDMOS)具有体积小、输出电流大的特性,广泛应用在切换式稳压器(switch regulator)中。双扩散漏极是由二个掺杂区形成用于高压金属氧化物半导体场效应晶体管的一源极或一漏极。

[0004] 通常在设计DDDMOS时,主要考虑的是低导通电阻(on-resistance, R_{on})以及高击穿电压(breakdown voltage, BV)。在DDDMOS的设计中,若将漏极与通道区之间的间距(space)缩短(例如,利用自对准制造工艺将漏极自对准于栅极间隙壁),可降低DDDMOS的导通电阻。然而,DDDMOS的击穿电压会降低且漏电流会增加。

[0005] 因此,虽然现有高压半导体装置大致上合乎其预期目的,其并非在所有方面都完全令人满意。

发明内容

[0006] 本发明一实施例提供一种半导体装置,包括:一半导体基板,具有一高压阱;一栅极介电层,位于上述半导体基板上;一T型栅极,位于上述栅极介电层上,上述T型栅极具有延伸超出上述T型栅极的颈部的多个突出结构(overhangs);一介电颈部支撑件,设置在上述T型栅极的该多个突出结构下方;一刻蚀终止部件,设置在上述介电颈部支撑件下方;一对漂移区,设置在上述T型栅极两侧的上述高压阱中;以及一对源极/漏极区,位于上述漂移区内。

[0007] 本发明一实施例提供一种半导体装置的制造方法,包括:提供一半导体基板,其具有一高压阱;于上述基板上形成一栅极介电层;于上述高压阱内形成一对漂移区;于上述栅极介电层上形成一刻蚀终止层;于上述刻蚀终止层上形成一介电颈部支撑件,其中上述刻蚀终止层在形成上述介电颈部支撑件时作为刻蚀终点;于上述栅极介电层上形成一T型栅极,其中上述T型栅极具有延伸超出T型栅极的颈部的多个突出结构(overhangs)于上述介电颈部支撑件上;以及于上述漂移区内形成一对源极/漏极区。

附图说明

[0008] 以下将配合所附图式详述本发明的实施例。应注意的是,依据在业界的标准做法,各种特征并未按照比例绘制且仅用以说明例示。事实上,可能任意地放大或缩小元件的尺寸,以清楚地表现出本发明的特征。

[0009] 图1至图3、图4A、图4B、图5、图6是根据本发明一实施例绘示出高压半导体装置的制造方法的剖面示意图。

[0010] 图7A是根据本发明一实施绘示出高压半导体装置的俯视图。

[0011] 图7B是根据本发明另一实施绘示出高压半导体装置的俯视图。

[0012] 图8A至图8B是根据本发明一实施绘示出高压半导体装置的漏极的电流-电压关系图。

[0013] 附图标号:

[0014] 10~高压半导体装置;

[0015] 100~半导体基板;

[0016] 100a~主动区;

[0017] 102~高压阱 (high-voltage well region);

[0018] 104~隔离结构;

[0019] 106~栅极介电层;

[0020] 108~漂移区;

[0021] 110~刻蚀终止层;

[0022] 110a~刻蚀终止部件;

[0023] 112~介电支撑层;

[0024] 112a~介电颈部支撑件;

[0025] 120~T型栅极;

[0026] 120b~横条部;

[0027] 120b'~突出结构;

[0028] 120n~颈部;

[0029] 120s~侧壁;

[0030] 122~侧壁间隔物;

[0031] 132~源极/漏极区;

[0032] 134~顶部掺杂区;

[0033] D1~第一距离;

[0034] D2~第二距离;

[0035] D3~第三距离;

[0036] D4~第四距离;

[0037] E~边缘;

[0038] S~距离;

[0039] W~宽度。

具体实施方式

[0040] 以下的揭示内容提供许多不同的实施例或范例,以展示本发明的不同部件。以下将揭示本说明书各部件及其排列方式的特定范例,用以简化本发明叙述。当然,这些特定范例并非用于限定本发明。例如,若是本说明书以下的发明内容叙述了将形成第一部件于第二部件之上或上方,即表示其包括了所形成的第一及第二部件是直接接触的实施例,亦包括了尚可将附加的部件形成于上述第一及第二部件之间,则第一及第二部件为未直接接触的实施例。此外,本发明说明中的各式范例可能使用重复的参照符号及/或用字。这些重复符号或用字的目的在于简化与清晰,并非用以限定各式实施例及/或所述配置之间的关系。

[0041] 再者,为了方便描述图示中一元件或部件与另一(些)元件或部件的关系,可使用空间相对用语,例如「在…之下」、「下方」、「下部」、「上方」、「上部」及诸如此类用语。除了图示所绘示之方位外,空间相对用语亦涵盖使用或操作中的装置的不同方位。当装置被转向不同方位时(例如,旋转90度或者其他方位),则其中所使用的空间相对形容词亦将依转向后的方位来解释。

[0042] 以下说明本发明实施例的高压半导体装置及其制造方法。然而,应理解的是,以下的实施例仅用于说明以特定方法制作及使用本发明实施例,并非用以局限本发明的范围。本领域技术人员将可容易理解在其他实施例的范围内可做各种的修改。再者,虽然下述的方法实施例是以特定顺序进行说明,但其他方法实施例可以另一合乎逻辑的顺序进行,且可包括少于或多于此处讨论的步骤。

[0043] 本发明的实施例提供一种高压半导体装置,例如双扩散漏极金属氧化物半导体场效应晶体管(DDDMOS),其利用位于T型栅极边缘下方的介电颈部支撑件来提升高压半导体装置的击穿电压。如此一来,当增加通道区与漏极之间的间距并缩小高压半导体装置尺寸以改善其导通电阻及降低漏电流时,高压半导体装置仍然能够具有适当或所需的击穿电压。

[0044] 此外,在一些实施例中,本发明利用终点侦测(end Point Detection)刻蚀制造工艺(亦称为终点模式(end mode)刻蚀)形成上述介电颈部支撑件。有别于利用时限模式(time mode)刻蚀制造工艺来形成介电颈部支撑件,使用终点模式刻蚀制造工艺能更有效率且精确的控制介电颈部支撑件的厚度,并可扩大操作宽裕度。

[0045] 图1至图6是根据本发明的一些实施例,绘示出形成图6的高压半导体装置10在各个不同阶段的制造工艺剖面示意图。图7A及图7B是根据本发明不同实施例绘示出高压半导体装置的俯视图,为了简化清晰的目的,图7A及图7B中并未绘示出全部的部件。首先请参看图1,提供一半导体基板100,其具有一高压阱102及至少一隔离结构104。上述隔离结构104用以在半导体基板100的高压阱102内定义出主动区100a,并电性隔离形成于主动区内的半导体基板100之中及/或之上的各式装置结构。在一实施例中,半导体基板100可为硅基板、硅锗(silicon germanium, SiGe)基板、化合物半导体(compound semiconductor)基板、块体半导体(bulk semiconductor)基板、绝缘层上覆硅(silicon on insulator, SOI)基板或类似基板。

[0046] 在一些实施例中,上述隔离结构104包含浅沟槽隔离(shallow trench isolation, STI)结构、硅局部氧化(local oxidation of silicon, LOCOS)结构,其他合适的隔离结构部件或上述的组合。在一些实施例中,半导体基板100可具有第一导电型,例如P

型或N型。再者,高压阱102具有第一导电型。在一范例中,高压阱102为P型,且具有范围在约 1.0×10^{15} ions/cm³至约 1.0×10^{17} ions/cm³的掺杂浓度,例如约 5.0×10^{16} ions/cm³。在另一范例中,高压阱102为N型,且范围在约 1.0×10^{15} ions/cm³至约 1.0×10^{17} ions/cm³的掺杂浓度,例如约 6.0×10^{16} ions/cm³。

[0047] 请参照图2,在高压阱102上形成栅极介电层106。在一些实施例中,栅极介电层106覆盖整个主动区100a,且延伸于隔离结构104上方。上述栅极介电层106可为或包括氧化硅(silicon oxide)、氮化硅(silicon nitride)、氮氧化硅(silicon oxynitride)、高介电常数(high-k)介电材料(具有介电常数大于约7.0的材料)、或其它任何适合的介电材料、或上述的组合。举例来说,上述栅极介电层106可包括二氧化硅。在一实施例中,栅极介电层106具有范围在约300Å至约500Å的厚度。可使用热氧化(thermal oxidation)法、化学气相沉积(chemical vapor deposition,CVD)、物理气相沉积(physical vapor deposition,PVD)、原子层沉积(atomic layer deposition,ALD)及/或其他合适方法形成上述栅极介电层106。

[0048] 接着,继续参照图2,在对应主动区100a的高压阱102内形成漂移区(drift region)108。在一实施例中,漂移区108的深度小于隔离结构104的深度。上述漂移区108具有不同于第一导电型的一第二导电型。在一范例中,第一导电型可为P型,而第二导电型则为N型。在另一范例中,第一导电型可为N型,而第二导电型则为P型。可利用光刻制造工艺(photolithography process)形成注入遮罩(未绘示)于高压阱102之上,接着进行离子注入以形成上述漂移区108,且在漂移区108之间定义出通道区(未绘示)。再者,可在形成漂移区108之后,对漂移区108进行一退火制造工艺,例如快速热退火(RTA),此快速热退火持续时间约5秒至20秒,例如约10秒。

[0049] 请参照图3,形成刻蚀终止层(etch stop layer)110覆盖栅极介电层106,并在刻蚀终止层110上形成介电支撑层112(亦可称为介电层112),上述刻蚀终止层110及介电层112将在后续制造工艺中分别形成为刻蚀终止部件110a及介电颈部支撑件112a(如图4A至图4B所示)。

[0050] 刻蚀终止层110可在进行刻蚀制造工艺时作为刻蚀终点的机制以停止刻蚀制造工艺,此称为终点侦测(end point detection)刻蚀制造工艺。有别于使用时限模式的刻蚀制造工艺,终点侦测刻蚀制造工艺能更有效率且精确的控制介电颈部支撑件的厚度,并可扩大制造工艺窗口。刻蚀终止层110可由与相邻的膜层或部件(即,介电层112及/或栅极介电层106)中具有不同刻蚀选择性的材料形成。在一些实施例中,此刻蚀终止层110可包括或可为介电材料,例如含氮材料、含硅材料、及/或含碳材料。举例来说,刻蚀终止层110可包括或可为氮化硅(silicon nitride)、碳氮化硅(silicon carbon nitride)、氮化碳(carbon nitride)、氮氧化硅(silicon oxynitride)、碳氧化硅(silicon carbon oxide)、相似材料、或上述的组合。

[0051] 在另一些实施例中,此刻蚀终止层110可包括或可为导电材料或半导体材料,例如多晶硅(polysilicon)。在刻蚀终止层110被形成为刻蚀终止部件110a后,此包括导电材料或半导体材料的刻蚀终止部件110a可作为场板(field plate)运作。场板可重建通道的电场强度分布状况,其可降低栅极(靠近漏极端)的电场峰值,进而提高击穿电压。可藉由沉积制造工艺、电镀及/或其他合适方法形成刻蚀终止层110,举例来说,上述沉积方法可以是化

学气相沉积(chemical vapor deposition,CVD)、物理气相沉积(例如,溅镀)、原子层沉积(atomic layer deposition,ALD)、或其他沉积方法。

[0052] 在一些实施例中,介电层112及栅极介电层106包括相同的材料,例如介电层112及栅极介电层106皆可包括二氧化硅。在另一些实施例中,介电层112及栅极介电层106可包括不同的材料。举例来说,栅极介电层106可包括二氧化硅,而介电层112可包括氮化硅、氮氧化硅或其他高介电常数介电材料(例如, HfO_2 、 ZrO_2 、 Al_2O_3 、或 TiO_2 等等)。可藉由沉积方法形成介电层112,例如化学气相沉积(chemical vapor deposition,CVD)、物理气相沉积(physical vapor deposition,PVD)、或其他沉积技术。在一特定实施例中,上述栅极介电层106为二氧化硅。在一特定实施例中,上述介电层112为二氧化硅。在一特定实施例中,上述刻蚀终止层110为氮化硅。在另一特定实施例中,上述刻蚀终止层110为多晶硅。

[0053] 请参照图4A,使用光刻及刻蚀制造工艺将上述刻蚀终止层110及介电层112分别形成刻蚀终止部件110a及介电颈部支撑件112a。一般而言,光刻制造工艺包括,沉积光阻材料(未绘示)、曝光及显影,以去除部分的光阻材料。残余的光阻材料保护位于其下方的材料(例如,介电层112及刻蚀终止层110)屏蔽于后续的制造工艺步骤(例如,刻蚀)。在一些实施例中,形成光阻层(未绘示)覆盖介电层112,藉由使用适当光遮罩将光阻曝露至光中以图案化光阻。可接着藉由显影以去除光阻的曝露或未曝露部分,其取决于使用的是正光阻或是负光阻。接着,可使用此图案化光阻刻蚀介电层112及刻蚀终止层110,从而分别形成刻蚀终止部件110a及介电颈部支撑件112a。上述介电颈部支撑件112a可降低位于栅极(将于后续制造工艺中形成)边缘下方的电场及降低栅极-漏极电容,进而提升高压半导体装置的击穿电压及增加高压半导体装置的切换特性(switching characteristic)。此外,利用刻蚀终止层110作为刻蚀终点以刻蚀介电层112来形成上述介电颈部支撑件112a的方法(即,终点模式刻蚀制造工艺)具有一些优点,举例来说,有别于利用时限模式(time mode)刻蚀制造工艺来形成介电颈部支撑件112a,使用终点模式刻蚀制造工艺能更有效率且精确的控制介电颈部支撑件112a的厚度,并可扩大操作宽裕度。在一些实施例中,包括导电材料或半导体材料的刻蚀终止部件110a可作为场板(field plate)运作以进一步提升高压半导体装置的击穿电压。

[0054] 在一实施例中,介电颈部支撑件112a的厚度约在 500\AA 至 700\AA 的范围。在一实施例中,刻蚀终止部件110a的厚度约在 300\AA 至 500\AA 的范围。上述刻蚀制造工艺可为干刻蚀或湿刻蚀制造工艺,例如反应离子刻蚀(reactive ion etch,RIE)、中性束刻蚀(neutral beam etch,NBE)、相似制造工艺、或上述的组合。此刻蚀可为非等向性(anisotropic)的。在一实施例中,介电颈部支撑件112a具有U型的上视轮廓(如图7A所示),且介电颈部支撑件112a具有一宽度W。在其他实施例中,介电颈部支撑件112a具有环(loop)型的上视轮廓(如图7B所示)。此外,在一些实施例中,如图4A所示,上述刻蚀终止部件110a及介电颈部支撑件112a可具有相同的尺寸。举例来说,可在单一刻蚀步骤中同时形成刻蚀终止部件110a及介电颈部支撑件112a。在另一些实施例中,如图4B所示,上述刻蚀终止部件110a及介电颈部支撑件112a可具有不同的尺寸。举例来说,可藉由额外的光刻制造工艺形成额外的图案化光阻,以在不同的两个刻蚀步骤中分别形成刻蚀终止部件110a及介电颈部支撑件112a。

[0055] 请参照图5,于栅极介电层106上形成一T型栅极120。接着,于T型栅极120的两相对侧壁120s上形成侧壁间隔物122。上述T型栅极120包括横条部(bar portion)120b及颈部

(neck portion) 120n, 其中横条部120b延伸超出颈部120n的部份为突出结构(overhang) 120b'。在一实施例中,如图7A及图7B所示,具有U型或环型的上视轮廓的介电颈部支撑件112a自T型栅极120的侧壁122a突出一第一距离D1,上述第一距离D1大于侧壁间隔物122的宽度。此外,介电颈部支撑件112a自T型栅极120的侧壁122a延伸至T型栅极120下方的第二距离D2(即,突出结构120b'的宽度)大于第一距离D1。如此一来,可透过具有U型或环型上视轮廓的介电颈部支撑件112a来降低位于T型栅极120边缘下方的电场并降低栅极-漏极电容(Gate-Drain Capacitance, Cgd)。再者,从上视角度来看,介电颈部支撑件112a中垂直于T型栅极120的部分自主动区100a的一边缘E向外突出一第三距离D3。此外,介电颈部支撑件112a自主动区100a的一边缘E向主动区100a延伸的一第四距离D4小于第三距离D3。

[0056] 在一些实施例中,T型栅极120包括多晶硅、金属材料、金属硅化物、其他合适导电材料或上述的组合。可藉由适当的沉积制造工艺(例如,化学气相沉积、物理气相沉积、有机金属化学气相沉积(metal-organic chemical vapor deposition, MOCVD))及/或硅化(silicidation)制造工艺、光刻制造工艺及刻蚀制造工艺(例如,干刻蚀制造工艺或湿刻蚀制造工艺)形成上述T型栅极120。上述侧壁间隔物122包括与用于T型栅极120的材料不同的材料。在一些实施例中,侧壁间隔物122包括介电材料,例如氮化硅(silicon nitride)或氮氧化硅(silicon oxynitride)。在一实施例中,在形成T型栅极120之后,藉由在高压半导体装置10之上共形沉积介电材料以形成一或多个层(未绘示)。接下来,进行非等向性刻蚀制造工艺以去除部分上述一或多个层来形成侧壁间隔物122。

[0057] 请参照图6,形成具有第一导电型的源极/漏极区132于对应的漂移区108内,同时于T型栅极120的顶部形成顶部掺杂区134。在一实施例中,源极/漏极区132的掺杂浓度大于作为双扩散漏极区的漂移区108。再者,源极/漏极区132与顶部掺杂区134具有相同导电型及相同掺杂浓度。在一实施例中,源极/漏极区132可与侧壁间隔物122横向隔开一距离S(亦即,源极/漏极区132未自对准于侧壁间隔物122)以降低高压半导体装置10的漏电流。上述距离S范围大约在0.15微米至0.30微米。此外,上述顶部掺杂区134可降低T型栅极120的接触电阻。

[0058] 可利用光刻制造工艺形成注入遮罩(未绘示)于高压阱102之上,接着进行离子注入以形成上述源极/漏极区132,且在T型栅极120的顶部形成顶部掺杂区134。在形成源极/漏极区132之后,可利用现有金属化制造工艺,于图6的结构上形成一金属化层(未绘示)。如此一来,便可形成高压半导体装置10。在一实施例中,金属化层可包括一内层介电(ILD)层及位于内层介电(ILD)层内的一内连接结构。在一实施例中,内连接结构至少包括耦接至源极/漏极区132及顶部掺杂区134的金属电极。

[0059] 图8A/图8B是根据本发明实施例分别绘示出具有N型/P型高压阱的双扩散漏极金属氧化物半导体场效应晶体管的漏极的电流-电压曲线。虚线代表不具有场板的双扩散漏极金属氧化物半导体场效应晶体管,即刻蚀终止部件为介电材料的实施例,例如氮化硅。实线表示具有场板的双扩散漏极金属氧化物半导体场效应晶体管,即刻蚀终止部件为导电材料或半导体材料的实施例,例如多晶硅。由图8A至图8B可看出,无论是具有N型/P型高压阱的双扩散漏极金属氧化物半导体场效应晶体管,具有场板的双扩散漏极金属氧化物半导体场效应晶体管皆较不具有场板的双扩散漏极金属氧化物半导体场效应晶体管有较高的击穿电压。

[0060] 请参考图6,在本发明的实施例中,高压半导体装置10包括一半导体基板100,其具有一高压阱102及至少一隔离结构104。上述隔离结构104于半导体基板100的高压阱102内定义出一主动区100a。

[0061] 在本实施例中,高压半导体装置10更包括位于半导体基板100之上的栅极介电层106、以及位于栅极介电层106上方的一T型栅极120。在一实施例中,栅极介电层106位于高压阱102上,覆盖整个主动区100a并延伸于隔离结构104上方。在一特定实施例中,栅极介电层106可包括二氧化硅。上述T型栅极120包括横条部(bar portion) 120b及颈部(neck portion) 120n,其中横条部120b延伸超出颈部120n的部份为突出结构(overhang) 120b',如图6所示。在一实施例中,上述T型栅极120可包括多晶硅。在一实施例中,上述T型栅极120具有顶部掺杂区134,以降低T型栅极120的接触电阻。

[0062] 在本实施例中,高压半导体装置10更包括介电颈部支撑件112a,设置在T型栅极120的突出结构120b'下方,其中上述介电颈部支撑件112a延伸超出突出结构120b'的边缘。介电颈部支撑件112a位于高压阱102上。介电颈部支撑件112a为图案化介电层而未覆盖整个主动区100a或延伸于隔离结构104上方。如图7A及图7B所示,介电颈部支撑件112a至少部分环绕T型栅极120。在一些实施例中,介电颈部支撑件112a可具有U型的上视轮廓,在另一些实施例中,介电颈部支撑件112a可具有环型的上视轮廓。在一实施例中,介电颈部支撑件112a及栅极介电层106包括相同的材料,例如二氧化硅。在其他实施例中,介电颈部支撑件112a及栅极介电层106可包括不同的材料。

[0063] 在本实施例中,高压半导体装置10更包括刻蚀终止部件110a,设置在介电颈部支撑件112a下方。在一些实施例中,刻蚀终止部件110a具有与介电颈部支撑件112a相同的尺寸,而在另一些实施例中,刻蚀终止部件110a较介电颈部支撑件112a的宽度宽。在一些实施例中,刻蚀终止部件110a包括导电材料或半导体材料,以作为场板。在一特定实施例中,上述刻蚀终止部件110a为多晶硅。

[0064] 在本实施例中,高压半导体装置10更包括设置在T型栅极120两侧的高压阱102中的一对漂移区108,以及设置在上述漂移区108中的一对源极/漏极区132。

[0065] 在本实施例中,高压半导体装置10更包括侧壁间隔物122,覆盖介电颈部支撑件112a且沿着T型栅极120的突出结构120b'延伸,其中介电颈部支撑件112a较上述侧壁间隔物122的宽度宽。在一实施例中,源极/漏极区132与侧壁间隔物122横向隔开一距离S。

[0066] 根据上述实施例,在形成具有由U型或环型的介电层高压半导体装置的过程中,利用刻蚀终止层作为刻蚀终点以刻蚀介电支撑层来形成介电颈部支撑件的方法(即,终点模式刻蚀制造工艺)具有一些优点,举例来说,有别于利用时限模式(time mode)刻蚀制造工艺来形成介电颈部支撑件,使用终点模式刻蚀制造工艺能更有效率且精确的控制介电颈部支撑件的厚度,并可扩大操作宽裕度。此外,包括导电材料或半导体材料的刻蚀终止部件可具有场板功效,可进一步提升装置的击穿电压。如此一来,在高压半导体装置设计中,源极/漏极区可与侧壁间隔物横向隔开一距离,以增加通道区与源极/漏极区之间的间距,进而减少高压半导体装置的漏电流。再者,可透过缩小高压半导体装置的平面尺寸而降低高压半导体装置的导通电阻。

[0067] 以上概略说明了本发明数个实施例的特征,使本领域技术人员对于本发明可更为容易理解。任何本领域技术人员应了解到本说明书可轻易作为其他结构或制造工艺的变更

或设计基础,以进行相同于本发明实施例的目的及/或获得相同的优点。任何本领域技术人员亦可理解与上述等同的结构或制造工艺并未脱离本发明的精神及保护范围内,且可在不脱离本发明的精神及范围内,当可作更动、替代与润饰。

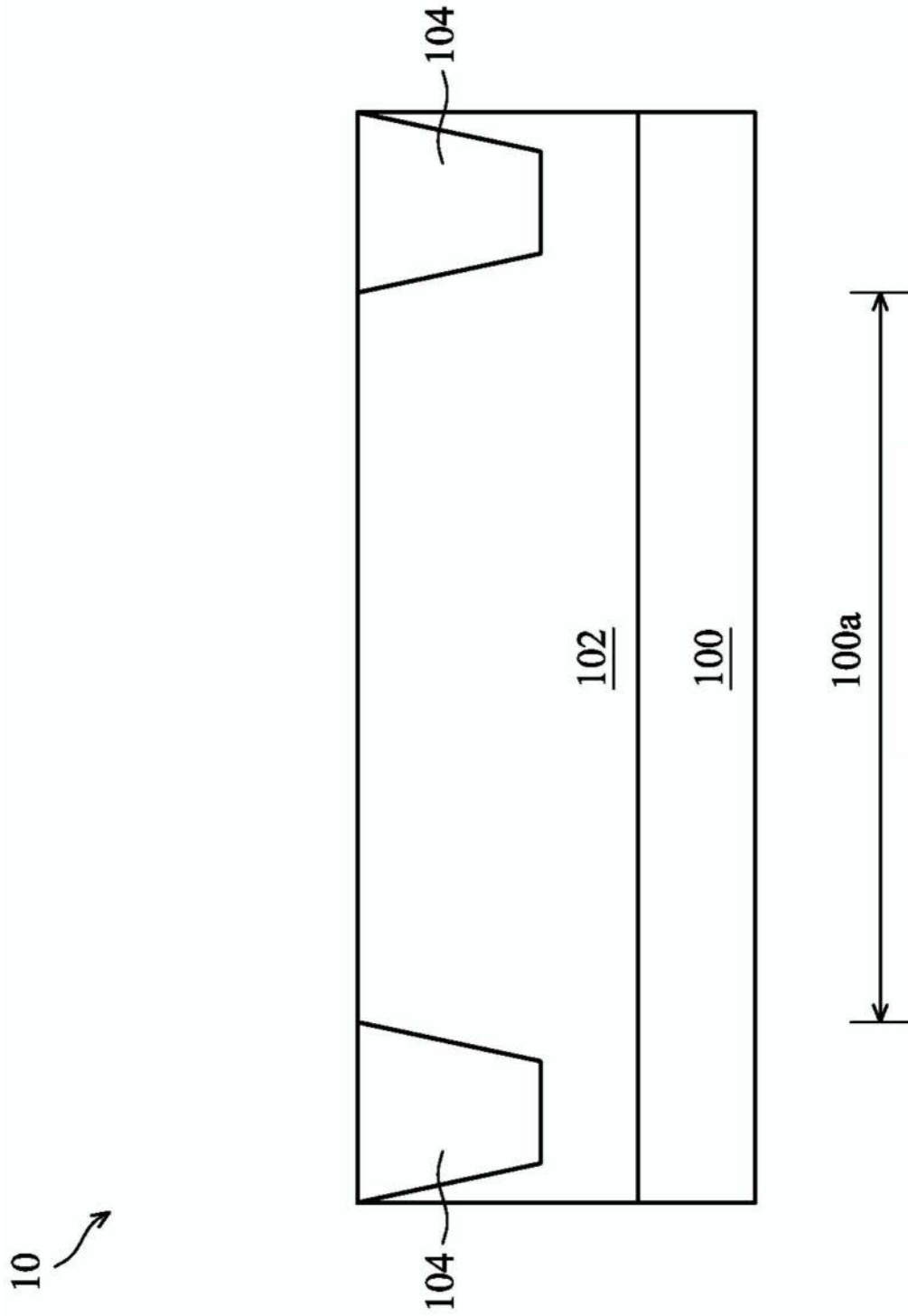


图1

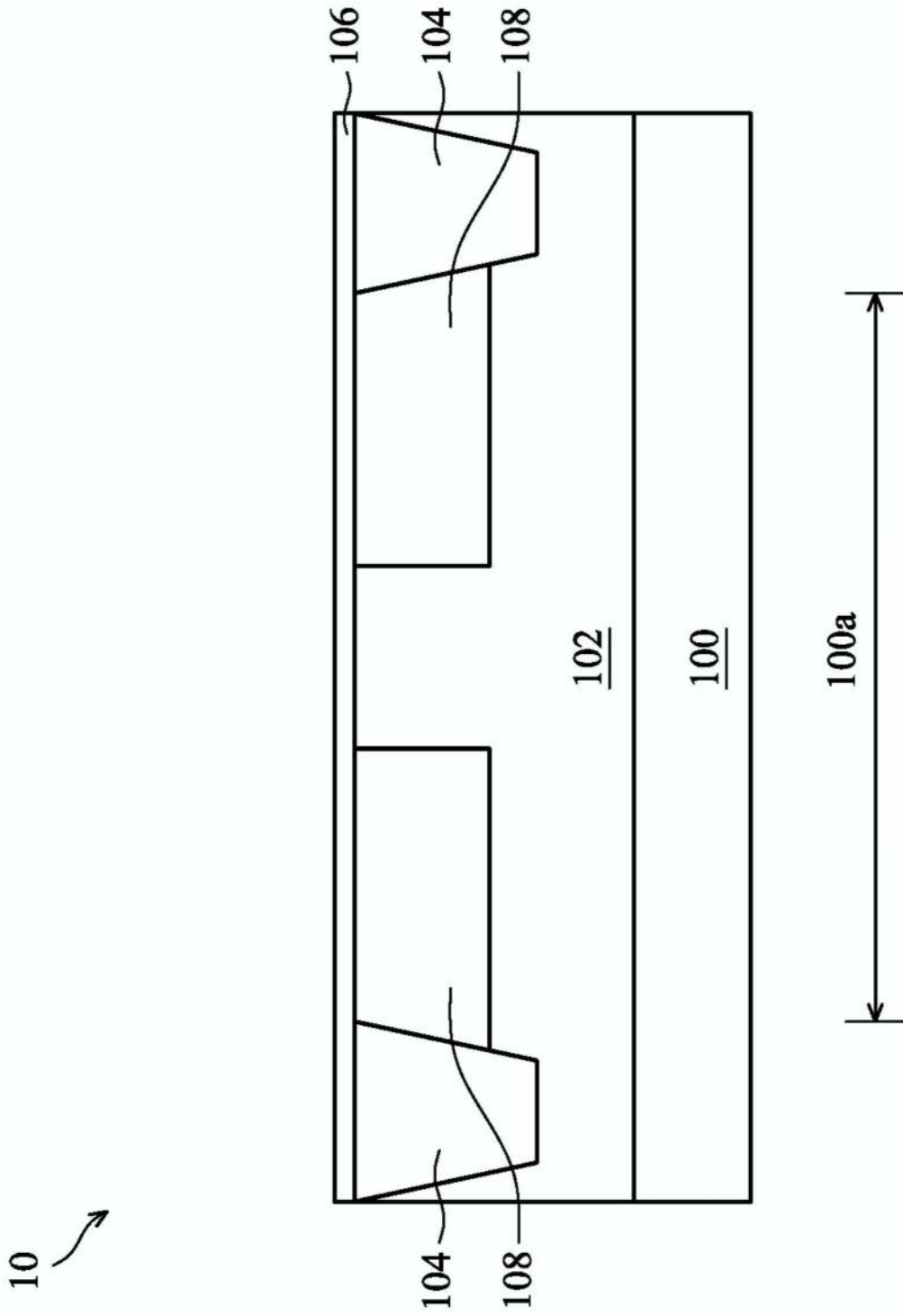


图2

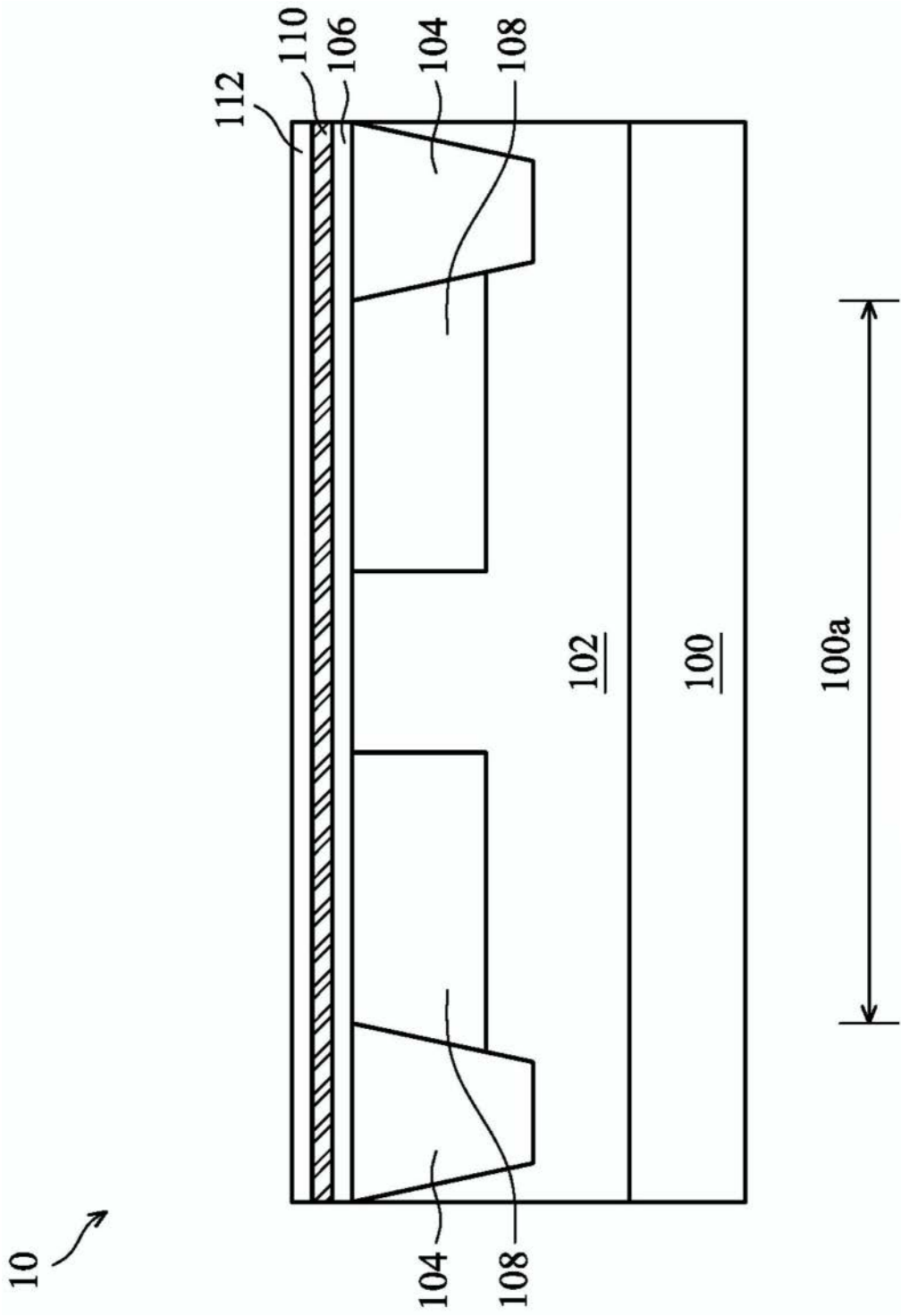


图3

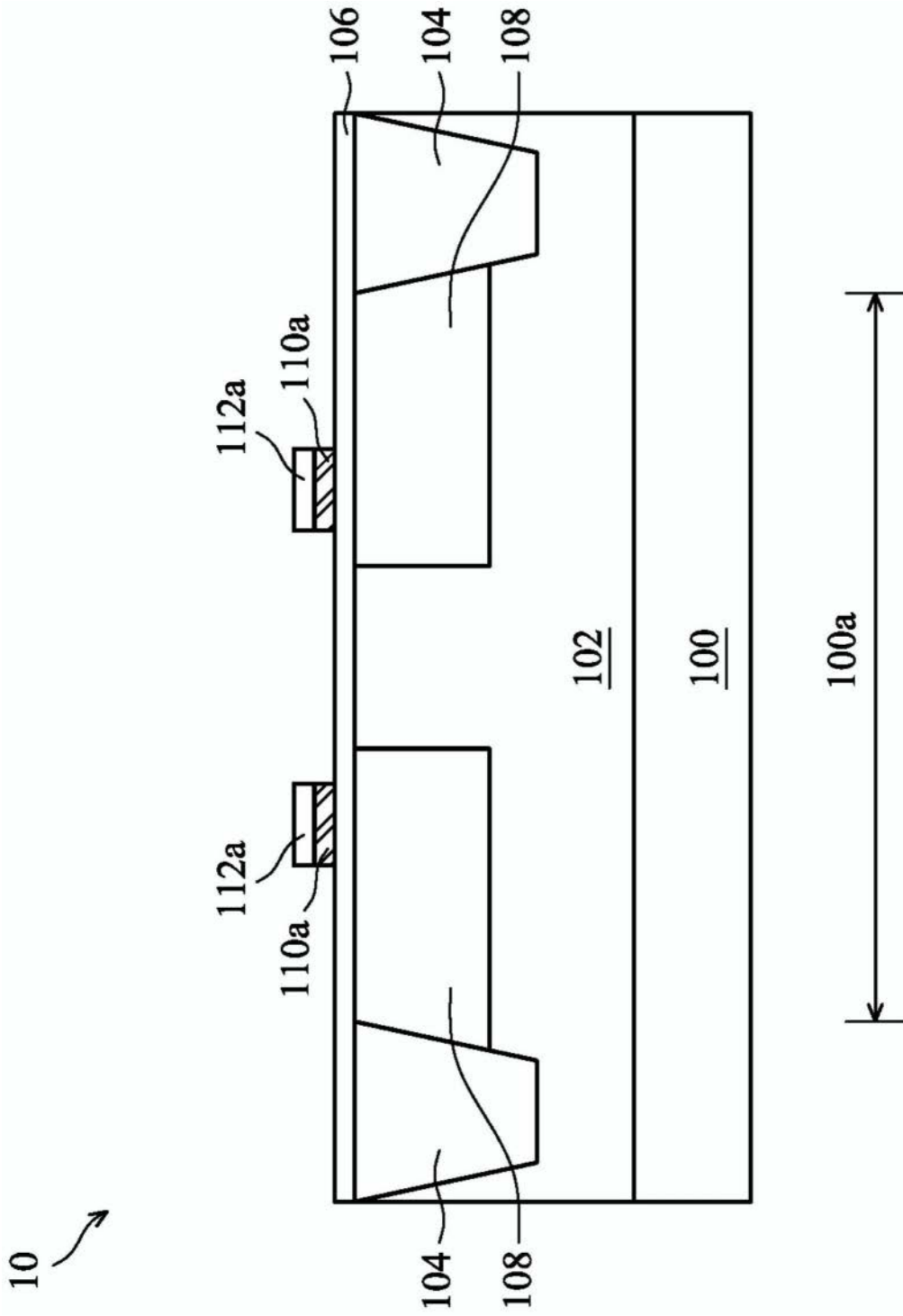


图4A

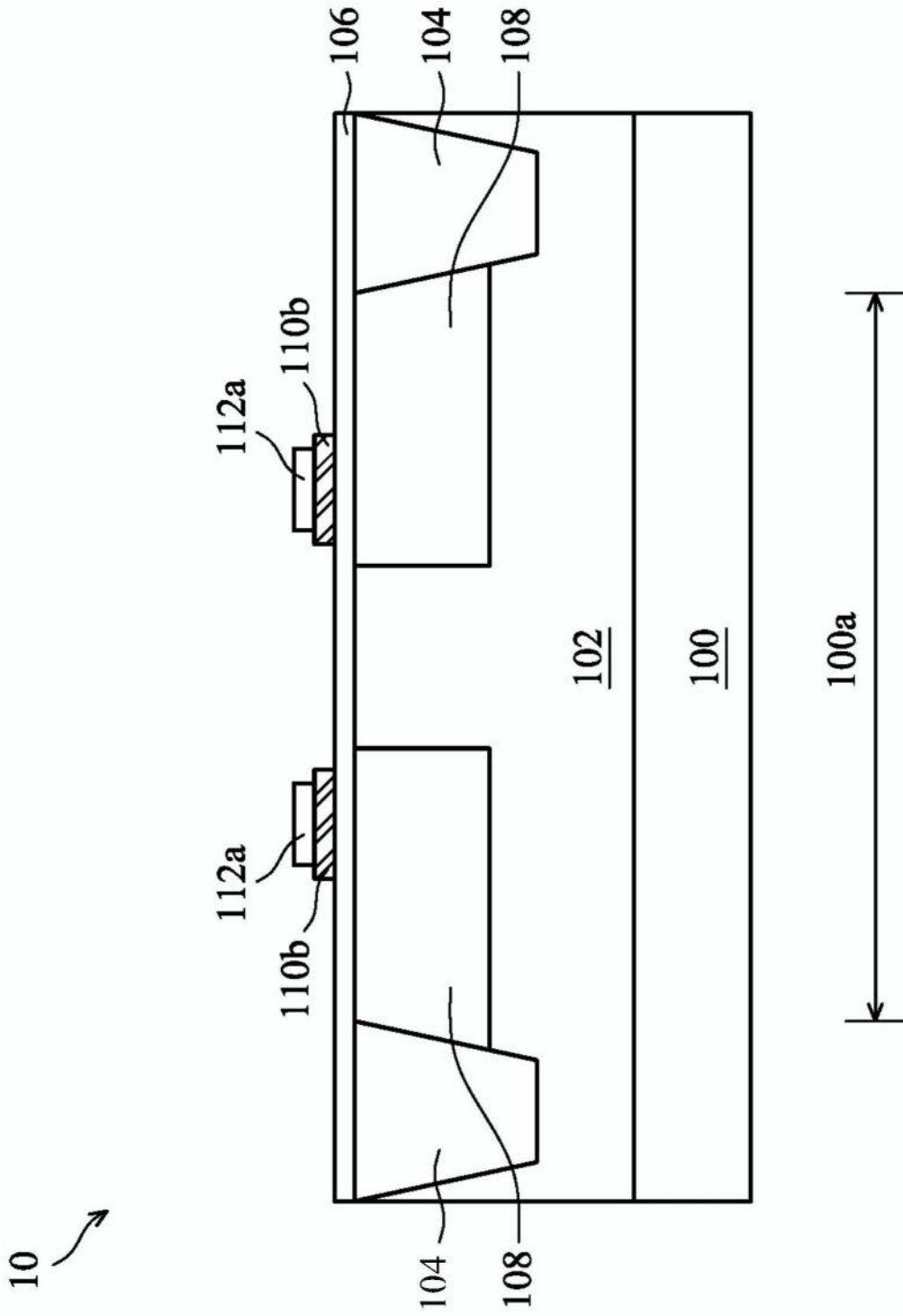


图4B

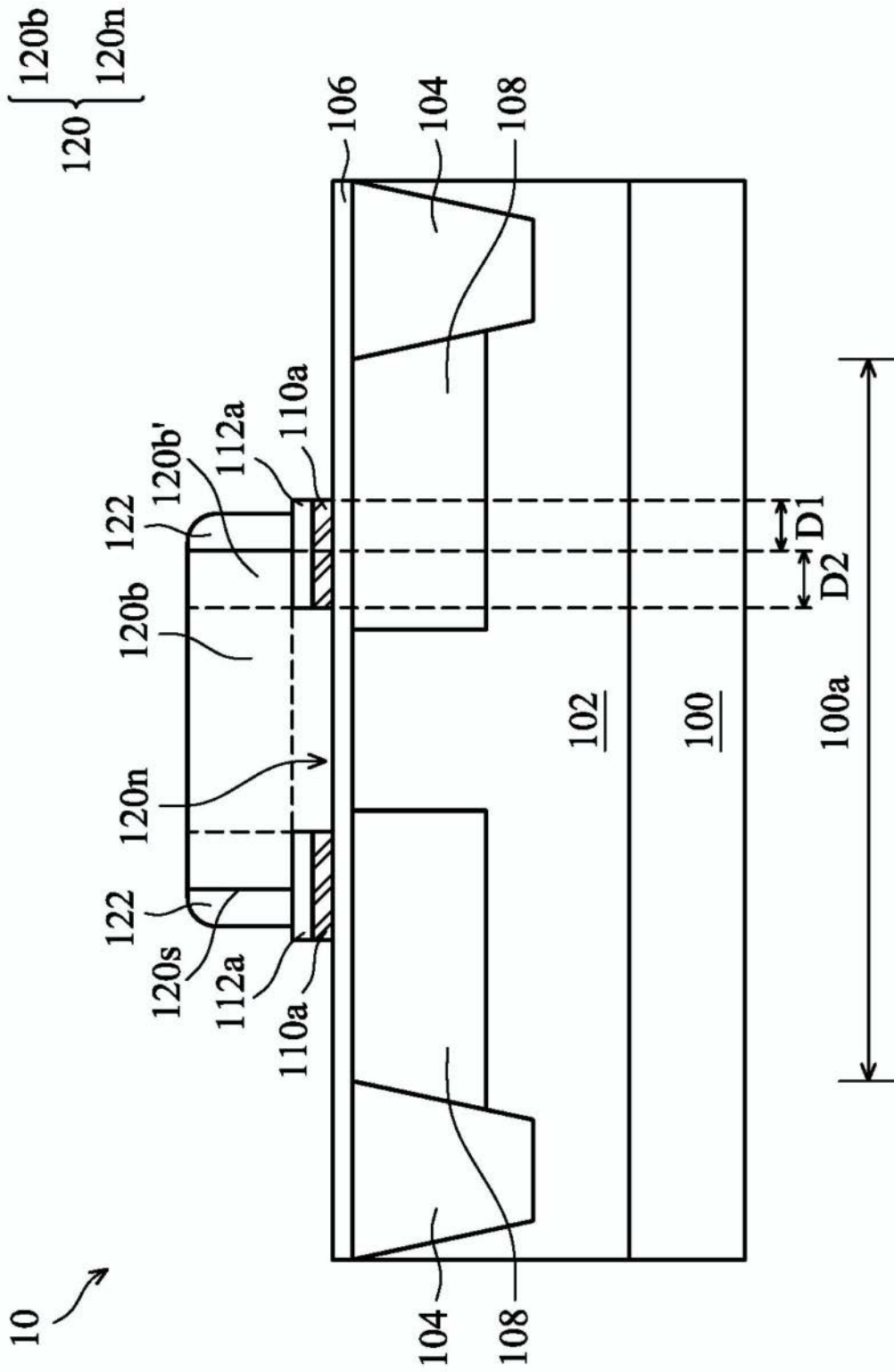


图5

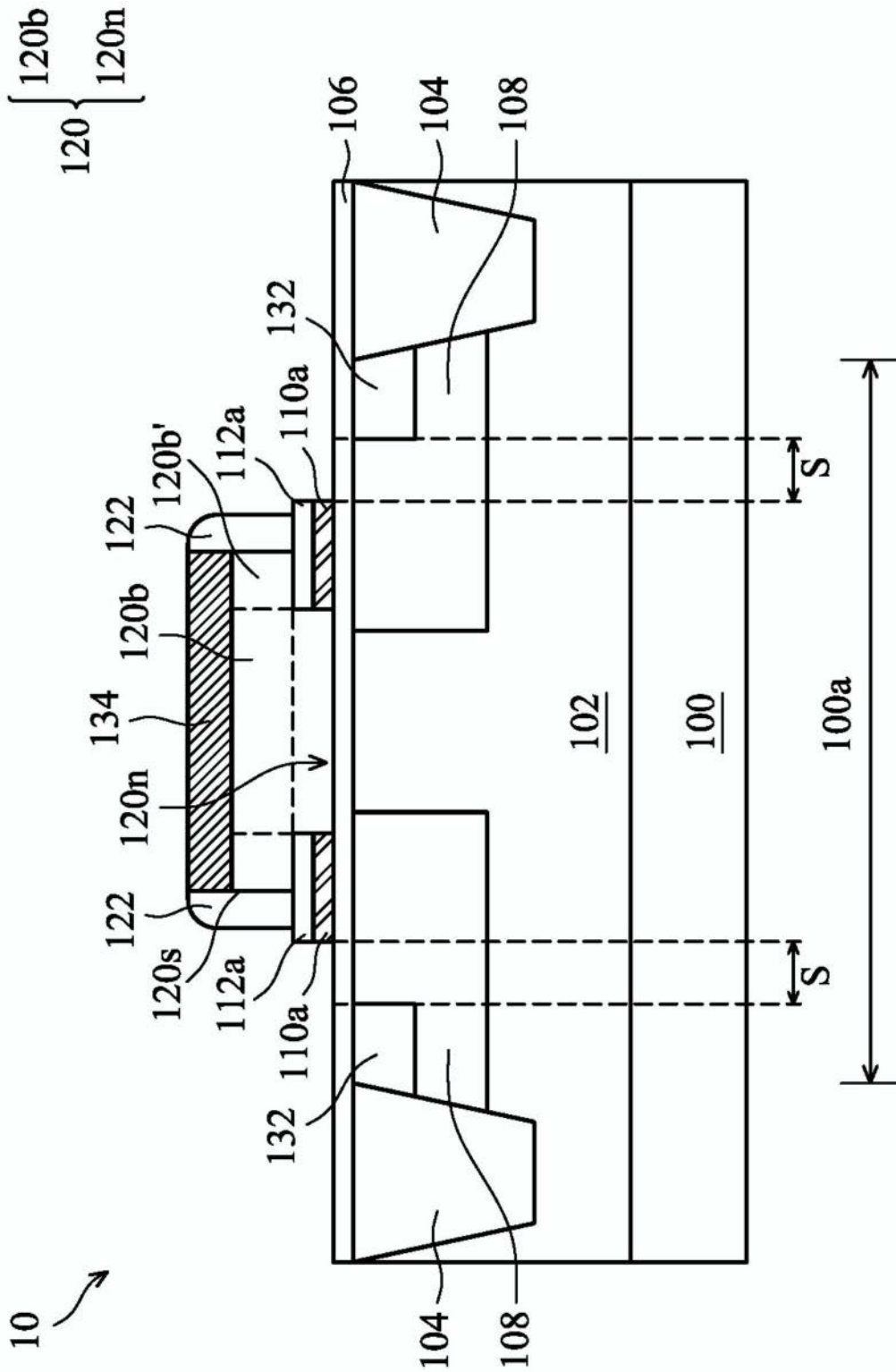


图6

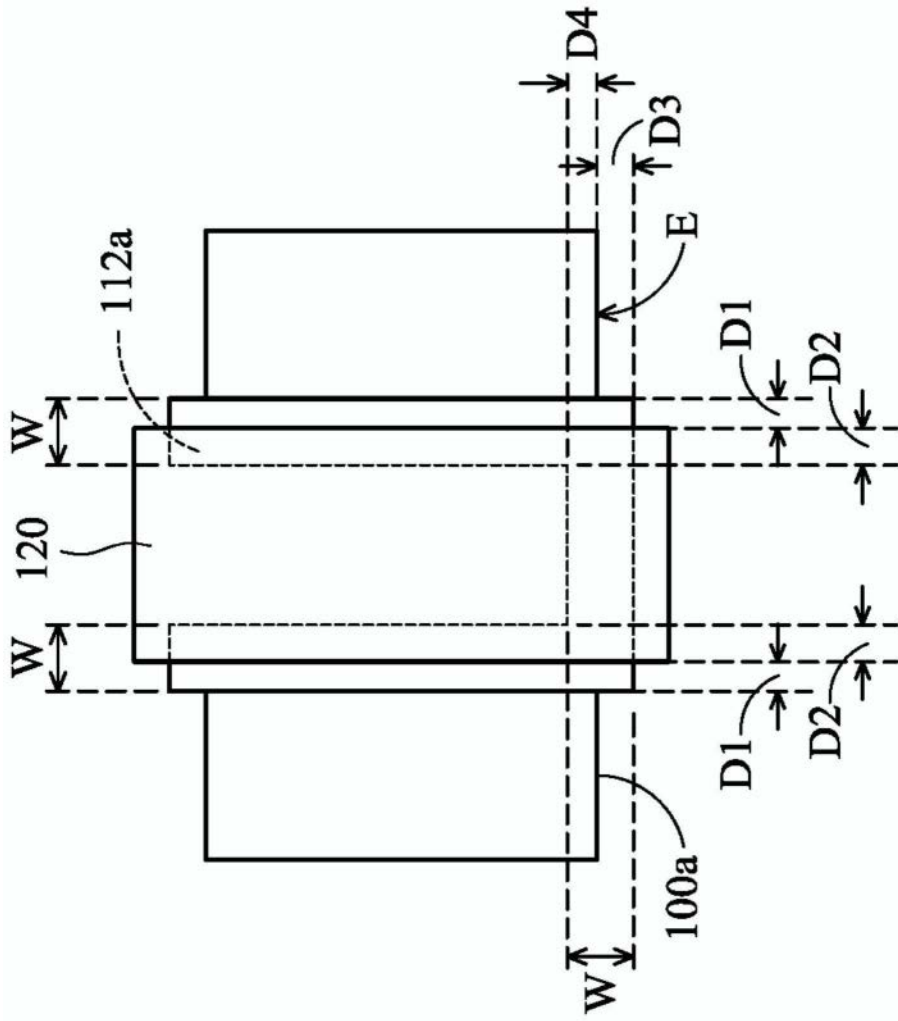


图7A

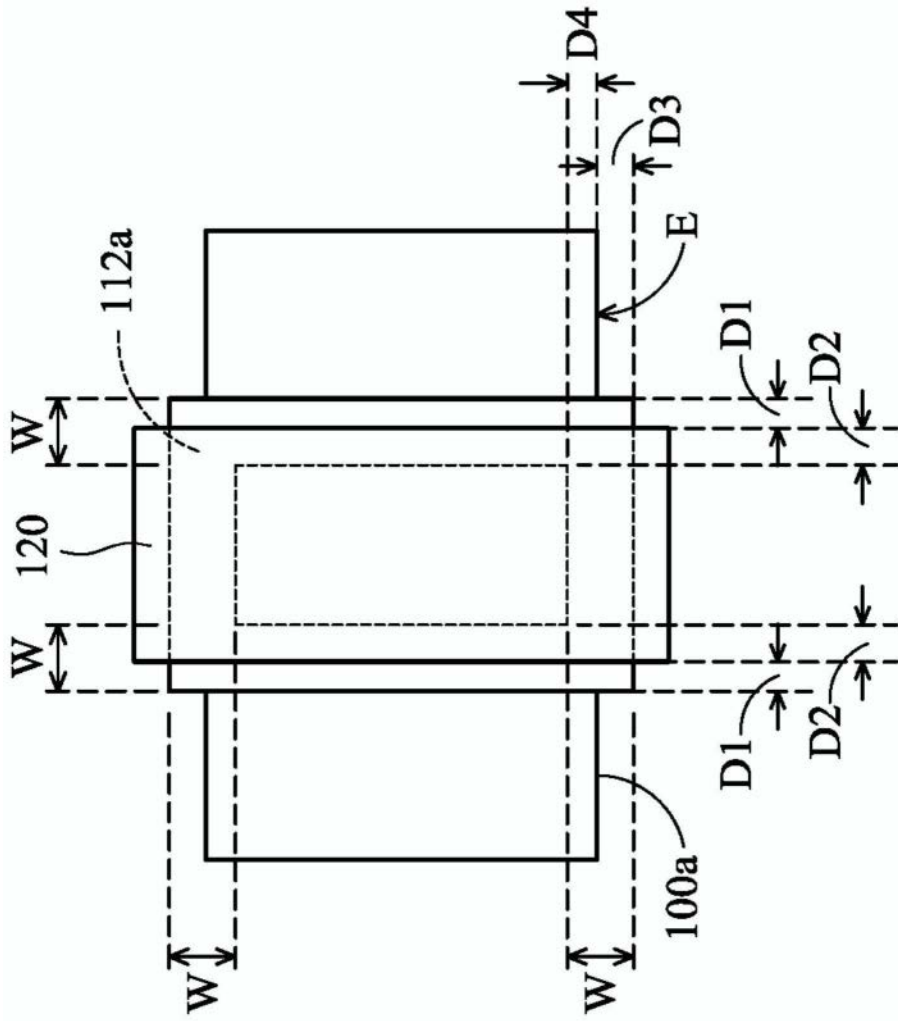


图7B

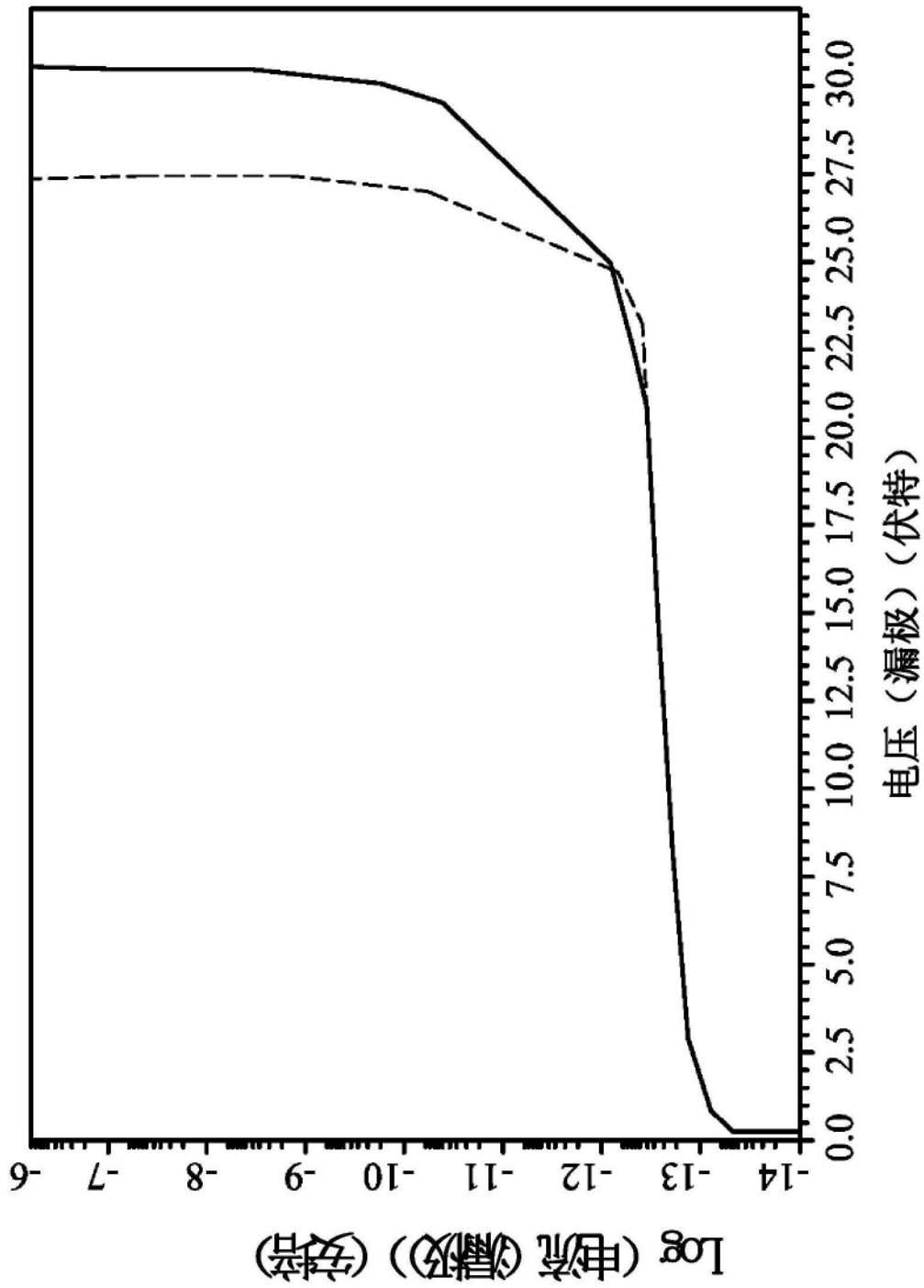


图8A

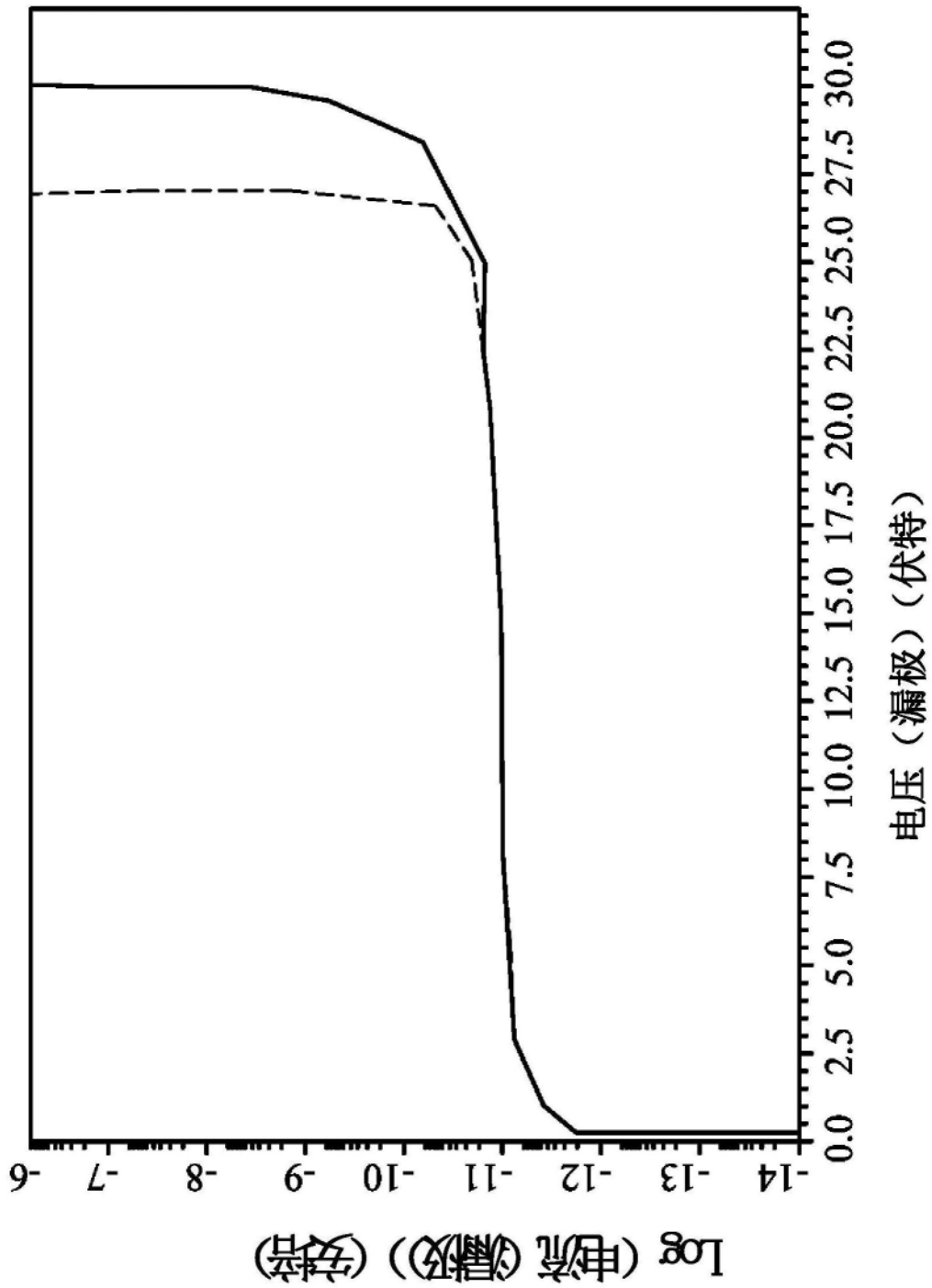


图8B