

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018年11月29日 (29.11.2018)



(10) 国际公布号
WO 2018/214485 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2017/116589
- (22) 国际申请日: 2017年12月15日 (15.12.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201710386619.4 2017年5月26日 (26.05.2017) CN
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。北京京东方显示技术有限公司
(BEIJING BOE DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市北京经济技术开发区经海一路118号, Beijing 100176 (CN)。
- (72) 发明人: 曲连杰(**QU, Lianjie**); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所(**LIU, SHEN & ASSOCIATES**); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(54) **Title:** THIN-FILM TRANSISTOR, MANUFACTURING METHOD THEREOF, ARRAY SUBSTRATE, AND DISPLAY PANEL

(54) 发明名称: 薄膜晶体管及其制备方法、阵列基板和显示面板

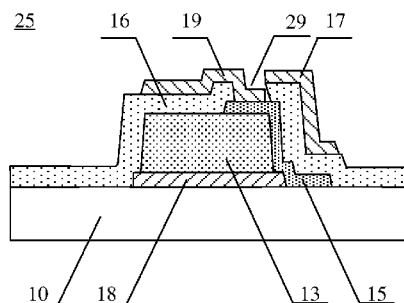


图 16

(57) **Abstract:** A thin-film transistor, manufacturing method thereof, array substrate, and display panel. The manufacturing method comprises: providing a substrate (10); forming, on the substrate (10), a first electrode (18), an isolation layer (13), an active layer (15), and a gate insulation layer (16); forming a second electrode (19) and a gate electrode (17) at the same time; and connecting the second electrode (19) and the active layer (15). The thin film transistor and manufacturing method thereof can alleviate the problems of manufacturing methods of vertical thin film transistors, such as process complexity and poor alignment precision. Also disclosed are an array substrate comprising the thin film transistor, and display panel.

(57) **摘要:** 一种薄膜晶体管及其制备方法、阵列基板和显示面板, 该制备方法包括: 提供基底(10); 在所述基底(10)上形成第一电极(18)、隔离层(13)、有源层(15)和栅绝缘层(16); 同时形成第二电极(19)和栅电极(17); 所述第二电极(19)与所述有源层(15)连接。该薄膜晶体管及其制备方法可以改善垂直型薄膜晶体管制备方法工序复杂、对位精度低等缺陷。还公开了包括上述薄膜晶体管的阵列基板以及显示面板。

WO 2018/214485 A1

薄膜晶体管及其制备方法、阵列基板和显示面板

5 本申请要求于 2017 年 5 月 26 日递交的中国专利申请第 201710386619.4 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

技术领域

10 本公开的实施例涉及一种薄膜晶体管及其制备方法、阵列基板和显示面板。

背景技术

15 平板显示装置如薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, TFT-LCD) 和有源矩阵有机发光二极管 (Active Matrix Organic Light Emitting Diode, AMOLED), 因其具有体积小、功耗低、无辐射以及制作成本相对较低等特点, 越来越多地被应用于高性能显示领域当中。TFT-LCD 的主体结构包括对盒的阵列基板和彩膜基板, 阵列基板通常包括矩阵排列的多个像素单元, 像素单元由多条栅线和多条数据线垂直交叉限定, 在栅线与数据线的交叉位置处设置 TFT。AMOLED 的结构主要由 TFT 和
20 OLED 构成。

发明内容

25 本公开一实施例提供一种薄膜晶体管的制备方法, 包括: 提供基底; 在所述基底上形成第一电极、隔离层、有源层和栅绝缘层; 同时形成第二电极和栅电极; 所述第二电极与所述有源层连接。

例如, 本公开一实施例提供的薄膜晶体管的制备方法中, 所述隔离层形成于所述第一电极上, 以使所述第一电极与所述第二电极绝缘。

30 例如, 本公开一实施例提供的薄膜晶体管的制备方法中, 所述隔离层在所述基底上的正投影的宽度小于所述第一电极在所述基底上的正投影的宽度, 所述隔离层的邻近所述有源层的一侧暴露出所述第一电极的部分表面。

例如，本公开一实施例提供的薄膜晶体管的制备方法中，在所述隔离层上形成所述有源层，所述有源层包括第一部分和第二部分，其中，所述第一部分设置在所述隔离层上，所述第二部分设置在所述基底上且与所述第一电极露出的部分表面连接。

5 例如，本公开一实施例提供的薄膜晶体管的制备方法中，所述栅绝缘层覆盖至少部分所述有源层和所述栅电极。

例如，本公开一实施例提供的薄膜晶体管的制备方法中，所述栅绝缘层覆盖所述第一电极和所述间隔层；所述栅绝缘层具有过孔，所述第二电极通过所述过孔与所述有源层连接。

10 例如，本公开一实施例提供的薄膜晶体管的制备方法中，所述栅绝缘层的靠近所述间隔层的一侧露出所述有源层的部分表面，所述第二电极与所述有源层暴露出的部分表面直接接触。

例如，本公开一实施例提供的薄膜晶体管的制备方法中，所述同时形成所述第二电极和所述栅电极包括：在所述栅绝缘层、所述有源层上形成第二金属薄膜；通过一次构图工艺形成同层设置的所述第二电极和所述栅电极。

15

例如，本公开一实施例提供的薄膜晶体管的制备方法中，所述第二电极在所述基底上的正投影与所述第一电极在所述基底上的正投影的至少部分重合；所述栅电极在所述基底上的正投影与所述有源层在所述基底上的正投影的至少部分重合；所述栅电极在所述基底上的正投影与所述第二电极在所述基底上的正投影的部分重合。

20

例如，本公开一实施例提供的薄膜晶体管的制备方法中，所述栅电极的靠近所述第二电极的边缘在所述基底上的正投影与所述第二电极的靠近所述栅电极的边缘在所述基底上的正投影基本重合。

例如，本公开一实施例提供的薄膜晶体管的制备方法中，所述第一电极和所述隔离层经由同一次构图形成。

25

例如，本公开一实施例提供的薄膜晶体管的制备方法中，数据线与所述第一电极和所述隔离层经由同一工艺同时形成，包括：在所述基底上形成第一金属薄膜和有机薄膜；采用半色调掩膜版或灰色调掩膜版对所述有机薄膜进行阶梯曝光并显影，在用于形成所述第一电极的位置形成未曝光区域，在用于形成所述数据线的位

30

域；通过刻蚀去除所述完全曝光区域的所述第一金属薄膜，形成所述第一电极和所述数据线；通过灰化处理去除所述部分曝光区域的有机薄膜和所述未曝光区域的有机薄膜的一部分，形成所述隔离层。

例如，本公开一实施例提供的薄膜晶体管的制备方法中，所述隔离层的厚度为 $0.5\mu\text{m} \sim 2.0\mu\text{m}$ 。

例如，本公开一实施例提供的薄膜晶体管的制备方法还包括在所述基底上形成缓冲层，所述缓冲层位于所述第一电极与所述基底之间。

本公开一实施例还提供一种薄膜晶体管，包括：第一电极，设置在基底上；间隔层，设置在第一电极上，配置为使所述第一电极和所述第二电极绝缘；有源层，与所述第一电极电连接；栅绝缘层，覆盖至少部分所述有源层；第二电极，与所述有源层电连接；以及栅电极，设置在所述栅绝缘层上，且与所述第二电极同层设置。

例如，本公开一实施例提供的薄膜晶体管中，所述栅绝缘层还覆盖所述第一电极和所述隔离层；所述栅绝缘层具有过孔，所述第二电极通过所述过孔与所述有源层连接。

例如，本公开一实施例提供的薄膜晶体管中，所述栅绝缘层的靠近所述间隔层的一侧露出所述有源层的部分表面，所述第二电极与所述有源层暴露出的部分表面直接接触。

例如，本公开一实施例提供的薄膜晶体管中，所述隔离层在所述基底上的正投影的宽度小于所述第一电极在所述基底上的正投影的宽度，所述隔离层的邻近所述有源层的一侧露出所述第一电极的部分表面，所述有源层与所述第一电极露出的所述部分表面连接。

例如，本公开一实施例提供的薄膜晶体管中，所述有源层包括第一部分和第二部分，其中，所述第一部分设置在所述隔离层上，所述第二部分设置在所述基底上且与所述第一电极由所述隔离层暴露出的所述部分表面连接。

例如，本公开一实施例提供的薄膜晶体管中，所述隔离层的厚度为 $0.5\mu\text{m} \sim 2.0\mu\text{m}$ 。

例如，本公开一实施例提供的薄膜晶体管中，所述第二电极在所述基底上的正投影与所述第一电极在所述基底上的正投影的至少部分重合；所述栅电极在所述基底上的正投影与所述有源层在所述基底上的正投影的至少部分

重合；所述栅电极在所述基底上的正投影与所述第二电极在所述基底上的正投影的部分重合。

5 例如，本公开一实施例提供的薄膜晶体管中，所述栅电极的靠近所述第二电极的边缘在所述基底上的正投影与所述第二电极的靠近所述栅电极的边缘在所述基底上的正投影基本重合。

例如，本公开一实施例提供的薄膜晶体管还包括缓冲层，所述缓冲层设置在所述基底与所述第一电极之间。

本公开一实施例还提供一种阵列基板，包括本公开实施例提供的任何一种薄膜晶体管。

10 本公开一实施例还提供一种显示面板，包括本公开实施例提供的任何一种阵列基板。

附图说明

15 为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1 为一种垂直型薄膜晶体管的结构示意图；

图 2 为本公开一实施例提供的一种薄膜晶体管的制备方法的流程图；

图 3-图 8 为本公开一实施例提供的一种薄膜晶体管的制备方法示意图；

20 图 9 为本公开一实施例中栅电极与第二电极位置关系的示意图；

图 10-图 13 为本公开一实施例中经由同一次构图工艺形成隔离层和第一电极示意图；

图 14-图 15 为本公开一实施例提供的另一种薄膜晶体管的制备方法示意图；

25 图 16 为本公开一实施例提供的一种薄膜晶体管的结构示意图；

图 17 为本公开一实施例提供的另一种薄膜晶体管的结构示意图；

图 18 为本公开一实施例提供的又一种薄膜晶体管的结构示意图；

图 19 为本公开一实施例提供的一种阵列基板示意图；

图 20 为本公开一实施例提供的一种显示面板示意图。

30 附图标记

21 - 基底； 22 - 缓冲层； 24 - 间隔层； 26 - 有源层； 27 - 栅绝缘层； 28

- 栅电极; 10 - 基底; 11 - 缓冲层; 12 - 源电极; 13 - 隔离层; 14 - 漏电极; 15 - 有源层; 16 - 栅绝缘层; 17 - 栅电极; 18 - 第一电极; 19 - 第二电极; 20 - 第一金属薄膜; 29 - 过孔; 30 - 有机薄膜; 40 - 数据线; 25 - 薄膜晶体管; 31 - 栅线; 32 - 数据线; 100 - 阵列基板; 101 - 显示面板。

5

具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其它实施例，都属于本发明保护的范围。

除非另作定义，此处使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“内”、“外”、“上”、“下”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

在用于描述本公开的实施例的附图中，层或区域的厚度被放大或缩小，即这些附图并非按照实际的比例绘制。本公开的附图只涉及到与本公开实施例相关的结构，其他结构可参考通常设计。

近年来，高分辨率显示面板逐渐成为行业发展趋势。显示面板的分辨率（Pixels per inch, PPI）与阵列基板的像素开口率有关，而阵列基板的像素开口率与每个像素单元的薄膜晶体管尺寸有关，薄膜晶体管所占区域越大，像素开口率就越低，显示面板的分辨率越低，为此，提出了一种垂直型薄膜晶体管，通过减小薄膜晶体管尺寸，提高像素开口率，提高显示面板的分辨率。

图 1 为一种垂直型薄膜晶体管的结构示意图。如图 1 所示，该垂直型薄膜晶体管包括：设置在基底 21 上的缓冲层 22，设置在缓冲层 22 上的源电极 12，设置在源电极 12 上的间隔层 24，设置在间隔层 24 上的漏电极 14，设置在漏电极 14 和源电极 12 上的有源层 26，覆盖有源层 26 的栅绝缘层 27，设

置在栅绝缘层 27 上的栅电极 28。有源层 26 形成在间隔层 24 的一侧，并与漏电极 14 和源电极 12 电连接。

上述垂直薄膜晶体管的制备流程为：通过第一次构图工艺形成缓冲层 22 和源电极 12，通过第二次构图工艺形成间隔层 24，通过第三次构图工艺形成漏电极 14，通过第四次构图工艺形成有源层 26，通过第五次构图工艺形成栅绝缘层 27，通过第六次构图工艺形成栅电极 28。

根据该垂直型薄膜晶体管的结构和制备流程可以看出，由于该结构形式的薄膜晶体管具有 7 个膜层，需要 6 次构图工艺，不仅工序复杂导致生产效率低、生产成本低，并且多次构图工艺的误差叠加影响对位精度，良品率低。

10 为了克服该垂直型薄膜晶体管制备方法工序复杂、对位精度低等缺陷，本公开实施例提供了一种垂直型薄膜晶体管及其制备方法。

本公开一实施例提供了一种薄膜晶体管的制备方法，包括：提供基底；在所述基底上形成第一电极、隔离层、有源层和栅绝缘层；同时形成第二电极和栅电极；所述第二电极与所述有源层连接。

15 本公开一实施例还提供一种薄膜晶体管，包括：第一电极，设置在基底上；间隔层，设置在第一电极上；有源层，部分设置在所述间隔层上且与所述第一电极电连接；栅绝缘层，覆盖至少部分所述有源层；第二电极，与所述有源层电连接；以及栅电极，设置在所述栅绝缘层上且与所述第二电极同层设置。

20 本公开一实施例还提供一种阵列基板，包括本公开实施例提供的任何一种薄膜晶体管。

本公开一实施例还提供一种显示面板，包括本公开实施例提供的任何一种阵列基板。

25 本公开实施例提供的薄膜晶体管及其制备方法，可以改善垂直型薄膜晶体管制备方法工序复杂、对位精度低等缺陷。本公开实施例所提供的薄膜晶体管及其制备方法，由于栅电极和第二电极通过一次构图工艺形成，减少了工艺流程，提高了生产效率，降低了成本。同时，由于栅电极和第二电极同层设置，对位精度高，提升了良品率。同时，垂直型薄膜晶体管有效减小了薄膜晶体管的尺寸，提高了开口率，实现了高分辨率显示。

30 下面通过几个实施例对本公开涉及的方法、结构及技术效果作详细说明。

图 2 为本公开一实施例提供的一种薄膜晶体管的制备方法的流程图。如图 2 所示，薄膜晶体管制备方法包括：

S1、在基底上形成第一电极、隔离层、有源层和栅绝缘层；

S2、同时形成第二电极和栅电极，第二电极与有源层连接。

5 例如，在一个示例中，步骤 S1 可以包括：

S111、在基底上形成第一电极；

S112、在第一电极上形成隔离层，隔离层邻近有源层一侧露出第一电极的部分表面；

10 S113、形成有源层，有源层的第一部分设置在隔离层上，有源层的第二部分设置在基底上且与第一电极露出的部分表面连接；

S114、形成覆盖第一电极、间隔层和有源层且具有栅绝缘层过孔的栅绝缘层。

又例如，在另一个示例中，步骤 S1 还可以包括：

15 S121、在基底上形成第一电极和隔离层，隔离层邻近有源层一侧露出第一电极的部分表面；

S122、形成有源层，有源层的一部分设置在隔离层上，另一部分设置在基底上，且与第一电极露出的部分表面连接；

S123、形成覆盖第一电极、间隔层和有源层且具有栅绝缘层过孔的栅绝缘层。

20 例如，步骤 S121 可以包括如下步骤：

在基底上沉积第一金属薄膜和涂覆有机薄膜；

采用半色调掩膜版或灰色调掩膜版对有机薄膜进行阶梯曝光并显影，在第一电极位置形成未曝光区域，在数据线位置形成部分曝光区域，在其余位置形成完全曝光区域；

25 刻蚀掉完全曝光区域的第一金属薄膜，形成第一电极和数据线；

灰化处理，去除部分曝光区域的有机薄膜，形成露出第一电极部分表面的隔离层。

例如，步骤 S1 中还包括形成缓冲层的步骤，缓冲层形成在基底上，然后第一电极形成在缓冲层上。

30 例如，步骤 S2 可以包括：

S21、在栅绝缘层上沉积一金属薄膜；

S22、通过一次构图工艺形成同层设置的第二电极和栅电极。

例如，第二电极在基底上的正投影与第一电极在基底上的正投影重合，栅电极在基底上的正投影与有源层在基底上的正投影重合，第二电极通过栅绝缘层过孔与有源层连接。

本公开实施例中所说的“构图工艺”包括沉积膜层、涂覆光刻胶、掩模曝光、显影、刻蚀、剥离光刻胶等处理，是现有成熟的制备工艺。沉积可采用溅射、蒸镀、化学气相沉积等已知工艺，涂覆可采用已知的涂覆工艺，刻蚀可采用已知的方法，在此不做具体的限定。

10 图 3-图 8 为本公开一实施例提供的一种薄膜晶体管的制备方法示意图。

如图 3 所示，提供基底 10。第一次构图工艺中，在基底 10 上形成第一电极图案。形成第一电极图案包括：在基底 10 上形成第一金属薄膜，例如，可以采沉积的方法形成第一金属薄膜；在第一金属薄膜上涂覆一层光刻胶，采用单色调掩膜版对光刻胶进行曝光并显影，在第一电极和数据线图案位置形成未曝光区域，保留光刻胶，在其它位置形成完全曝光区域，无光刻胶，暴露出第一金属薄膜；对完全曝光区域的第一金属薄膜进行刻蚀并剥离剩余的光刻胶，形成第一电极 18 和数据线（未示出）。需要说明的是，例如，对于作为像素单元的开关元件的薄膜晶体管，该薄膜晶体管在使用过程中与之连接的数据线（未示出）可以与第一电极 18 同时形成。

20 例如，本公开一实施例提供的一种薄膜晶体管的制备方法还可以包括在基底上形成缓冲层，缓冲层位于第一电极与所述基底之间。该缓冲层可以单独形成，然后再形成第一电极图案。或者，如图 4 所示，在基底 10 上形成缓冲层和第一电极图案。形成缓冲层和第一电极图案包括：在基底 10 上依次缓冲层和第一金属薄膜，例如，可以采用沉积方法形成缓冲层和第一金属薄膜；
25 在第一金属薄膜上涂覆一层光刻胶，采用单色调掩膜版对光刻胶进行曝光并显影，在第一电极和数据线图案位置形成未曝光区域，保留光刻胶，在其它位置形成完全曝光区域，无光刻胶，暴露出第一金属薄膜；对完全曝光区域的第一金属薄膜进行刻蚀并剥离剩余的光刻胶，形成缓冲层 11、第一电极 18 和数据线（未示出）。需要说明的是，例如，该薄膜晶体管在使用过程中与
30 与之连接的数据线（未示出）可以与第一电极 18 同时形成。

例如，基底可以采用玻璃基底或石英基底，缓冲层能够阻挡基底中离子对薄膜晶体管的影响，可以采用氮化硅 SiN_x 、氧化硅 SiO_x 或 $\text{SiN}_x/\text{SiO}_x$ 的复合薄膜，第一金属薄膜可以采用铂 Pt、钌 Ru、金 Au、银 Ag、钼 Mo、铬 Cr、铝 Al、钽 Ta、钛 Ti、钨 W 等金属中的一种或多种。

5 图 4 所示的示例的后续步骤与图 3 所示的后续步骤相同，图 5-图 8 以制备包括缓冲层的薄膜晶体管为例进行说明。

如图 5 所示，第二次构图工艺中，在形成有第一电极 18 和缓冲层 11 的基底 10 上，形成隔离层 13。形成隔离层 13 包括：在形成有第一电极 18 和缓冲层 11 的基底 10 上涂覆有机薄膜，采用单色调掩膜版对有机薄膜进行曝光并显影，在隔离层图案位置形成未曝光区域，显影后可保留有机薄膜，在其它位置形成完全曝光区域，显影后无有机薄膜（即被去除），由此形成位于第一电极 18 上的隔离层 13。隔离层 13 形成于第一电极 18 上，配置为使第一电极 18 与后续形成的第二电极隔离且绝缘，且有助于形成三维的有源层。隔离层 13 在基底 10 上的正投影与第一电极 18 在基底 10 上的正投影的至少部分重合。例如，隔离层 13 的正投影宽度小于第一电极 18 正投影宽度，隔离层 13 的邻近有源层的一侧暴露出第一电极的部分表面使隔离层 13 的至少一侧露出第一电极 18 的部分表面。例如，隔离层 13 邻近之后将形成的有源层一端露出第一电极 18 的部分表面，第一电极 18 露出的部分表面用于在后续工艺中与有源层电连接，从而实现有源层与第一电极 18 的电连接。

20 例如，隔离层 13 的厚度可以为 $0.5\mu\text{m} \sim 2.0\mu\text{m}$ ，该厚度决定了沟道的长度。实际实施时，例如，第一电极露出的部分表面的宽度可以设置为 $0.5\mu\text{m} \sim 1.5\mu\text{m}$ 。当然，可根据实际需要隔离层 13 的厚度进行设计，本公开实施例对隔离层 13 的厚度不作限定。实际实施时，由于薄膜晶体管制备中膜层厚度的控制精度优于图案位置的控制精度，因此本实施例薄膜晶体管具有沟道长度控制精度高的优点。

25 如图 6 所示，第三次构图工艺中，在形成有隔离层 13 的基底 10 上，形成有源层 15。形成有源层 15 包括：在形成有前述结构的基底上沉积有源层薄膜，在有源层薄膜上涂覆一层光刻胶；采用单色调掩膜版对光刻胶进行曝光并显影，在有源层图案位置形成未曝光区域，保留光刻胶，在其它位置形成完全曝光区域，无光刻胶，暴露出有源层薄膜；对完全曝光区域的有源层

薄膜进行刻蚀并剥离剩余的光刻胶，形成有源层 15。有源层 15 包括第一部分和第二部分，有源层 15 的第一部分位于隔离层 13 上，覆盖隔离层 13 的侧面以及部分顶面，第二部分位于所述基底 10 上，例如位于缓冲层 11 上，并且，第二部分与第一电极 18 露出的部分表面相接触，从而实现有源层 15 与第一电极 18 电连接。

例如，有源层厚度可以为 2000~8000 埃，材料既可以是非晶硅、多晶硅或微晶硅材料，形成 LTPS 薄膜晶体管，也可以是金属氧化物材料，形成 Oxide 薄膜晶体管，金属氧化物材料可以是铟镓锌氧化物（Indium Gallium Zinc Oxide, IGZO）或铟锡锌氧化物（Indium Tin Zinc Oxide, ITZO）。

10 如图 7 所示，第四次构图工艺中，在形成有有源层 15 的基底 10 上，形成栅绝缘层 16。形成栅绝缘层 16 包括：在形成有前述结构的基底 10 上形成栅绝缘薄膜，例如可以采用沉积或涂覆方法形成栅绝缘薄膜；在栅绝缘薄膜上涂覆一层光刻胶，采用单色调掩膜版对光刻胶进行曝光并显影，在过孔图案位置形成完全曝光区域，无光刻胶，暴露出栅绝缘薄膜，在其它位置形成未曝光区域，保留光刻胶；对完全曝光区域的栅绝缘薄膜进行刻蚀并剥离剩余的
15 光刻胶，形成具有过孔 29 的栅绝缘层 16。栅绝缘层 16 覆盖至少部分有源层 15 以及栅电极 17。例如，在图 7 中，栅绝缘层 16 覆盖第一电极 18、隔离层 13 和有源层 15，并覆盖整个基底。过孔 29 露出有源层 15 一部分，以使后续形成的第二电极能够通过过孔 29 与所述有源层连接。例如，栅绝缘层
20 可以采用氮化硅 SiN_x 、氧化硅 SiO_x 或 $\text{SiN}_x/\text{SiO}_x$ 的复合薄膜。

如图 8 所示，第五次构图工艺中，在形成有栅绝缘层 16 的基底 10 上，同时形成第二电极 19 和栅电极 17。同时形成第二电极 19 和栅电极 17 包括：在上述形成的栅绝缘层 16、有源层 15 上形成第二金属薄膜，例如，如采用沉积或溅射方法形成第二金属薄膜；在第二金属薄膜上涂覆一层光刻胶，采用单色调掩膜版对光刻胶进行曝光并显影，在第二电极 19 和栅电极 17 的位置形成未曝光区域，保留光刻胶；在其它位置形成完全曝光区域，无光刻胶，
25 暴露出第二金属薄膜；对完全曝光区域的第二金属薄膜进行刻蚀并剥离剩余的光刻胶，形成第二电极 19 和栅电极 17，栅电极 17 和第二电极 19 同层但隔离，并且，第二电极 19 通过过孔 29 与有源层 15 连接。如此，即通过一次
30 构图工艺形成同层设置的第二电极 19 和栅电极 17。例如，第二电极 19 在基

底上的正投影与第一电极 18 在基底上的正投影的一部分重合，栅电极 17 在基底上的正投影与有源层 15 在基底上的正投影的一部分重合。当然，在其他实施例中，第二电极 19 在基底上的正投影与第一电极 18 在基底上的正投影重合，栅电极 17 在基底上的正投影与有源层 15 在基底上的正投影重合。例如，第二金属薄膜可以采用铂 Pt、钌 Ru、金 Au、银 Ag、钼 Mo、铬 Cr、铝 Al、钽 Ta、钛 Ti、钨 W 等金属中的一种或多种。

例如，上述实施例的第四次构图工艺中形成具有过孔的栅绝缘层时，还包括采用底切 (undercut) 方式在栅电极与第二电极断开的位置形成底槽的处理。底槽用于使同时形成的栅电极在所述基底上的正投影与第二电极在基底上的正投影部分重合，以避免在栅电极与第二电极之间有间隙而无法形成栅控制沟道。图 9 为本公开一实施例中栅电极与第二电极位置关系的示意图。如图 9 所示，例如，第四次构图工艺在对完全曝光区域的栅绝缘薄膜进行刻蚀过程中，采用底切或过刻蚀方式，在过孔邻近栅电极一侧的侧壁上形成底槽结构。实际制备时，可以采用灰度曝光方式控制过孔两壁形貌不一致，过孔邻近栅电极的侧壁上为底切结构，而过孔的另一侧壁为常规结构。

在第五次构图工艺中，同层的栅电极和第二电极在过孔的底槽结构处断开，栅电极邻近第二电极的端部位于过孔之外的栅绝缘层上，第二电极邻近栅电极的端部位于过孔之内，并延伸到底槽结构的侧壁，使栅电极在基底上的正投影与第二电极在基底上的正投影部分重合。例如，重合区域宽度为 D ，例如 D 的范围为 $0 \sim 3000$ 埃。实际实施时，可以通过过孔和底槽结构的结构设计使重合区域宽度 D 等于 0 ，即栅电极邻近第二电极的端部在基底上的正投影位置与第二电极邻近栅电极的端部在基底上的正投影位置相接触。也即，栅电极的靠近所述第二电极的边缘在所述基底上的正投影与所述第二电极的靠近所述栅电极的边缘在所述基底上的正投影基本重合。

本实施例通过栅电极与第二电极位置的设计，避免了在栅电极与第二电极之间有间隙而无法形成栅控制沟道，提高了薄膜晶体管的电学性能。

本公开的实施例中，“宽度”是指垂直于信号线或电极延伸方向的特征尺寸。因此，栅电极（第二电极、有源层、隔离层或第一电极）在基底上正投影的宽度是指：在垂直于数据线延伸方向（如图 8 所示 X 方向）上，栅电极（第二电极、有源层、隔离层或第一电极）截面的特征尺寸。此外，本实施

例中，“重合”是指，两图案在基底上的正投影范围相同，即两图案在基底上正投影的宽度相同，或一个图案在基底上的正投影范围位于另一图案在基底上的正投影范围之内，即一个图案在基底上的正投影的宽度小于另一图案在基底上的正投影的宽度。“部分重合”是指一个图案在基底上的正投影范围与另一图案在基底上的正投影范围部分重叠。

通过图 3-图 8 所示的制备薄膜晶体管过程可以看出，本实施例通过 5 次普通掩膜的构图工艺，形成了具有 6 个膜层的垂直型薄膜晶体管。与垂直型薄膜晶体管具有 7 个膜层、需要 6 次构图工艺制备的情形相比，减少了一个膜层和一次构图工艺，工艺流程得到简化，提高了生产效率，降低了成本。

同时，由于栅电极和第二电极同层设置，对位精度高，提升了良品率。进一步地，垂直型薄膜晶体管有效减小了薄膜晶体管的尺寸，提高了开口率，实现了高分辨率显示。

在薄膜晶体管制备中，沟道刻蚀过程中普遍存在沟道损伤的问题。而由于本实施例制备方法不存在沟道刻蚀工艺，因此本实施例不仅有效消除了沟道损伤问题，而且所制备垂直型薄膜晶体管的沟道具有较高的沟道均匀性。由于沟道长度由隔离层厚度确定，因此沟道长度的控制精度高，提高了薄膜晶体的性能。虽然薄膜晶体管整体上为垂直结构，但各膜层均设置有水平覆盖结构，可以补偿垂直方向覆盖面积少的问题。例如，有源层的一部分水平铺设在隔离层上，另一部分水平铺设在缓冲层上，中间部分与第一电极的表面接触。又如，栅电极的一部分水平铺设在栅绝缘层上，另一部分水平铺设在缓冲层上。目前，使用 $0.5\mu\text{m}$ 的高精度曝光设备可以实现本实施例垂直型薄膜晶体管各膜层的制备。

例如，在本公开一实施例提供的薄膜晶体管的制备方法中，第一电极和所述隔离层可以经由同一次构图形成，这样有利于简化制备工艺，提高生产效率。图 10-图 13 为本公开一实施例中经由同一次构图工艺形成隔离层和第一电极示意图。图 10-图 13 所示的方法的特点是通过一次构图工艺形成第一电极和隔离层。例如，在该方法中，数据线也可以与第一电极同时形成。例如，图 10-图 13 中，图的左边部分为薄膜晶体管位置，图的右边部分为数据线位置。

例如，第一次构图工艺中，在基底上形成缓冲层、第一电极和隔离层图案。如图 10 所示，在基底 10 上沉积缓冲层 11。数据线与第一电极和隔离层

经由同一工艺同时形成包括：在缓冲层 11 中形成第一金属薄膜 20，随后在第一金属薄膜 20 上涂覆有机薄膜 30。

如图 11 所示，采用半色调掩膜版或灰色调掩膜版对有机薄膜进行阶梯曝光并显影，在第一电极位置形成未曝光区域 A，具有第一厚度的有机薄膜；
5 在数据线位置形成部分曝光区域 B，具有第二厚度的有机薄膜；在其余位置形成完全曝光区域 C，无有机薄膜，暴露出第一金属薄膜 20，第一厚度大于第二厚度。

如图 12 所示，刻蚀掉完全曝光区域 C 的第一金属薄膜，形成第一电极 18 和数据线 40。

10 如图 13 所示，进行有机薄膜灰化处理，使有机薄膜在整体上去除第二厚度，即去除部分曝光区域 B 的有机薄膜，形成位于第一电极 18 上且露出第一电极 18 部分表面的隔离层 13 图案，同时暴露出数据线 40 的表面。灰化处理中，在有机薄膜厚度整体减小过程中，第一电极 18 上的隔离层 13 的图案的尺寸也随之减小，因而在灰化处理后，使隔离层 13 在基底上的正投影与第一电极 18 在基底上的正投影重合，但隔离层 13 在基底上的正投影宽度小于
15 第一电极 18 在基底上的正投影宽度，第一电极 18 的部分表面得以暴露出来。

第二次构图工艺中，在形成有隔离层的基底上，形成有源层，如图 6 所示。图 10-图 13 所示的实施例的后续第二次构图工艺与图 6 所示的实施例的第三次构图工艺相同，这里不再赘述。

20 图 10-图 13 所示的实施例的后续第三次构图工艺中，在形成有有源层的基底上，形成栅绝缘层。图 10-图 13 所示的实施例的第三次构图工艺与图 7 所示的实施例的第四次构图工艺相同，这里不再赘述。

图 10-图 13 所示的实施例的后续第四次构图工艺中，在形成有栅绝缘层的基底上，同时形成第二电极和栅电极图案。本实施例第四次构图工艺与图
25 8 所示的实施例的第五次构图工艺相同，这里不再赘述。

通过图 10-图 13 所示的制备薄膜晶体管过程可以看出，本实施例通过 4 次构图工艺，形成了具有 6 个膜层的垂直型薄膜晶体管。4 次构图工艺包括 3 次普通掩膜和 1 次半色调掩膜或灰色调掩膜。本实施例中，各膜层材料及厚度等参数与第一实施例相同，所形成的垂直型薄膜晶体管的结构与第一实施
30 例相同。本实施例所制备的垂直型薄膜晶体管，不仅具有第一实施例的各种

优点，还进一步减少了一次构图工艺，最大限度地简化了工艺流程，进一步提高了生产效率，进一步降低了成本。

图 14-图 15 为本公开一实施例提供的另一种薄膜晶体管的制备方法示意图。该实施例的方法与图 4-图 8 所示的实施例的区别在于：形成的栅绝缘层的靠近间隔层的一侧露出有源层的部分表面，第二电极与有源层暴露出的部分表面直接接触，而实现第二电极与有源层的电连接。

图 14-图 15 所示的实施例的前三次构图工艺与图 4-图 6 所示的相同，请参考前面的描述。如图 14 所示，在第四次构图工艺中，在形成图 6 中所示的结构的基础上，在基底 10 上形成栅绝缘薄膜，例如可以采用沉积或涂覆方法形成栅绝缘薄膜；在栅绝缘薄膜上涂覆一层光刻胶，采用单色调掩膜版对光刻胶进行曝光并显影，在过孔图案位置形成完全曝光区域，无光刻胶，暴露出栅绝缘薄膜，在其它位置形成未曝光区域，保留光刻胶；对完全曝光区域的栅绝缘薄膜进行刻蚀并剥离剩余的光刻胶，形成覆盖部分有源层 15 的栅绝缘层 16，栅绝缘层的靠近间隔层的一侧露出有源层的部分表面，以用于与后续形成的第二电极直接接触。

例如，在图 14 所示的第四次构图工艺中，在对完全曝光区域的栅绝缘薄膜进行刻蚀过程中，也可以采用底切或过刻蚀方式，在绝缘栅层的邻近第二电极的一侧上形成如图所示的轮廓的形状。从而使同时形成的栅电极在基底上的正投影与第二电极在基底上的正投影部分重合，以避免在栅电极与第二电极之间有间隙而无法形成栅控制沟道。具体的描述与关于图 9 所示的过孔 29 的靠近栅电极的侧壁的描述相同，请参考上述描述。

如图 15 所示，第五次构图工艺中，在形成有栅绝缘层 16 的基底 10 上，同时形成第二电极 19 和栅电极 17。在上述形成的栅绝缘层 16、有源层 15 上形成第二金属薄膜，例如，如采用沉积或溅射方法形成第二金属薄膜；在第二金属薄膜上涂覆一层光刻胶，采用单色调掩膜版对光刻胶进行曝光并显影，在第二电极 19 和栅电极 17 的位置形成未曝光区域，保留光刻胶；在其它位置形成完全曝光区域，无光刻胶，暴露出第二金属薄膜；对完全曝光区域的第二金属薄膜进行刻蚀并剥离剩余的光刻胶，形成第二电极 19 和栅电极 17，栅电极 17 和第二电极 19 同层但隔离。第二电极 19 与有源层暴露出的部分表面直接接触，而实现第二电极与有源层的电连接。

需要说明的是，本公开实施例中的“同层”是指所得到的结构经由同一工艺同时形成，而不是指其相对于基底的高度相同。

图 16 为本公开一实施例提供的一种薄膜晶体管的结构示意图。如图 16 所示，该薄膜晶体管 25 包括第一电极 18、间隔层 13、有源层 15、栅绝缘层 16、第二电极 19 和栅电极 17。第一电极 18 设置在基底 10 上。隔离层 13 设置在第一电极 18 上，且位于第一电极 18 和第二电极 19 之间，从而实现使第一电极 18 和第二电极 19 彼此隔离且绝缘。例如，栅绝缘层 16 覆盖第一电极 18、间隔层 13 和有源层 15 以及栅电极 17，且栅绝缘层 16 具有过孔 29，第二电极 19 通过过孔 29 与有源层 15 连接，从而实现第二电极 19 与有源层 15 电连接。栅电极 17，设置在栅绝缘层 16 上，且与第二电极 19 同层设置。

例如，隔离层 13 在基底 10 上的正投影的宽度小于第一电极 18 在基底 10 上的正投影的宽度，隔离层 13 的邻近有源层 15 的一侧露出第一电极 18 的部分表面，有源层 15 与第一电极 18 露出的部分表面连接。例如，有源层 15 包括第一部分和第二部分，第一部分设置在隔离层 13 上，第二部分设置在基底 10 上且与第一电极 18 由隔离层 13 暴露出的部分表面连接，从而实现有源层 15 与第一电极 18 电连接。

本公开实施例中，栅电极和第二电极同层且通过一次构图工艺形成，第一电极、有源层和第二电极依次叠设，形成沟道区域垂直于基底平面的垂直型薄膜晶体管。例如，在薄膜晶体管工作过程中，与薄膜晶体管连接的数据线（未示出）可以与第一电极同层，栅线与栅电极同层。在具体实施时，例如，可以将第一电极作为源电极，第二电极作为漏电极；或者将第一电极作为漏电极，第二电极作为源电极，在此不做限定。例如，栅绝缘层可以覆盖第一电极、隔离层和有源层，也可以覆盖整个基底，栅绝缘层过孔设置在位于隔离层上的有源层位置。

例如，隔离层的厚度可以为 $0.5\mu\text{m} \sim 2.0\mu\text{m}$ ，隔离层在基底上的正投影与第一电极在基底上的正投影重合，隔离层的正投影宽度小于第一电极的正投影宽度，使隔离层邻近有源层一侧露出第一电极的部分表面。

例如，有源层厚度可以为 $2000 \sim 8000$ 埃，有源层材料可以包括非晶硅、多晶硅、氧化物半导体等，例如所得到的晶体管可以为低温多晶硅（Low Temperature Poly-Silicon, LTPS）薄膜晶体管、氧化物（Oxide）薄膜晶体管。

例如，第二电极 19 在基底 10 上的正投影与第一电极 18 在基底 10 上的正投影的一部分重合，例如，第二电极 19 的正投影宽度小于第一电极 18 的正投影宽度。栅电极 17 在基底 10 上的正投影与有源层 15 在基底 10 上的正投影的一部分重合，例如，栅电极 17 的正投影宽度小于有源层的正投影宽度。

5 栅电极 17 在基底 10 上的正投影与第二电极 19 在基底 10 上的正投影部分重合。重合区域宽度为 D，例如， $D=0 \sim 3000$ 埃。例如，栅电极的靠近所述第二电极的边缘在所述基底上的正投影与所述第二电极的靠近所述栅电极的边缘在所述基底上的正投影基本重合，此时，重合区域宽度 D 等于 0。当然，本公开实施例对 D 的范围不作限定。

10 图 17 为本公开一实施例提供的另一种薄膜晶体管的结构示意图。图 17 所示的薄膜晶体管与图 16 中的薄膜晶体管的区别在于，还包括缓冲层 11。缓冲层 11 设置在基底 10 上，第一电极设置在缓冲层上，即设置在基底 10 与第一电极 18 之间。缓冲层能够阻挡基底中离子对薄膜晶体管的影响，其材料请参考上述描述，在此不再赘述。图 17 所示的薄膜晶体管的其他结构均与图 16 所示的相同，请参考之前的描述。

15 图 18 为本公开一实施例提供的又一种薄膜晶体管的结构示意图。图 17 所示的薄膜晶体管与图 17 中的薄膜晶体管的区别在于，栅绝缘层 16 的靠近间隔层 13 的一侧露出有源层 15 的部分表面，第二电极 19 与有源层 15 暴露出的部分表面直接接触，从而实现第二电极 19 与有源层 15 电连接。图 18 所示的薄膜晶体管的其他结构均与图 17 所示的相同，请参考之前的描述。

20 图 19 为本公开一实施例提供的一种阵列基板示意图。如图 19 所示，阵列基板 100 还包括栅线 31，数据线 32 以及由栅线 31 和数据线 32 交叉限定出的多个像素单元。例如，薄膜晶体管 25 设置于栅线 31 和数据线 32 交叉的位置，例如作为像素单元的开关元件，其栅极与栅线电连接，源极或漏极与数据线电连接，而相应地漏极或源极与像素电极电连接。

25 本公开一实施例还提供一种阵列基板，包括本公开实施例提供的任何一种薄膜晶体管的阵列基板。阵列基板 101 的制备过程包括：在基底 10 上形成栅线 31、数据线 32 和薄膜晶体管 25。形成薄膜晶体管的方法可以是本实施例提供的任何一种制备方法；数据线 32 可以与薄膜晶体管的第一电极同时形成，具体方法请参考前面的描述。

例如，阵列基板 101 的制备过程还包括：在形成有薄膜晶体管 25 的基底 10 上沉积一钝化层，在钝化层上涂覆一层光刻胶，采用单色调掩膜版对光刻胶进行曝光并显影，对钝化层进行刻蚀并剥离剩余的光刻胶，形成钝化层过孔图案，钝化层过孔位于第二电极位置。例如，钝化层可以采用氮化硅 SiN_x 、氧化硅 SiO_x 或 $\text{SiN}_x/\text{SiO}_x$ 的复合薄膜。

在钝化层上沉积一透明导电薄膜，在透明导电薄膜上涂覆一层光刻胶；采用单色调掩膜版对光刻胶进行曝光并显影，对透明导电薄膜进行刻蚀并剥离剩余的光刻胶，形成像素电极，像素电极通过钝化层过孔与第二电极连接。例如，透明导电薄膜可以采用氧化铟锡 ITO，氧化铟锌 IZO，或者氧化铟锡/银/氧化铟锡 ITO/Ag/ITO 复合膜。

在本实施例提供的阵列基板中栅电极和第二电极同层且通过一次构图工艺形成，第一电极、有源层和第二电极依次叠设，垂直型薄膜晶体管，沟道区域垂直于基底平面。栅线和栅电极同层，数据线与第一电极同层。在栅线（栅电极）加载栅扫描信号时，邻近栅电极一侧的有源层形成垂直于基底的电流通道，电流通道将与有源层连接的第一电极和第二电极导通，使薄膜晶体管处于开启状态，数据信号线上加载的灰阶信号通过第一电极、有源层中形成的电流通道、第二电极施加到像素电极上。实际实施时，可以通过控制间隔层的厚度来调整沟道长度，以提升薄膜晶体管的导通电流量，从而提高薄膜晶体管性能。

本实施例所提供的阵列基板，由于栅电极和第二电极通过一次构图工艺形成，减少了工艺流程，提高了生产效率，降低了成本，由于栅电极和第二电极同层设置，对位精度高，提升了良品率。同时，垂直型薄膜晶体管有效减小了薄膜晶体管的尺寸，提高了开口率，实现了高分辨率显示。

本公开一实施例还提供一种显示面板，该显示面板包括本公开实施例提供的任意一种阵列基板。图 20 为本公开一实施例提供的一种显示面板示意图。图 20 只示出了与阵列基板 100 相关的结构，其他结构请参考本领域常规技术。

例如，显示面板 101 可以为手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件，可以是液晶（Liquid Crystal Display, LCD）显示面板，也可以是有有机发光二极管（Organic

Light-Emitting Diode, OLED) 显示面板, 还可以是其它有机电致发光器件等。

以上所述, 仅为本公开的具体实施方式, 但本公开的保护范围并不局限于此, 本公开的保护范围应以所述权利要求的保护范围为准。

权利要求书

1、一种薄膜晶体管的制备方法，包括：

提供基底；

5 在所述基底上形成第一电极、隔离层、有源层和栅绝缘层；

同时形成第二电极和栅电极；

其中，所述第二电极与所述有源层连接。

2、根据权利要求1所述的薄膜晶体管的制备方法，其中，所述隔离层形成于所述第一电极上，配置为使所述第一电极与所述第二电极隔离且绝缘。

10 3、根据权利要求1或2所述的薄膜晶体管的制备方法，其中，所述隔离层在所述基底上的正投影的宽度小于所述第一电极在所述基底上的正投影的宽度，所述隔离层的邻近所述有源层的一侧暴露出所述第一电极的部分表面。

4、根据权利要求3所述的薄膜晶体管的制备方法，其中，所述有源层包括第一部分和第二部分，

15 其中，所述第一部分位于所述隔离层上，所述第二部分设置在所述基底上且与所述第一电极露出的部分表面连接。

5、根据权利要求1-4任一所述的薄膜晶体管的制备方法，其中，所述栅绝缘层覆盖至少部分所述有源层以及所述栅电极。

6、根据权利要求5所述的薄膜晶体管的制备方法，其中，

20 所述栅绝缘层覆盖所述第一电极和所述间隔层；

所述栅绝缘层具有过孔，所述第二电极通过所述过孔与所述有源层连接。

7、根据权利要求5所述的薄膜晶体管的制备方法，其中，所述栅绝缘层的靠近所述间隔层的一侧露出所述有源层的部分表面，所述第二电极与所述有源层暴露出的部分表面直接接触。

25 8、根据权利要求1-7任一所述的薄膜晶体管的制备方法，其中，所述同时形成所述第二电极和所述栅电极包括：

在所述栅绝缘层、所述有源层上形成第二金属薄膜；

通过一次构图工艺形成同层设置的所述第二电极和所述栅电极。

9、根据权利要求8所述的薄膜晶体管的制备方法，其中，

30 所述第二电极在所述基底上的正投影与所述第一电极在所述基底上的正

投影的至少部分重合;

所述栅电极在所述基底上的正投影与所述有源层在所述基底上的正投影的至少部分重合;

5 所述栅电极在所述基底上的正投影与所述第二电极在所述基底上的正投影的部分重合。

10、根据权利要求 9 所述的制备方法, 其中, 所述栅电极的靠近所述第二电极的边缘在所述基底上的正投影与所述第二电极的靠近所述栅电极的边缘在所述基底上的正投影基本重合。

10 11、根据权利要求 1-9 任一所述的薄膜晶体管的制备方法, 其中, 所述第一电极和所述隔离层经由同一次构图形成。

12、根据权利要求 11 所述的制备方法, 其中, 数据线与所述第一电极和所述隔离层经由同一工艺同时形成, 包括:

在所述基底上形成第一金属薄膜和有机薄膜;

15 采用半色调掩膜版或灰色调掩膜版对所述有机薄膜进行阶梯曝光并显影, 在用于形成所述第一电极的位置形成未曝光区域, 在用于形成所述数据线的位置形成部分曝光区域, 在其余位置形成完全曝光区域;

通过刻蚀去除所述完全曝光区域的所述第一金属薄膜, 形成所述第一电极和所述数据线;

20 通过灰化处理去除所述部分曝光区域的有机薄膜和所述未曝光区域的有机薄膜的一部分, 形成所述隔离层。

13、根据权利要求 1-12 任一所述的薄膜晶体管的制备方法, 其中, 所述隔离层的厚度为 $0.5\mu\text{m} \sim 2.0\mu\text{m}$ 。

14、根据权利要求 1-13 任一所述的薄膜晶体管的制备方法, 还包括在所述基底上形成缓冲层, 所述缓冲层位于所述第一电极与所述基底之间。

25 15、一种薄膜晶体管, 包括:

第一电极, 设置在基底上;

间隔层, 设置在第一电极上;

有源层, 与所述第一电极连接;

栅绝缘层, 覆盖至少部分所述有源层;

30 第二电极, 与所述有源层电连接; 以及

栅电极，设置在所述栅绝缘层上且与所述第二电极同层设置。

16、根据权利要求 15 所述的薄膜晶体管，其中，
所述栅绝缘层还覆盖所述第一电极和所述隔离层；

所述栅绝缘层具有过孔，所述第二电极通过所述过孔与所述有源层连接。

5 17、根据权利要求 15 所述的薄膜晶体管，其中，所述栅绝缘层的靠近所述间隔层的一侧露出所述有源层的部分表面，所述第二电极与所述有源层暴露出的部分表面直接接触。

18、根据权利要求 15-17 任一所述的薄膜晶体管，其中，所述隔离层在所述基底上的正投影的宽度小于所述第一电极在所述基底上的正投影的宽度，所述隔离层的邻近所述有源层的一侧露出所述第一电极的部分表面，所述有源层与所述第一电极露出的所述部分表面连接。

19、根据权利要求 18 所述的薄膜晶体管，其中，所述有源层包括第一部分和第二部分，

15 其中，所述第一部分设置在所述隔离层上，所述第二部分设置在所述基底上且与所述第一电极由所述隔离层暴露出的所述部分表面连接。

20、根据权利要求 15-19 任一所述的薄膜晶体管，其中，所述隔离层的厚度为 $0.5\mu\text{m} \sim 2.0\mu\text{m}$ 。

21、根据权利要求 15-20 任一所述的薄膜晶体管，其中，所述第二电极在所述基底上的正投影与所述第一电极在所述基底上的正投影的至少部分重合；

20 所述栅电极在所述基底上的正投影与所述有源层在所述基底上的正投影的至少部分重合；所述栅电极在所述基底上的正投影与所述第二电极在所述基底上的正投影的部分重合。

22、根据权利要求 15-21 任一所述的薄膜晶体管，其中，所述栅电极的靠近所述第二电极的边缘在所述基底上的正投影与所述第二电极的靠近所述栅电极的边缘在所述基底上的正投影基本重合。

23、根据权利要求 15-22 任一所述的薄膜晶体管，还包括缓冲层，所述缓冲层设置在所述基底与所述第一电极之间。

24、一种阵列基板，包括权利要求 15-23 任一所述的薄膜晶体管。

30 25、一种显示面板，包括如权利要求 24 所述的阵列基板。

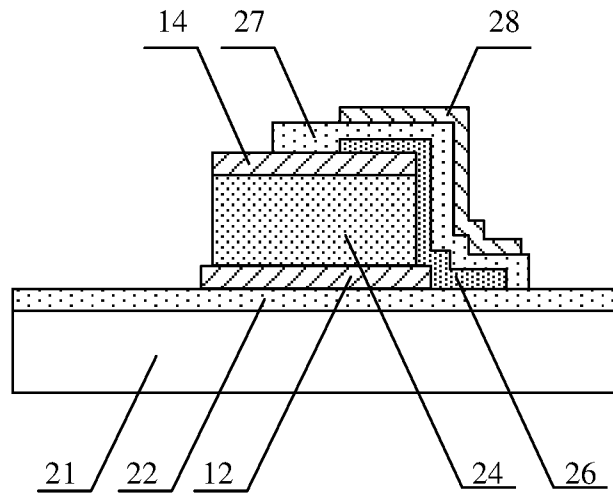


图 1

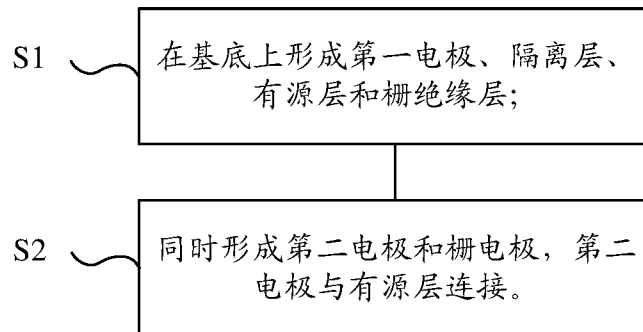


图 2

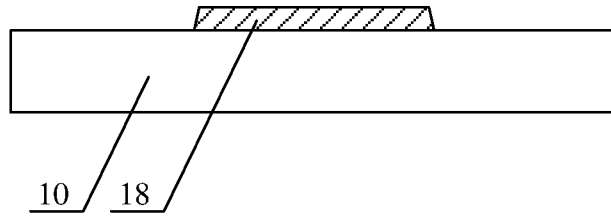


图 3

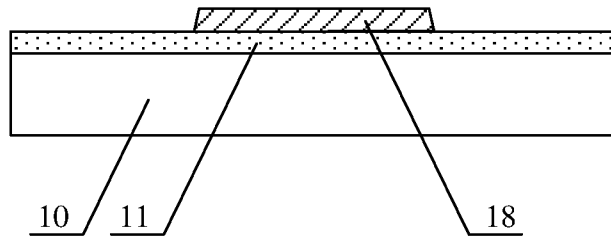


图 4

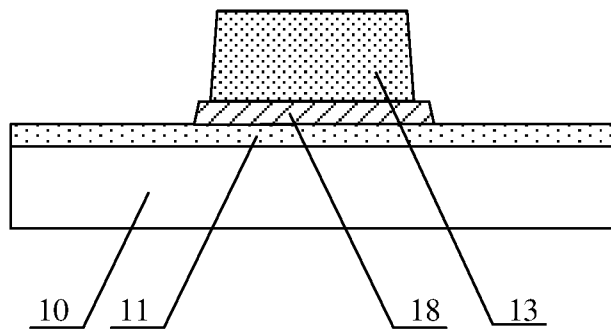


图 5

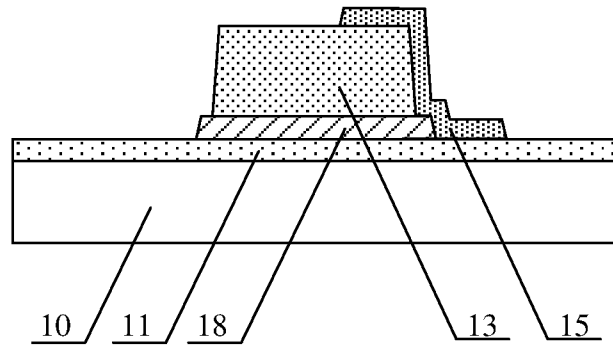


图 6

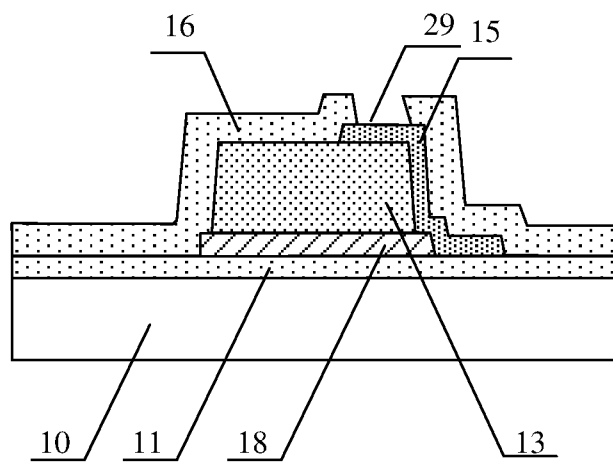


图 7

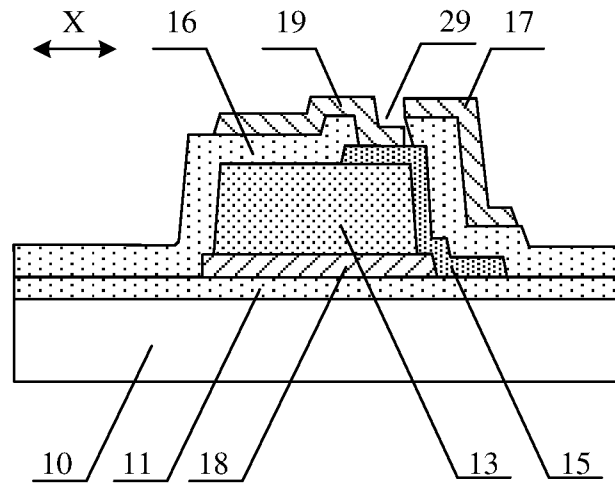


图 8

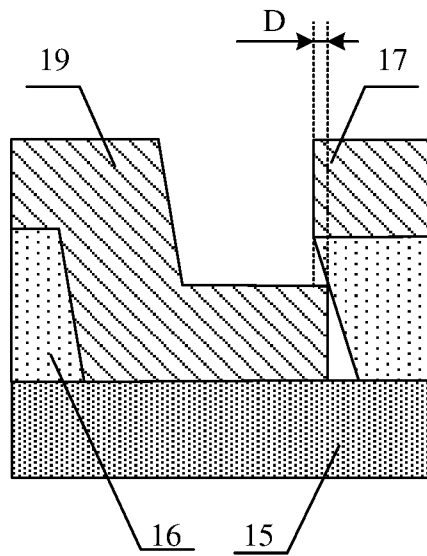


图 9

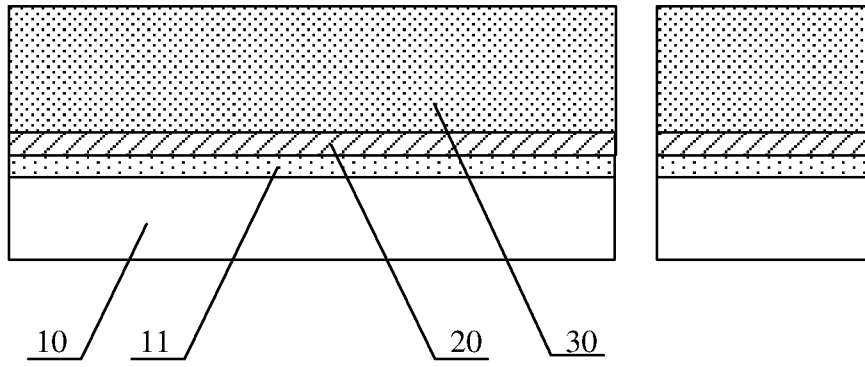


图 10

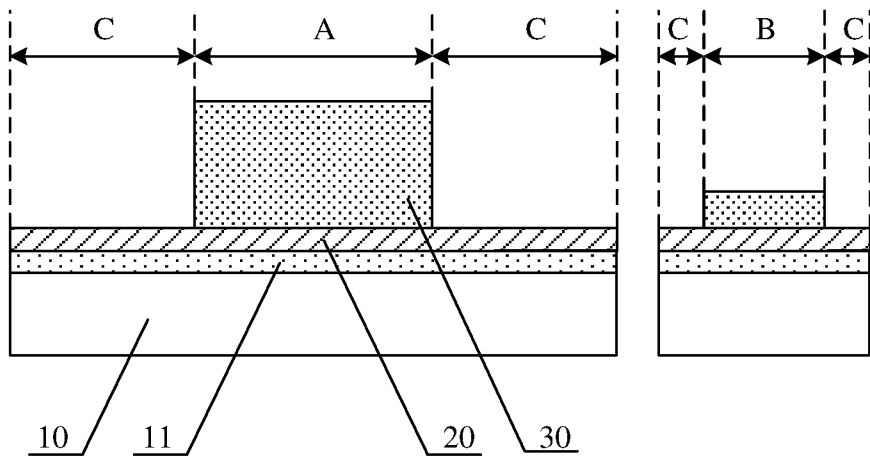


图 11

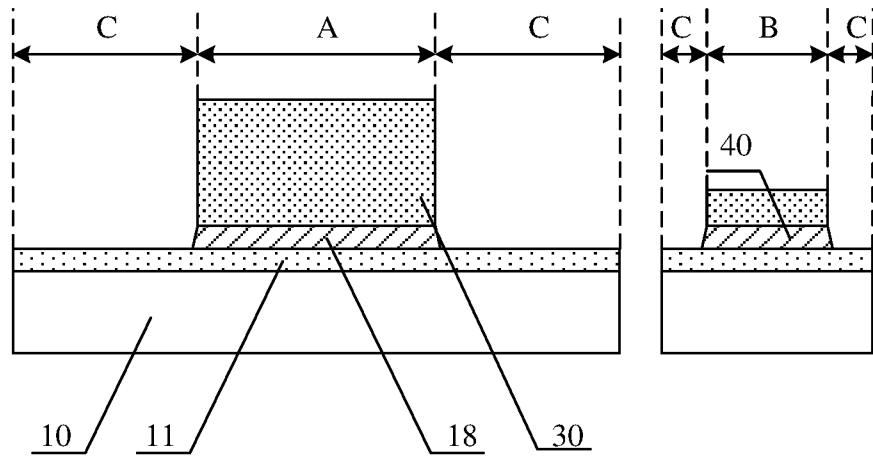


图 12

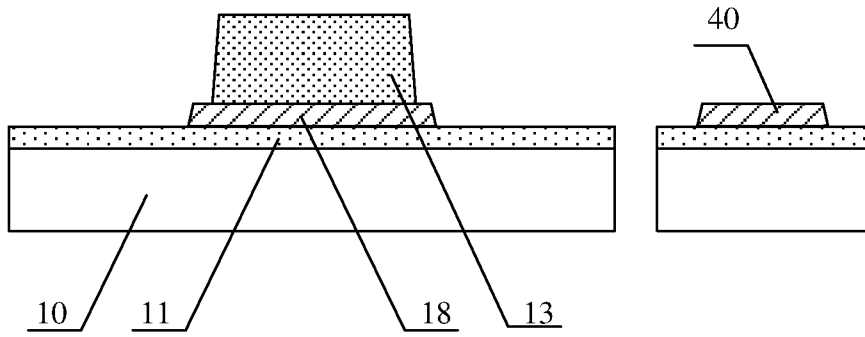


图 13

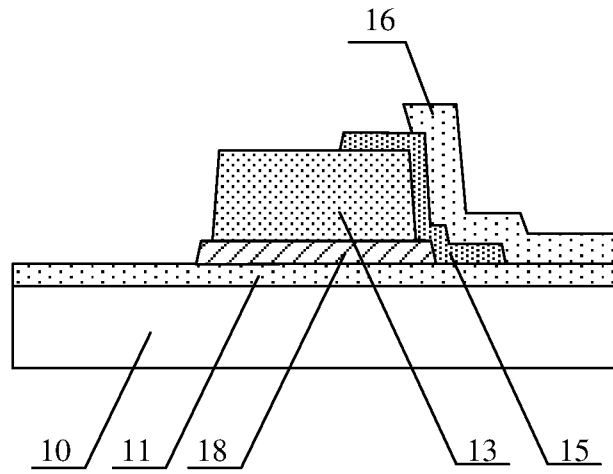


图 14

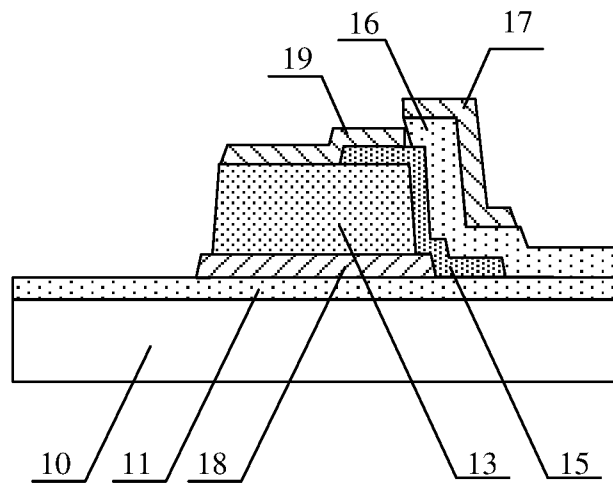


图 15

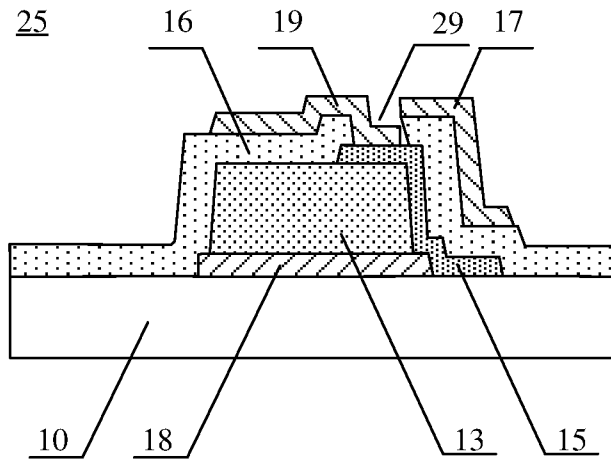


图 16

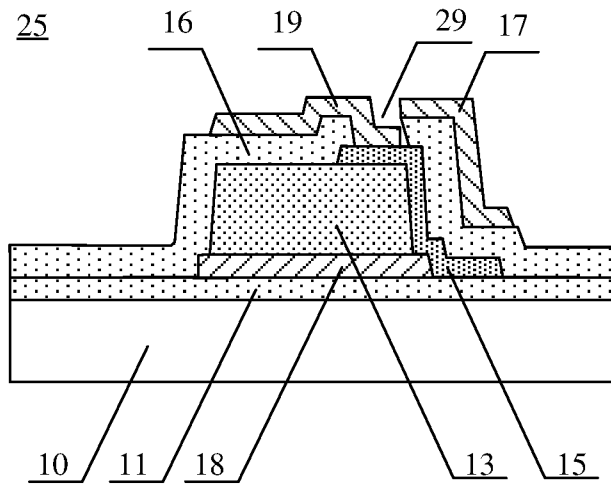


图 17

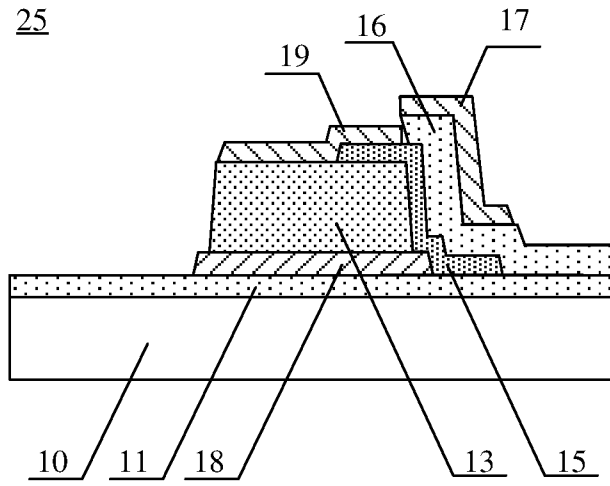


图 18

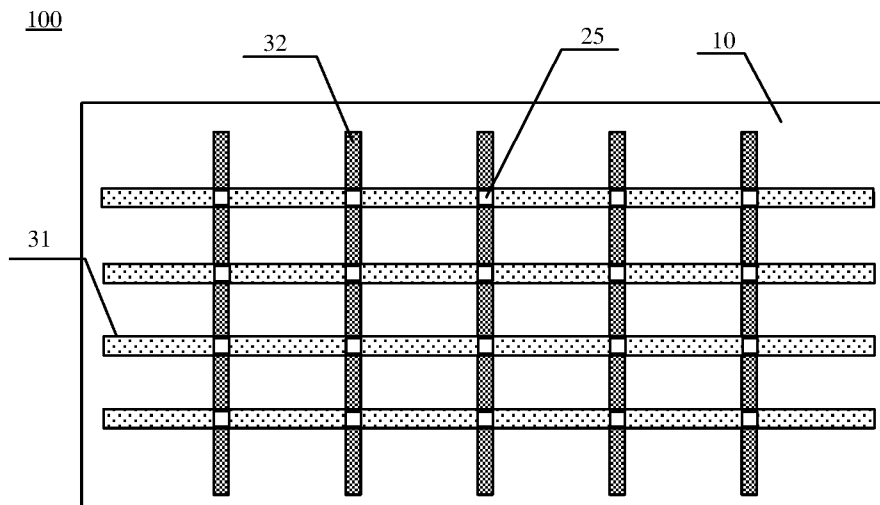


图 19



图 20

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/116589

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 薄膜晶体管, TFT, 栅电极, 栅极, 源极, 源电极, 漏极, 漏电极, 同时, 同层, 同一层, thin, film, transistor, gate, drain, source, electrode, simultaneous, one time, same time, layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103311310 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 18 September 2013 (18.09.2013), description, paragraphs 0041-0109, and figures 2-15	1-25
Y	KR 20020037417 A (BOE HYDIS TECHNOLOGY CO., LTD. et al.), 21 May 2002 (21.05.2002), description, paragraphs 0005-0010 and 0024-0029, and figures 2a-2e	1-25
PX	CN 107221501 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 29 September 2017 (29.09.2017), claims 1-15, description, paragraphs 0062-0140, and figures 2-13	1-25
A	CN 106298879 A (GUANGZHOU NEW VISION OPTO-ELECTRONIC TECHNOLOGY CO., LTD.), 04 January 2017 (04.01.2017), entire document	1-25
A	CN 101424846 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 06 May 2009 (06.05.2009), entire document	1-25
A	CN 103022150 A (BOE TECHNOLOGY GROUP CO., LTD.), 03 April 2013 (03.04.2013), entire document	1-25

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

Date of the actual completion of the international search
26 February 2018

Date of mailing of the international search report
14 March 2018

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer
HUANG, Wanguo
Telephone No. (86-10) 53961457

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/116589

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103311310 A	18 September 2013	US 2016225914 A1	04 August 2016
		WO 2014183422 A1	20 November 2014
		US 9620651 B2	11 April 2017
KR 20020037417 A	21 May 2002	KR 100658068 B1	15 December 2006
CN 107221501 A	29 September 2017	None	
CN 106298879 A	04 January 2017	None	
CN 101424846 A	06 May 2009	CN 101424846 B	25 August 2010
CN 103022150 A	03 April 2013	CN 103022150 B	20 May 2015
		US 9450101 B2	20 September 2016
		US 2014175434 A1	26 June 2014

国际检索报告

国际申请号

PCT/CN2017/116589

<p>A. 主题的分类</p> <p>H01L 21/336(2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																																			
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, CNKI, WPI, EPODOC: 薄膜晶体管, TFT, 栅电极, 栅极, 源极, 源电极, 漏极, 漏电极, 同时, 同层, 同一层, thin, film, transistor, gate, drain, source, electrode, simultaneous, one time, same time, layer</p>																																			
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 103311310 A (北京京东方光电科技有限公司) 2013年 9月 18日 (2013 - 09 - 18) 说明书第0041-0109段, 附图2-15</td> <td>1-25</td> </tr> <tr> <td>Y</td> <td>KR 20020037417 A (BOE HYDIS TECHNOLOGY CO., LTD. 等) 2002年 5月 21日 (2002 - 05 - 21) 说明书第0005-0010、0024-0029段, 附图2a-2e</td> <td>1-25</td> </tr> <tr> <td>PX</td> <td>CN 107221501 A (京东方科技集团股份有限公司 等) 2017年 9月 29日 (2017 - 09 - 29) 权利要求1-15, 说明书第0062-0140段, 附图2-13</td> <td>1-25</td> </tr> <tr> <td>A</td> <td>CN 106298879 A (广州新视界光电科技有限公司) 2017年 1月 4日 (2017 - 01 - 04) 全文</td> <td>1-25</td> </tr> <tr> <td>A</td> <td>CN 101424846 A (北京京东方光电科技有限公司) 2009年 5月 6日 (2009 - 05 - 06) 全文</td> <td>1-25</td> </tr> <tr> <td>A</td> <td>CN 103022150 A (京东方科技集团股份有限公司) 2013年 4月 3日 (2013 - 04 - 03) 全文</td> <td>1-25</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <table border="1"> <tr> <td>* 引用文件的具体类型:</td> <td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</td> </tr> <tr> <td>“A” 认为不特别相关的表示了现有技术一般状态的文件</td> <td>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</td> </tr> <tr> <td>“E” 在国际申请日的当天或之后公布的在先申请或专利</td> <td>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</td> </tr> <tr> <td>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</td> <td>“&” 同族专利的文件</td> </tr> <tr> <td>“O” 涉及口头公开、使用、展览或其他方式公开的文件</td> <td></td> </tr> <tr> <td>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td> <td></td> </tr> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 103311310 A (北京京东方光电科技有限公司) 2013年 9月 18日 (2013 - 09 - 18) 说明书第0041-0109段, 附图2-15	1-25	Y	KR 20020037417 A (BOE HYDIS TECHNOLOGY CO., LTD. 等) 2002年 5月 21日 (2002 - 05 - 21) 说明书第0005-0010、0024-0029段, 附图2a-2e	1-25	PX	CN 107221501 A (京东方科技集团股份有限公司 等) 2017年 9月 29日 (2017 - 09 - 29) 权利要求1-15, 说明书第0062-0140段, 附图2-13	1-25	A	CN 106298879 A (广州新视界光电科技有限公司) 2017年 1月 4日 (2017 - 01 - 04) 全文	1-25	A	CN 101424846 A (北京京东方光电科技有限公司) 2009年 5月 6日 (2009 - 05 - 06) 全文	1-25	A	CN 103022150 A (京东方科技集团股份有限公司) 2013年 4月 3日 (2013 - 04 - 03) 全文	1-25	* 引用文件的具体类型:	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件	“A” 认为不特别相关的表示了现有技术一般状态的文件	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性	“E” 在国际申请日的当天或之后公布的在先申请或专利	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性	“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)	“&” 同族专利的文件	“O” 涉及口头公开、使用、展览或其他方式公开的文件		“P” 公布日先于国际申请日但迟于所要求的优先权日的文件	
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																																	
Y	CN 103311310 A (北京京东方光电科技有限公司) 2013年 9月 18日 (2013 - 09 - 18) 说明书第0041-0109段, 附图2-15	1-25																																	
Y	KR 20020037417 A (BOE HYDIS TECHNOLOGY CO., LTD. 等) 2002年 5月 21日 (2002 - 05 - 21) 说明书第0005-0010、0024-0029段, 附图2a-2e	1-25																																	
PX	CN 107221501 A (京东方科技集团股份有限公司 等) 2017年 9月 29日 (2017 - 09 - 29) 权利要求1-15, 说明书第0062-0140段, 附图2-13	1-25																																	
A	CN 106298879 A (广州新视界光电科技有限公司) 2017年 1月 4日 (2017 - 01 - 04) 全文	1-25																																	
A	CN 101424846 A (北京京东方光电科技有限公司) 2009年 5月 6日 (2009 - 05 - 06) 全文	1-25																																	
A	CN 103022150 A (京东方科技集团股份有限公司) 2013年 4月 3日 (2013 - 04 - 03) 全文	1-25																																	
* 引用文件的具体类型:	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件																																		
“A” 认为不特别相关的表示了现有技术一般状态的文件	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性																																		
“E” 在国际申请日的当天或之后公布的在先申请或专利	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性																																		
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)	“&” 同族专利的文件																																		
“O” 涉及口头公开、使用、展览或其他方式公开的文件																																			
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件																																			
国际检索实际完成的日期	国际检索报告邮寄日期																																		
2018年 2月 26日	2018年 3月 14日																																		
ISA/CN的名称和邮寄地址	受权官员																																		
中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	黄万国																																		
传真号 (86-10) 62019451	电话号码 (86-10) 53961457																																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/116589

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103311310	A	2013年 9月 18日	US	2016225914	A1	2016年 8月 4日
				WO	2014183422	A1	2014年 11月 20日
				US	9620651	B2	2017年 4月 11日
KR	20020037417	A	2002年 5月 21日	KR	100658068	B1	2006年 12月 15日
CN	107221501	A	2017年 9月 29日	无			
CN	106298879	A	2017年 1月 4日	无			
CN	101424846	A	2009年 5月 6日	CN	101424846	B	2010年 8月 25日
CN	103022150	A	2013年 4月 3日	CN	103022150	B	2015年 5月 20日
				US	9450101	B2	2016年 9月 20日
				US	2014175434	A1	2014年 6月 26日

表 PCT/ISA/210 (同族专利附件) (2009年7月)