

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5567455号  
(P5567455)

(45) 発行日 平成26年8月6日(2014.8.6)

(24) 登録日 平成26年6月27日(2014.6.27)

(51) Int.Cl.

F I

H03K 19/0175 (2006.01)

H03K 19/00 I01K

請求項の数 3 (全 9 頁)

<p>(21) 出願番号 特願2010-261031 (P2010-261031)                  (22) 出願日 平成22年11月24日 (2010.11.24)                  (65) 公開番号 特開2012-114621 (P2012-114621A)                  (43) 公開日 平成24年6月14日 (2012.6.14)                  審査請求日 平成25年9月30日 (2013.9.30)</p>	<p>(73) 特許権者 000191238                  新日本無線株式会社                  東京都中央区日本橋横山町3番10号                  (74) 代理人 100083194                  弁理士 長尾 常明                  (72) 発明者 久本 英俊                  埼玉県ふじみ野市福岡2丁目1番1号 新                  日本無線株式会社 川越製作所 内                  (72) 発明者 中村 智徳                  埼玉県ふじみ野市福岡2丁目1番1号 新                  日本無線株式会社 川越製作所 内                  審査官 宮島 郁美</p>
--	--

最終頁に続く

(54) 【発明の名称】 信号入力回路

(57) 【特許請求の範囲】

【請求項1】

高電位電源端子と低電位電源端子と信号入力端子とを備えた信号入力回路において、  
ドレインとゲートが前記高電位電源端子に接続され、ソースが前記信号入力端子に接続され、バックゲートが前記低電位電源端子に接続された第1のデプレッション型NMOSトランジスタと、

ドレインが前記高電位電源端子に接続され、ソースが前記信号入力端子に接続され、ゲートが前記信号入力端子に接続される波形整形用の偶数段目のインバータの出力端子に接続され、バックゲートが前記低電位電源端子に接続された第2のデプレッション型NMOSトランジスタと、

備えることを特徴とする信号入力回路。

【請求項2】

請求項1に記載の信号入力回路において、

前記第1のデプレッション型NMOSトランジスタのオン抵抗を、前記信号入力端子に接続される前段回路のドライバの“L”レベル電圧出力時の出力インピーダンスよりも高い値に設定したことを特徴とする信号入力回路。

【請求項3】

請求項1又は2に記載の信号入力回路において、

前記信号入力端子と前記低電位電源端子との間に、ESD保護回路を接続したことを特徴とする信号入力回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、信号入力端子をプルアップする機能を有したまま、高電位電源端子の電圧を超える電圧を信号入力端子に入力可能にした信号入力回路に関する。

## 【背景技術】

## 【0002】

従来のプルアップ機能を有する信号入力回路として、図7～図9に示すような回路がある。図7の信号入力回路は、電圧 $V_{DD}$ の高電位電源端子1と電圧 $V_{SS}$ ( $=GND$ )の低電位電源端子2と信号入力端子3を有し、ダイオード $D1$ と抵抗 $R1$ により $ESD$ 保護回路5が構成された信号入力回路において、高電位電源端子1と抵抗 $R1$ の信号入力端子3の反対側との間に、ソース・ドレインを接続し、ゲートを接地 $GND$ に接続したエンハンスメント型 $PMOS$ トランジスタ $MP1$ で構成されている。 $INV1$ は入力信号電圧の波形整形用のインバータである。

10

## 【0003】

この図7の信号入力回路は、信号入力端子3がオープン状態のときには、トランジスタ $MP1$ がオン状態であるため、インバータ $INV1$ の入力側を高電位電源端子1の電圧 $V_{DD}$ にプルアップする。信号入力端子3に“H”レベルの電圧( $V_{DD}$ に近い電圧)が入力したときには、トランジスタ $MP1$ がオンしているため、その“H”レベルの電圧を増強する。一方、信号入力端子3に“L”レベルの電圧( $V_{SS}$ に近い電圧)が入力したときには、トランジスタ $MP1$ が信号入力端子3からみて負荷となる。このため、そのトランジスタ $MP1$ は、信号入力端子3に接続される前段回路のドライバの能力で十分駆動できるように、該前段回路に対して、小さい出力電流、又は高い出力抵抗となるように、そのオン抵抗の値が設定される。

20

## 【0004】

図8の信号入力回路は、図7の信号入力回路のトランジスタ $MP1$ に並列に、別のエンハンスメント型 $PMOS$ トランジスタ $MP2$ を追加接続し、そのゲートに、入力信号電圧を3段のインバータ $INV1$ 、 $INV2$ 、 $INV3$ で波形整形処理してから入力するよう構成した回路である。

30

## 【0005】

この図8の信号入力回路では、信号入力端子3に“H”レベルの電圧が入力したときは、追加されたトランジスタ $MP2$ もオンすることで、信号入力端子3をプルアップする機能を増強している。信号入力端子3に“L”レベルの電圧が入力したときは、追加されたトランジスタ $MP2$ がオフすることで、プルアップ機能を低減させ、信号入力端子3に接続される前段回路のドライバの能力の低減を可能ならしめている。

## 【0006】

図9の信号入力回路は、図7の信号入力回路において、インバータ $INV1$ をヒステリシスインバータ $INV4$ に置き換えたものである。この図9の信号入力回路では、信号入力端子3に入力する信号電圧がヒステリシスインバータ $INV4$ のしきい値電圧近くでふらつくとき、そのインバータ $INV4$ の出力が不安定になることを防止できる。

40

## 【0007】

以上のいずれの信号入力回路においても、信号入力端子3に入力する信号電圧が“H”レベルのときにはインバータ $INV1$ 又は $INV4$ の入力側で“H”レベル、“L”レベルのときは“L”レベル、オープンの場合はプルアップ機能により“H”レベルを保持する。なお、プルアップ回路については、特許文献1に記載がある。

## 【先行技術文献】

## 【特許文献】

## 【0008】

【特許文献1】特開平6-125261号公報

50

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0009】

ところが、図7～図9で説明した回路構成では、信号入力端子3にVDD以上の電圧が入力されると、その電圧がトランジスタMP1のドレインとバックゲートとの間の寄生ダイオードDp2（代表として図7に表示した）の順方向電圧を超えると、信号入力端子3に接続されたトランジスタMP1のドレインから寄生ダイオードDp2を経由して高電位電源端子1に電流が流れ込む。このため、信号入力端子3に接続する前段回路のドライバに対して大きな負荷が接続されることとなり、そのドライバが破壊する恐れがある。また、高電位電源端子1に強制的に電流が流入すると、高電位電源端子1の電圧VDDが安定せず、回路の異常動作やその電圧VDDの供給を受ける他の回路を破壊する危険性もある。その他の問題としては、信号入力端子3がオープンの場合、高電位電源端子1の電圧VDDの立ち上がり時に、トランジスタMP1（あるいはこれに加えてMP2）のしきい値電圧にその電圧VDDが立ち上がるまでは、そのトランジスタMP1（あるいはこれに加えてMP2）がプルアップ機能を発揮しないため、その間、信号入力端子3の電圧が定まらず、後段のインバータINV1の出力電圧が不安定となるという問題もあった。

10

## 【0010】

そこで、上記の問題を解決するために、図10に示すように、信号入力端子3に入カトレラント回路6を接続して、信号入力端子3の信号電圧が高電位電源端子1の電圧VDDを超えると、あるいは高電位電源端子1の電圧VDDが十分に立ち上がっていないとき、信号入力端子3から高電位電源端子1に電流が流れ込まないようにする対策や、図11に示すように、高電位電源端子7の電圧VCCを電源とする前段回路のドライバ8の出力電圧を抵抗R2、R3で分圧してから信号入力端子3に入力するような対策を採用する必要があった。D2、D3はESD保護用のダイオードである。このため、設計の手間やコスト増加を招き、また回路面積増大や追加回路により消費電流増加を招いていた。

20

## 【0011】

本発明の目的は、信号入力端子のプルアップ機能を有したまま、信号入力端子に入力する信号電圧が高電位電源端子の電圧を超えるときがあっても、上記したような問題が生じないようにした信号入力回路を提供することである。

30

## 【課題を解決するための手段】

## 【0012】

上記目的を達成するために、請求項1にかかる発明の信号入力回路は、高電位電源端子と低電位電源端子と信号入力端子とを備えた信号入力回路において、ドレインとゲートが前記高電位電源端子に接続され、ソースが前記信号入力端子に接続され、バックゲートが前記低電位電源端子に接続された第1のデプレッション型NMOSトランジスタと、ドレインが前記高電位電源端子に接続され、ソースが前記信号入力端子に接続され、ゲートが前記信号入力端子に接続される波形整形用の偶数段目のインバータの出力端子に接続され、バックゲートが前記低電位電源端子に接続された第2のデプレッション型NMOSトランジスタと、備えることを特徴とする。

40

請求項2にかかる発明は、請求項1に記載の信号入力回路において、前記第1のデプレッション型NMOSトランジスタのオン抵抗を、前記信号入力端子に接続される前段回路のドライバの“L”レベル電圧出力時の出力インピーダンスよりも高い値に設定したことを特徴とする。

請求項3にかかる発明は、請求項1又は2に記載の信号入力回路において、前記信号入力端子と前記低電位電源端子との間に、ESD保護回路を接続したことを特徴とする。

## 【発明の効果】

## 【0013】

本発明によれば、プルアップ用のトランジスタをデプレッション型NMOSトランジスタとしたので、信号入力端子に入力する入力電圧が高電位電源端子の電圧以上の電圧であ

50

っても、信号入力端子から高電位電源端子に向けては電流が流れなくなるため、信号入力端子に接続される前段回路のドライバの消費電流の増大を引き起こす要因を無くすることができる。また、信号入力端子から高電位電源端子へ強制的に電流が流入することがなくなるため、高電位電源端子の電圧が不安定になることを防止でき、回路の異常動作やその電圧が供給される他の回路が破壊する危険性も避けることができる。さらに、それらを防ぐための外部部品による対策を行う必要がなくなるので、設計の手間やコスト増加、また回路面積増大や追加回路による消費電流増加等を招くことを避けることができる。さらに、高電位電源端子の電圧が低いときでも、確実にプルアップ機能を保持することができる。これにより、高電位電源端子の電圧の立ち上がりとはほぼ同時にプルアップ動作が行われるため、電源投入時の信号入力端子の不安定さを抑える効果があり、誤動作防止やポツ音防止の対策にもなる。

10

【図面の簡単な説明】

【0014】

【図1】本発明の第1の実施例の信号入力回路の回路図である。

【図2】本発明の第2の実施例の信号入力回路の回路図である。

【図3】本発明の第3の実施例の信号入力回路の回路図である。

【図4】本発明の第4の実施例の信号入力回路の回路図である。

【図5】本発明の第5の実施例の信号入力回路の回路図である。

【図6】本発明の第6の実施例の信号入力回路の回路図である。

【図7】従来の信号入力回路の回路図である。

20

【図8】従来の別の信号入力回路の回路図である。

【図9】従来のさらなる別の信号入力回路の回路図である。

【図10】入力信号電圧が高電位電源端子の電圧より高いとき等の対策を施した従来の信号入力回路の回路図である。

【図11】入力信号電圧が高電位電源端子の電圧より高いとき等の対策を施した従来の別の信号入力回路の回路図である。

【発明を実施するための形態】

【0015】

<第1の実施例>

図1に本発明の第1の実施例の信号入力回路を示す。本実施例では、エンハンスメント型NMOSトランジスタMN1をプルアップ用のトランジスタとして用いる。このトランジスタMN1は、ゲートとドレインが高電位電源端子1に接続され、ソースが信号入力端子3に接続され、バックゲートが低電位電源端子2に接続されている。信号入力端子3に入力される信号電圧はインバータINV1によって波形整形されて内部に取り込まれる。

30

【0016】

信号入力端子3に“H”レベルの電圧(VDDに近い電圧)が入力されたときは、トランジスタMN1のゲート・ソース間電圧Vgsがしきい値電圧よりも小さくなるので、そのトランジスタMN1はオフする。このため、信号入力端子3の“H”レベルの電圧がそのままインバータINV1に入力する。信号入力端子3に“L”レベルの電圧(VSSに近い電圧)が入力されたときは、トランジスタMN1の出力インピーダンス(オン抵抗)を前段回路のドライバの出力インピーダンスよりもあらかじめ大きく設定しておくことにより、信号入力端子3に入力した“L”レベルの電圧が優先され、インバータINV1には“L”レベルの電圧がそのまま入力する。信号入力端子3がオープン又はハイインピーダンスとなったときは、トランジスタMN1がオンしているため、インバータINV1の入力電圧は“H”レベルにプルアップされる。信号入力端子3に高電位電源端子1の電圧VDDを超える電圧が入力したときは、トランジスタMN1には、ソースとバックゲートとの間に寄生する逆方向の寄生ダイオードDp1によってほとんど電流が流れず、高電位電源端子1の電圧VDDに大きな影響は与えない。なお、このとき、インバータINV1にはその高い電圧が入力する。以上により、図1の信号入力回路は、プルアップ機能を有しながら、高電位電源端子1の電圧VDD以上の電圧が信号入力端子3に入力しても、異

40

50

常電流が流れることなく正常に機能できる。

【 0 0 1 7 】

< 第 2 の実施例 >

図 2 に本発明の第 2 の実施例の信号入力回路を示す。本実施例は、図 1 の信号入力回路におけるプルアップ用のエンハンスメント型 NMOS トランジスタ MN 1 を、デプレッション型 NMOS トランジスタ MN 2 に置き換えたものである。なお、トランジスタ MN 2 の寄生ダイオードの表示は省略した。

【 0 0 1 8 】

図 1 の信号入力回路のように、エンハンスメント型のトランジスタ MN 1 をプルアップ用のトランジスタとして使用するときは、信号入力端子 3 がオープン又はハイインピーダンスのときに、インバータ INV 1 の入力電圧が、高電位電源端子 1 の電圧 VDD からトランジスタ MN 1 のゲート・ソース間電圧  $V_{gs}$  分だけ減少するために、そのインバータ INV 1 の入力電圧は高電位電源端子 1 の電圧 VDD まででは上がらない。ただし、電圧 VDD が比較的高い場合には、インバータ INV 1 の入力電圧がインバータ INV 1 のしきい値電圧よりも高い電圧になる程度に "H" レベルとなり、プルアップ機能を果たせる。しかし、電圧 VDD が低くなってくると、電圧  $V_{gs}$  分の低下でインバータ INV 1 の入力電圧がそのインバータ INV 1 のしきい値電圧付近となり、インバータ INV 1 の動作が安定しない可能性がある。

【 0 0 1 9 】

これに対して、プルアップ用トランジスタを、しきい値電圧が 0V あるいはそれよりも低いデプレッション型 NMOS トランジスタ MN 2 に置き換えれば、信号入力端子 3 がオープンあるいはハイインピーダンスであっても、インバータ INV 1 の入力電圧を電圧 VDD 付近にまで上げることができるので、電圧 VDD が比較的低電圧でもプルアップ機能を確実に実現できるようになる。信号入力端子 3 のその他の状態では、動作としては図 1 の信号入力回路と同じである。

【 0 0 2 0 】

< 第 3 の実施例 >

図 3 に本発明の第 3 の実施例の信号入力回路を示す。本実施例は、図 1 の信号入力回路に、ドレイン・ソース間の寄生バイポーラポラ NPN トランジスタを利用した GG (Gate Grounded) NMOS トランジスタ MN 3 と抵抗 R 1 で構成された ESD 保護回路 4 を付加した例である。なお、トランジスタ MN 1 の寄生ダイオード Dp 1 の表示は省略した。動作としては図 1 の信号入力回路と同じである。

【 0 0 2 1 】

< 第 4 の実施例 >

図 4 に本発明の第 4 の実施例の信号入力回路を示す。本実施例は、図 1 の信号入力回路に、ダイオード D 1 と抵抗 R 1 からなる ESD 保護回路 5 を付加した例である。なお、トランジスタ MN 1 の寄生ダイオード Dp 1 の表示は省略した。動作としては図 1 の信号入力回路と同じである。

【 0 0 2 2 】

< 第 5 の実施例 >

図 5 に本発明の第 5 の実施例の信号入力回路を示す。本実施例は、図 2 の信号入力回路において、プルアップ用のトランジスタとして機能するデプレッション型のトランジスタ MN 2 のソースとドレインに、ソースとドレインを共通接続した別のデプレッション型 NMOS トランジスタ MN 4 を接続し、そのトランジスタ MN 4 のゲートに、信号入力端子 3 に入力する電圧をインバータ INV 1, INV 2 を経由して入力させるように構成した実施例である。なお、トランジスタ MN 2, MN 4 の寄生ダイオードの表示は省略した。

【 0 0 2 3 】

信号入力端子 3 に入力される電圧が "H" レベルあるいは電圧 VDD より大きいときは、トランジスタ MN 4 のゲート電圧は VDD となり、プルアップ機能が強化されるが、プルアップされる電圧は入力された電圧と同じであり、また、入力電圧が電圧 VDD より大

10

20

30

40

50

きい場合でも、図1の信号入力回路と同じ動作となる。信号入力端子3に入力される電圧が“L”レベルのときはトランジスタMN4はゲート電圧が“L”レベル(=VSS)になるためオフ状態になる。本実施例では、信号を出力している前段回路のドライバの能力が小さくて済み、負担を低減できる。

【0024】

<第6の実施例>

図6に本発明の第6の実施例の信号入力回路を示す。本実施例は、図2の信号入力回路において、GGNMOSTランジスタMN3と抵抗R1からなるESD保護回路4を付加し、インバータINV1をヒステリシスインバータINV4に置き換えた例である。なお、トランジスタMN2の寄生ダイオードの表示は省略した。

10

【0025】

この図6の信号入力回路では、信号入力端子3に入力する信号電圧がヒステリシスインバータINV4のしきい値電圧近くでふらつくとき、そのインバータINV4の出力が不安定になることを防止できる。他の動作は、図2の信号入力回路と同じである。

【符号の説明】

【0026】

1：高電位電源端子、2：低電位電源端子、3：信号入力端子、4, 5：ESD保護回路、6：入力トレラント回路、7：高電位電源端子、8：前段回路のドライバ

MN1：エンハンスメント型NMOSTランジスタ

MN2, MN4：デプレッション型NMOSTランジスタ

20

MN3：GGNMOSTランジスタ

MP1, MP2：エンハンスメント型PMOSTランジスタ

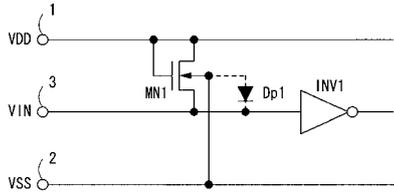
D1～D3：ダイオード

Dp1, Dp2：寄生ダイオード

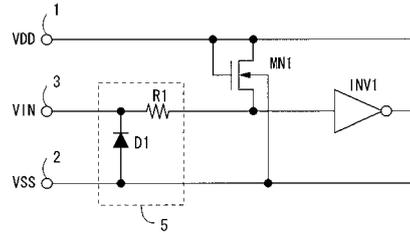
INV1, INV2, INV3：インバータ

INV4：ヒステリシスインバータ

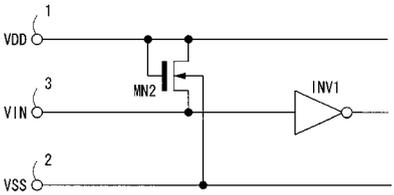
【図 1】



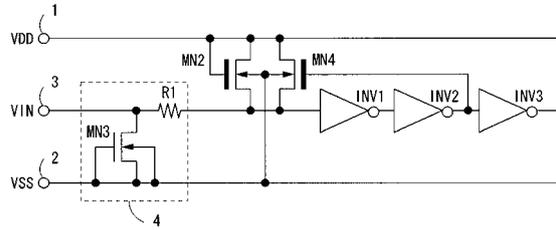
【図 4】



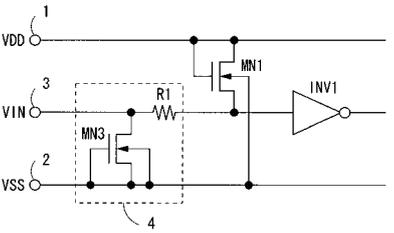
【図 2】



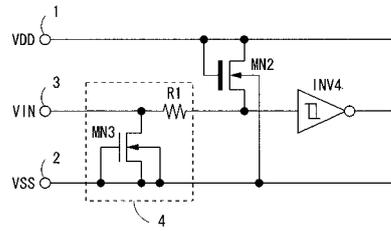
【図 5】



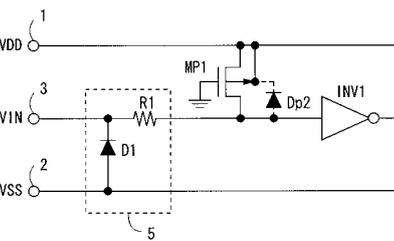
【図 3】



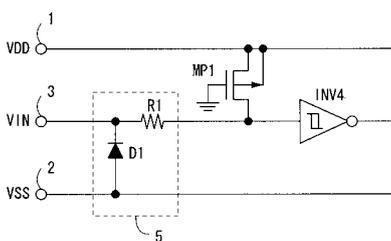
【図 6】



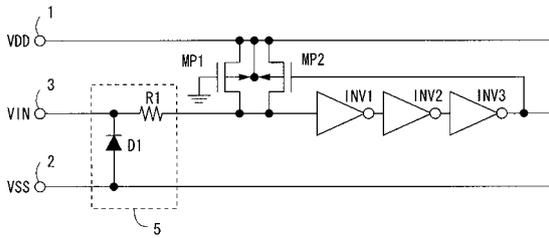
【図 7】



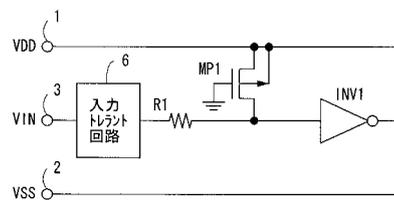
【図 9】



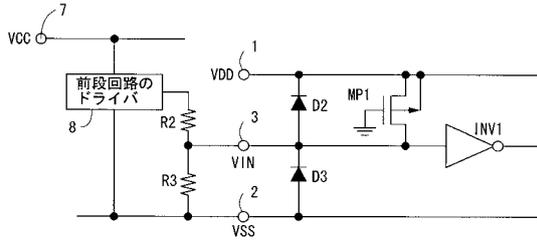
【図 8】



【図 10】



【図 11】



---

フロントページの続き

- (56)参考文献 特開平05 - 259876 (JP, A)  
特開平08 - 288821 (JP, A)  
特表2007 - 520889 (JP, A)  
特開2002 - 374160 (JP, A)  
特開2000 - 209083 (JP, A)  
特開2004 - 185273 (JP, A)  
特開2002 - 271187 (JP, A)  
特開平06 - 125261 (JP, A)  
特開昭60 - 254920 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01 - 19/082, 19/094 - 19/096