

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-38983
(P2015-38983A)

(43) 公開日 平成27年2月26日(2015.2.26)

| (51) Int.Cl. | F I | テーマコード(参考) |
|-----------------------|-----------------|------------|
| HO1L 21/336 (2006.01) | HO1L 29/78 371 | 4M104 |
| HO1L 29/788 (2006.01) | HO1L 29/78 613B | 5F083 |
| HO1L 29/792 (2006.01) | HO1L 29/78 618B | 5F101 |
| HO1L 29/786 (2006.01) | HO1L 29/78 617U | 5F110 |
| HO1L 21/28 (2006.01) | HO1L 21/28 301B | |

審査請求 未請求 請求項の数 8 O L (全 49 頁) 最終頁に続く

| | | | |
|--------------|------------------------------|----------|--|
| (21) 出願番号 | 特願2014-146390 (P2014-146390) | (71) 出願人 | 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 |
| (22) 出願日 | 平成26年7月17日(2014.7.17) | (72) 発明者 | 加藤 清 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 |
| (31) 優先権主張番号 | 特願2013-149054 (P2013-149054) | (72) 発明者 | 竹村 保彦 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 |
| (32) 優先日 | 平成25年7月18日(2013.7.18) | (72) 発明者 | 田中 哲弘 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 |
| (33) 優先権主張国 | 日本国(JP) | (72) 発明者 | 井上 卓之 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 |

最終頁に続く

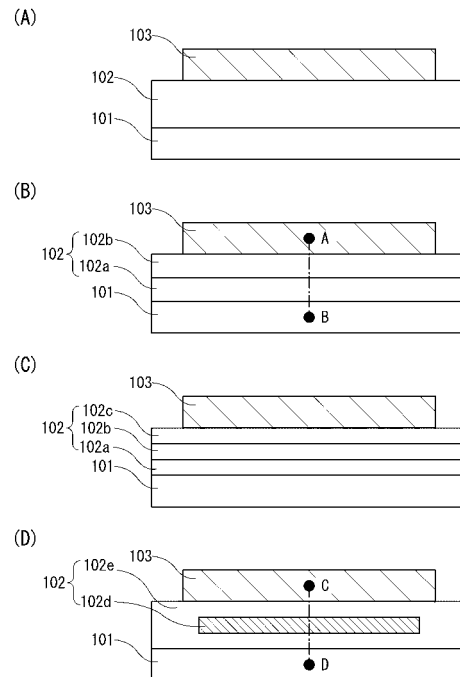
(54) 【発明の名称】 半導体装置および半導体装置の作製方法

(57) 【要約】

【課題】しきい値が補正された半導体装置の作製方法を提供する。

【解決手段】半導体と、半導体に電氣的に接するソース電極あるいはドレイン電極と、ゲート電極と、ゲート電極と半導体との間に設けられる電荷捕獲層とを有するトランジスタを複数有する半導体装置において、加熱しつつ、ゲート電極の電位をソース電極やドレイン電極よりも高くし、かつ、1秒以上保持することで、電荷捕獲層に電子を捕獲させることで、しきい値を増大させ、Icutを低減させる。そのために、ゲート電極に信号を供給する回路と、ソース電極あるいはドレイン電極に信号を供給する回路の電源を電氣的に分離し、前者の電位を、後者の電位よりも高くした状態で上記処理をおこなう。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の半導体と、
 前記第 1 の半導体に電氣的に接する電極と、
 ゲート電極と、
 前記ゲート電極と前記第 1 の半導体との間に設けられる電荷捕獲層と
 を有し、マトリクス状に配置された複数のトランジスタと、
 前記複数のトランジスタのゲート電極に信号を供給する第 1 の回路と、
 前記複数のトランジスタの電極に信号を供給する第 2 の回路と、
 前記第 1 の回路に高電位を供給する配線と低電位を供給する配線と、
 前記第 2 の回路に高電位を供給する配線と低電位を供給する配線と、
 を有する半導体装置において、
 前記第 1 の回路に低電位を供給する配線の電位を、前記第 2 の回路に低電位を供給する配線の電位よりも 1 V 以上高い電位とし、
 125 以上 450 以下の加熱処理を行いながら、前記ゲート電極の電位を前記電極の電位より高い状態に、1 秒以上維持し、前記加熱処理前よりもしきい値を増大させることを特徴とする半導体装置の作製方法。

10

【請求項 2】

請求項 1 において、前記電荷捕獲層は、電荷捕獲準位を有することを特徴とする半導体装置の作製方法。

20

【請求項 3】

請求項 1 または 2 において、前記電荷捕獲層は、窒化シリコン、酸化ハフニウム、酸化アルミニウム、アルミニウムシリケートのいずれか一を含むことを特徴とする半導体装置の作製方法。

【請求項 4】

前記電極が、ソース電極あるいはドレイン電極のいずれか一方である請求項 1 乃至 3 のいずれか一項に記載の半導体装置の作製方法。

【請求項 5】

前記第 1 の半導体を挟む第 2 の半導体および第 3 の半導体を有し、前記第 2 の半導体は、前記第 1 の半導体と前記電荷捕獲層の間にある請求項 1 乃至 4 のいずれか一項に記載の半導体装置の作製方法。

30

【請求項 6】

前記ゲート電極に印加される電位は、前記半導体装置で使用される最高電位よりも低いことを特徴とする請求項 1 乃至 5 のいずれか一項に記載の半導体装置の作製方法。

【請求項 7】

前記第 1 の回路に高電位を供給する配線と低電位を供給する配線の電位が等しく、前記第 2 の回路に高電位を供給する配線と低電位を供給する配線の電位が等しいことを特徴とする請求項 1 乃至 6 のいずれか一項に記載の半導体装置の作製方法。

【請求項 8】

前記第 1 の回路は、複数の出力端子を有し、
 前記複数の出力端子は、それぞれ、一以上の前記トランジスタのゲート電極に接続し、
 前記第 1 の回路は、前記複数の出力端子のうち二以上の出力端子に、前記トランジスタをオンとするような信号を出力できないように設定されていることを特徴とする請求項 1 乃至 7 のいずれか一項に記載の半導体装置の作製方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置

50

全般を指し、電気光学装置、半導体回路および電子機器は半導体装置である場合がある。また、半導体回路を有する装置は半導体装置である。

【背景技術】

【0003】

トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、インジウム（In）、ガリウム（Ga）、および亜鉛（Zn）を含む非晶質酸化物半導体層を用いたトランジスタが特許文献1に開示されている。

10

【0005】

また、酸化物半導体層を、積層構造とすることで、キャリアの移動度を向上させる技術が特許文献2、特許文献3に開示されている。

【0006】

ところで、酸化物半導体層を用いたトランジスタは、オフ状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体層を用いたトランジスタの低いリーク特性を応用した低消費電力のCPUなどが開示されている（特許文献4参照。）。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2006-165528号公報

【特許文献2】特開2011-124360号公報

【特許文献3】特開2011-138934号公報

【特許文献4】特開2012-257187号公報

【特許文献5】特開2012-074692号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0008】

回路の高集積化に伴い、トランジスタのサイズも微細化している。トランジスタを微細化すると、オン電流、オフ電流、しきい値、S値（サブスレッショルド値）などのトランジスタの電気特性が悪化する場合がある（特許文献5参照）。一般に、チャンネル長のみを縮小すると、オン電流は増加するが、一方でオフ電流の増大、S値の増大が起こる。また、チャンネル幅のみを縮小すると、オン電流が小さくなる。

30

【0009】

本明細書で開示する一態様は、半導体装置のしきい値を補正する方法およびそれに適した半導体装置を提供することを目的の一つとする。微細化に伴い顕著となる電気特性の悪化を抑制できる構成の半導体装置を提供することを目的の一つとする。または、集積度の高い半導体装置を提供することを目的の一つとする。または、オン電流の悪化を低減した半導体装置を提供することを目的の一つとする。または、低消費電力の半導体装置を提供することを目的の一つとする。または、信頼性の高い半導体装置を提供することを目的の一つとする。または、電源が遮断されてもデータが保持される半導体装置を提供することを目的の一つとする。または、特性の良い半導体装置を提供することを目的の一つとする。または、新規な半導体装置を提供することを目的の一つとする。

40

【0010】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本明細書で開示する一態様は、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0011】

50

本明細書で開示する一態様は、第1の半導体と、第1の半導体に電氣的に接する電極（ソース電極あるいはドレイン電極）と、ゲート電極と、ゲート電極と第1の半導体との間に設けられる電荷捕獲層を有するトランジスタがマトリクス状に配置された半導体装置において、トランジスタのゲート電極に電位を供給するための回路（例えば、ワード線ドライバー回路）に電源を供給する配線（第1の配線）が、トランジスタの電極に電位を供給するための回路（例えば、ビット線ドライバー回路）に電源を供給する配線（第2の配線）と、分離されており、上記半導体装置において、第1の配線の電位を、第2の配線の電位より高い状態として、125以上450以下で1秒以上維持することにより電荷捕獲層に電子を捕獲せしめることを特徴とする半導体装置の作製方法である。

【0012】

また、上記構成において、第1の半導体を挟む第2の半導体および第3の半導体を有し、第2の半導体は、第1の半導体と電荷捕獲層の間にあってもよい。

【0013】

また、上記構成において、ゲート電極は、第1の半導体の上面および側面に面していることが好ましい。

【0014】

また、上記構成において、電荷捕獲層は、窒化シリコン、酸化ハフニウム、酸化アルミニウム、アルミニウムシリケートのいずれか一を含む。

【発明の効果】

【0015】

本明細書で開示する一態様を用いることにより、半導体装置のしきい値を適正化する方法を提供すること、または、微細化に伴い顕著となる電気特性の低下を抑制できる構成の半導体装置を提供すること、または、集積度の高い半導体装置を提供すること、または、低消費電力の半導体装置を提供することができる。または、信頼性の高い半導体装置を提供すること、または、電源が遮断されてもデータが保持される半導体装置を提供すること、または、別に説明されるその他の効果の少なくとも1つが達成できる。

【図面の簡単な説明】

【0016】

【図1】実施の形態の半導体装置の例を示す図。

【図2】実施の形態の半導体装置のバンド図の例を示す図。

【図3】実施の形態の半導体装置の特性を模式的に示す図と半導体装置を応用した回路の例を示す図。

【図4】実施の形態のメモリセルの例を示す図。

【図5】実施の形態のプロセッサの例を示す図。

【図6】実施の形態のプロセッサのしきい値適正化処理の例を示す図。

【図7】実施の形態のプロセッサの動作時の例を示す図。

【図8】半導体装置の作製工程を示す図。

【図9】トランジスタを説明する上面図および断面図。

【図10】積層された半導体層のバンドの模式図。

【図11】トランジスタを説明する上面図および断面図。

【図12】トランジスタの作製方法を説明する図。

【図13】トランジスタの作製方法を説明する図。

【図14】トランジスタを説明する上面図および断面図。

【図15】メモリセルと半導体チップを説明する図。

【図16】メモリセルを説明する回路図。

【図17】メモリユニットと半導体チップを説明する図。

【図18】電子機器の例を示す図。

【図19】実施例で作製したトランジスタの電気特性評価を説明する図。

【図20】実施例で作製したトランジスタの電気特性評価を説明する図。

【図21】参考例で作製したトランジスタの電気特性評価を説明する図。

10

20

30

40

50

【発明を実施するための形態】

【0017】

実施の形態について、図面を用いて詳細に説明する。但し、本明細書で開示する技術思想は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本明細書で開示する技術思想は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0018】

なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。

【0019】

なお、トランジスタの「ソース（ソース電極）」や「ドレイン（ドレイン電極）」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

【0020】

なお、本明細書等における「第1」、「第2」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0021】

(実施の形態1)

本実施の形態では、半導体層と電荷捕獲層とゲート電極とを有する半導体装置の構成および動作原理、および、それを応用する回路について説明する。図1(A)は、半導体層101と電荷捕獲層102とゲート電極103を有する半導体装置である。電荷捕獲層102はゲート絶縁層の一部または全部を兼ねることができる。

【0022】

ここで、電荷捕獲層102としては、例えば、図1(B)に示されるような、第1の絶縁層102aと第2の絶縁層102bの積層体でもよいし、図1(C)に示されるような、第1の絶縁層102a、第2の絶縁層102bと第3の絶縁層102cの積層体、あるいは、さらに多層の絶縁層の積層体でもよい。また、図1(D)に示されるように、絶縁体102e中に、電氣的に絶縁された導電層102dを有してもよい。絶縁体102eは複数の絶縁層より形成されてもよい。

【0023】

例えば、図1(B)に示す半導体装置の点Aから点Bにかけてのバンド図の例を図2(A)に示す。図中、Ecは伝導帯下端、Evは価電子帯上端を示す。図2(A)では、ゲート電極103の電位はソース電極あるいはドレイン電極（いずれも図示せず）と同じである。

【0024】

この例では、第1の絶縁層102aのバンドギャップは第2の絶縁層102bのバンドギャップよりも大きく、第1の絶縁層102aの電子親和力は第2の絶縁層102bの電子親和力よりも小さいものとするが、これに限られない。

【0025】

第1の絶縁層102aと第2の絶縁層102bの界面、あるいは、第2の絶縁層102bの内部に電荷捕獲準位104が存在する。ゲート電極103の電位を、ソース電極あるいはドレイン電極より高くすると、図2(B)に示すようになる。ここで、ゲート電極103の電位は、ソース電極あるいはドレイン電極より1V以上高くしてもよい。また、この電位は、この処理の終了した後に、ゲート電極103に印加される最高電位よりも低くてもよい。代表的には、4V未満とするとよい。

【0026】

半導体層101に存在する電子105は、より電位の高いゲート電極103の方向に移動しようとする。そして、半導体層101からゲート電極103の方向に移動した電子105のいくらかは、電荷捕獲準位104に捕獲される。

10

20

30

40

50

【0027】

電子105が、半導体層101と電荷捕獲層102の間の障壁を超えて、電荷捕獲準位104に捕獲されるには、いくつかの過程が考えられる。第1は、トンネル効果によるものである。トンネル効果は、第1の絶縁層102aが薄いほど顕著となる。ただし、この場合、電荷捕獲準位104に捕獲された電子が、トンネル効果により、再度、半導体層101に戻ってしまうことがある。

【0028】

なお、ゲート電極103に適切な大きさの電圧を印加することで、電荷捕獲層102が比較的厚い場合でも、トンネル効果(Fowler-Nordheimトンネル効果)を発生させることもできる。Fowler-Nordheimトンネル効果の場合には、ゲート電極103と半導体層101の間の電場の自乗でトンネル電流が増加する。

10

【0029】

第2は、電子105が、電荷捕獲層102中の欠陥準位等のバンドギャップ中の捕獲準位をホッピングしながら、第2の絶縁層102bに到達するものである。これは、Poole-Frenkel伝導といわれる伝導機構であり、絶対温度が高いほど、捕獲準位が浅いほど、電気伝導性が高まる。

【0030】

第3は、熱的な励起によって、電子105が、電荷捕獲層102の障壁を超えるものである。半導体層101に存在する電子の分布はフェルミ・ディラック分布にしたがい、一般的には、エネルギーの高い電子の比率は、高温であるほど多くなる。例えば、フェルミ面から3電子ボルトだけ高いエネルギーを有する電子の300K(27)での密度を1としたとき、450K(177)では、 6×10^{16} 、600K(327)では、 1.5×10^{25} 、750K(477)では、 1.6×10^{30} となる。

20

【0031】

電子105が、電荷捕獲層102の障壁を超えてゲート電極103に向かって移動する過程は、上記の3つの過程とそれらの組み合わせで生じていると考えられる。特に、第2の過程、第3の過程は、温度が高いと指数関数的に電流が増大することを示す。

【0032】

また、Fowler-Nordheimトンネル効果も、電荷捕獲層102の障壁層の薄い部分(エネルギーの高い部分)の電子の密度が高いほど起こりやすいので、温度が高いことが有利である。

30

【0033】

なお、以上の伝導機構による電流は、特にゲート電極103と半導体層101の電位差が小さい(4V以下)場合には、きわめて微弱であることが多いが、長時間(例えば、1秒以上)の処理により、必要とする量の電子を電荷捕獲準位104に捕獲せしめることができる。この結果、電荷捕獲層102は負に帯電する。

【0034】

すなわち、より高い温度(半導体装置の使用温度あるいは保管温度よりも高い温度、あるいは、125 以上450 以下、代表的には150 以上300 以下)の下で、ゲート電極103の電位をソース電極やドレイン電極の電位より高い状態を、1秒以上、代表的には1分以上維持することで、半導体層101からゲート電極103に向かって、電子が移動し、そのうちのいくらかは電荷捕獲準位104に捕獲される。このように電子を捕獲する処理のための温度を、以下、処理温度という。

40

【0035】

このとき、電荷捕獲準位104に捕獲される電子の量はゲート電極103の電位により補正できる。電荷捕獲準位104に相応の量の電子が捕獲されると、その電荷のために、ゲート電極103の電場が遮蔽され、半導体層101に形成されるチャンネルが消失する。

【0036】

電荷捕獲準位104により捕獲される電子の総量は、当初は、線形に増加するが、徐々に増加率が低下し、やがて、一定の値に収斂する。収斂する値は、ゲート電極103の電位

50

に依存し、電位が高いほどより多くの電子が捕獲される傾向にある。なお、電荷捕獲準位 104 の総数を上回ることはない。

【0037】

電荷捕獲準位 104 に捕獲された電子は、電荷捕獲層 102 から流失しないことが求められる。そのためには、第 1 には、電荷捕獲層 102 の厚さが、トンネル効果が問題とならない程度の厚さであることが好ましい。例えば、物理的な厚さが 1 nm より大きいことが好ましい。

【0038】

一方で、半導体装置のチャネル長に比較して、電荷捕獲層 102 が厚すぎると、サブスレショールド値が増加し、オフ特性が悪化するので、チャネル長は、電荷捕獲層 102 の酸化シリコン換算の厚さ (Equivalent Oxide Thickness、EOT) の 4 倍以上、代表的には 10 倍以上であるとよい。なお、いわゆる High-K 材料では、EOT が物理的な厚さよりも小さくなる。

10

【0039】

代表的には、電荷捕獲層 102 の物理的な厚さは、10 nm 以上 100 nm 以下、EOT は、10 nm 以上 25 nm 以下とするとよい。なお、図 1 (B) あるいは図 1 (C) で示すような構造において、第 1 の絶縁層 102 a の厚さは、10 nm 以上 20 nm 以下、第 2 の絶縁層 102 b の EOT は、1 nm 以上 25 nm 以下とするとよい。

【0040】

なお、図 1 (C) のように、電荷捕獲層 102 を 3 層の絶縁層で形成し、第 3 の絶縁層 102 c の電子親和力を、第 2 の絶縁層 102 b の電子親和力よりも小さくし、第 3 の絶縁層 102 c のバンドギャップを、第 2 の絶縁層 102 b のバンドギャップよりも大きくすると、第 2 の絶縁層 102 b の内部、あるいは、他の絶縁層との界面にある電荷捕獲準位 104 に捕獲された電子を保持する上で効果的である。

20

【0041】

この場合には、第 2 の絶縁層 102 b が薄くても、第 3 の絶縁層 102 c が物理的に十分に厚ければ、電荷捕獲準位 104 に捕獲された電子を保持できる。第 3 の絶縁層 102 c としては、第 1 の絶縁層 102 a と同じまたは同様な材料を用いることができる。また、第 2 の絶縁層 102 b と同じ構成元素であるが、電荷捕獲準位が十分に少ないものも用いることができる。電荷捕獲準位の数は、形成方法によっても異なる。第 3 の絶縁層 102 c の厚さは 1 nm 以上 20 nm 以下とする。

30

【0042】

なお、図 1 (D) のように、絶縁体 102 e 中に電氣的に絶縁された導電層 102 d を有する場合も、上記と同様な原理によって、導電層 102 d に電子が捕獲される。図 2 (C) および図 2 (D) にその例を示す。図 2 (C) は、図 1 (D) の点 C から点 D にかけてのバンド図の例を示す。図 2 (C) では、ゲート電極 103 の電位はソース電極あるいはドレイン電極と同じである。

【0043】

ゲート電極 103 の電位を、ソース電極あるいはドレイン電極より高くすると、図 2 (D) に示すようになる。半導体層 101 に存在する電子 105 は、より電位の高いゲート電極 103 の方向に移動しようとする。そして、半導体層 101 からゲート電極 103 の方向に移動した電子 105 のいくらかは、導電層 102 d に捕獲される。すなわち、図 1 (D) に示される半導体装置において、導電層 102 d は、図 1 (B) の半導体装置における電荷捕獲準位 104 と同等の機能を有する。

40

【0044】

なお、導電層 102 d の仕事関数が大きいと、絶縁体 102 e との間のエネルギー障壁が高くなり、捕獲された電子が流出することを抑制できる。

【0045】

上記において、導電層 102 d は複数の導電層から構成されていてもよい。また、第 1 の絶縁層 102 a、第 2 の絶縁層 102 b、第 3 の絶縁層 102 c、絶縁体 102 e は、そ

50

れぞれ、複数の絶縁層より構成されてもよい。また、同じ構成元素からなるが、形成方法の異なる複数の絶縁層から構成されてもよい。

【0046】

第1の絶縁層102aと第2の絶縁層102bを同じ構成元素からなる絶縁層（例えば、酸化ハフニウム）で構成する場合、第1の絶縁層102aは、CVD法あるいはALD法で形成し、第2の絶縁層102bは、スパッタリング法で形成してもよい。

【0047】

一般にスパッタリング法で形成される絶縁層はCVD法あるいはALD法で形成される絶縁層よりも電荷捕獲準位104を多く含み、電子を捕獲する性質が強い。同様な理由から、第2の絶縁層102bと第3の絶縁層102cを同じ構成元素からなる絶縁層で構成する場合、第2の絶縁層102bは、スパッタリング法で形成し、第3の絶縁層102cは、CVD法あるいはALD法で形成してもよい。

10

【0048】

また、第2の絶縁層102bを同じ構成元素からなる複数の絶縁層で構成する場合、そのうちの1つは、スパッタリング法で形成し、別の1つは、CVD法あるいはALD法で形成してもよい。

【0049】

電荷捕獲準位104に捕獲された電子が電荷捕獲層102から流失しないための第2の方法は、半導体装置の使用温度あるいは保管温度を処理温度よりも十分に低くすることである。電子が、3電子ボルトの障壁を乗り越える確率は、120 のときは300 のときの10万分の1未満である。したがって、300 で処理の際には障壁を乗り越えて容易に電子捕獲準位106に捕獲される電子が、120 で保管時には、障壁を乗り越えることが困難となり、電子が長期にわたって、電子捕獲準位106に捕獲された状態となる。

20

【0050】

また、半導体層101で、ホールの有効質量が極めて大きい、あるいは、実質的に局在化していることも有効である。この場合には、半導体層101から電荷捕獲層102へのホールの注入がなく、したがって、電荷捕獲準位104に捕獲された電子がホールと結合して消滅することもない。

【0051】

また、電荷捕獲層102に捕獲された電子を放出させるような電圧がかからないように回路設計、材料選定をおこなってもよい。例えば、In-Ga-Zn系酸化物半導体のように、ホールの有効質量が極めて大きい、あるいは、実質的に局在化しているような材料では、ゲート電極103の電位が、ソース電極あるいはドレイン電極の電位より高い場合にはチャネルが形成されるが、低い場合には、絶縁体と同様な特性を示す。この場合には、ゲート電極103と半導体層101の間の電場が極めて小さくなり、Fowler-Nordheimトンネル効果、あるいは、Poole-Frenkel伝導による電子伝導は著しく低下する。

30

【0052】

第2の絶縁層102bは電荷捕獲準位104がより多くなるような材料（あるいは形成方法、形成条件）で形成されるが、そのため、第1の絶縁層102aと第2の絶縁層102bの界面、第2の絶縁層102bと第3の絶縁層102cの界面にも多くの電荷捕獲準位104が形成される。

40

【0053】

そして、ゲート電極103の電位および温度を上記に示したものとすると、図2(B)で説明したように、半導体層101から電荷捕獲準位104に電子が捕獲され、電荷捕獲層102は負に帯電する。

【0054】

このように電荷捕獲層102が電子を捕獲すると、半導体装置のしきい値が増加する。特に、半導体層101が、バンドギャップが大きな材料（ワイドバンドギャップ半導体）であると、ゲート電極103の電位をソース電極の電位と同じとしたときのソースドレイン

50

間の電流（カットオフ電流（ I_{cut} ））を大幅に低下させることができる。

【0055】

例えば、バンドギャップ3.2電子ボルトのIn-Ga-Zn系酸化物であれば、 I_{cut} 密度（チャンネル幅 $1\mu\text{m}$ あたりの電流値）は $1\text{zA}/\mu\text{m}$ （ $1 \times 10^{-21}\text{A}/\mu\text{m}$ ）以下、代表的には、 $1\text{yA}/\mu\text{m}$ （ $1 \times 10^{-24}\text{A}/\mu\text{m}$ ）以下とできる。

【0056】

図3（A）は電荷捕獲層102での電子の捕獲をおこなう前と、電子の捕獲をおこなった後での、室温でのソース電極とドレイン電極間のチャンネル幅 $1\mu\text{m}$ あたりの電流（ I_d ）のゲート電極103の電位（ V_g ）依存性を模式的に示したものである。なお、ソース電極の電位を 0V 、ドレイン電極の電位を $+1\text{V}$ とする。 1fA より小さな電流は、直接は測定できないが、その他の方法で測定した値、すなわちサブスレショールド値等をもとに推定できる。なお、このような測定方法に関しては、参考例を参照するとよい。

10

【0057】

最初、曲線108で示すように、半導体装置のしきい値は V_{th1} であったが、電子の捕獲をおこなった後では、しきい値が増加し（プラス方向に移動し）、 V_{th2} となる。また、この結果、 $V_g = 0$ での電流密度は、 $1\text{aA}/\mu\text{m}$ （ $1 \times 10^{-18}\text{A}/\mu\text{m}$ ）以下、例えば、 $1\text{zA}/\mu\text{m}$ 乃至 $1\text{yA}/\mu\text{m}$ となる。

【0058】

例えば、図3（B）のように、容量素子111に蓄積される電荷をトランジスタ110で制御する回路を考える。ここで、容量素子111の電極間のリーク電流は無視する。容量素子111の容量が 1fF であり、容量素子111のトランジスタ110側の電位が $+1\text{V}$ 、 V_d の電位が 0V であるとする。

20

【0059】

トランジスタ110の $I_d - V_g$ 特性が図3（A）中の曲線108で示されるもので、チャンネル幅が $0.1\mu\text{m}$ であると、 I_{cut} は約 1fA であり、トランジスタ110のこのときの抵抗は約 1×10^{15} である。したがって、トランジスタ110と容量素子111よりなる回路の時定数は約1秒である。すなわち、約1秒で、容量素子111に蓄積されていた電荷の多くが失われてしまうことを意味する。

【0060】

トランジスタ110の $I_d - V_g$ 特性が図3（A）中の曲線109で示されるもので、チャンネル幅が $0.1\mu\text{m}$ であると、 I_{cut} は約 1yA であり、トランジスタ110のこのときの抵抗は約 1×10^{24} である。したがって、トランジスタ110と容量素子111よりなる回路の時定数は約 1×10^9 秒（=約31年）である。すなわち、10年経過後でも、容量素子111に蓄積されていた電荷の $1/3$ は残っていることを意味する。

30

【0061】

すなわち、トランジスタと容量素子という単純な回路で、10年間の電荷の保持が可能である。このことは各種メモリ装置に用いることができる。例えば、図4に示すようなメモリセルに用いることもできる。

【0062】

図4（A）に示すメモリセルは、トランジスタ121、トランジスタ122、容量素子123からなり、トランジスタ121は、図1（A）に示したように、電荷捕獲層102を有するトランジスタである。回路が形成された後で、上記に示したようなしきい値を増加させる処理（しきい値適正化処理、あるいはしきい値補正処理、という）をおこない、 I_{cut} を低下させる。なお、図に示すように、しきい値が適正化されたトランジスタは、電荷捕獲層102中に電子を有するため、通常のトランジスタとは異なる記号を用いる。

40

【0063】

図4（A）に示すメモリセルはマトリクス状に形成され、例えば、第 n 行 m 列のメモリセルであれば、読み出しワード線 RWL_n 、書き込みワード線 WWL_n 、ビット線 BL_m 、ソース線 SL_m が接続する。

【0064】

50

しきい値補正は以下のようにおこなえばよい。まず、すべてのソース線、ビット線の電位を0Vとする。そして、メモリセルが形成されたウェハーあるいはチップを適切な温度に保持し、すべての書き込みワード線の電位を適切な値(例えば、+3V)として、適切な時間保持する。この結果、しきい値が適切な値になる。

【0065】

なお、メモリセルは図4(B)に示すような、トランジスタ124、容量素子125からなるものでもよい。例えば、第n行m列のメモリセルであれば、ワード線WL_n、ビット線BL_m、ソース線SL_nが接続する。しきい値補正の方法は図4(A)のものと同様に行うことができる。

【0066】

ここで、問題となるのは、一般にメモリ装置では、ワード線(書き込みワード線)のうちの1つの電位は上昇させるように設計されているが、すべてのワード線の電位を同時に上昇させるようには設計されていないことである。なお、すべてのビット線を低電位あるいは高電位とすることは可能である。

【0067】

この問題に対しては、図5乃至図7に示すように、ワード線ドライバ131に電源を供給する回路とビット線ドライバ132(および論理ユニット137等のその他の回路)に電源を供給する回路とを分離し、しきい値適正化処理の際にはそれぞれに異なる定電位を供給することにより、解決できる。

【0068】

図5に示す半導体チップ130は、メモリユニット136と論理ユニット137を有する。メモリユニット136は、メモリセルアレイ135と、ワード線ドライバ131、ビット線ドライバ132を有する。ワード線ドライバ131には複数のワード線133が接続され、ビット線ドライバ132には、複数のビット線134が接続される。複数のワード線133と複数のビット線134の交点には、図4に示すメモリセルが設けられる。なお、図4に示すメモリセルには、直接、電源が供給される必要がない。

【0069】

ワード線ドライバ131、ビット線ドライバ132には、信号や電源が供給される必要があり、例えば、論理ユニット137から信号供給線139a、信号供給線139bを介して、ワード線ドライバ131、ビット線ドライバ132に信号が供給される。また、ワード線ドライバ131には高電位供給線140aと低電位供給線140bによって、ビット線ドライバ132には高電位供給線140dと低電位供給線140cによって、論理ユニット137には高電位供給線140fと低電位供給線140eによって、それぞれ電源が供給される。

【0070】

そして、高電位供給線140aはパッド138aに、低電位供給線140bはパッド138bに、低電位供給線140cと低電位供給線140eはパッド138cに、高電位供給線140dと高電位供給線140fはパッド138dに、それぞれ接続する。このように、ワード線ドライバ131の電源とビット線ドライバ132と論理ユニット137の電源は分離されている。

【0071】

なお、論理ユニット137には、パッド138eとパッド138fから、それぞれ、信号供給線139cと信号供給線139dを介して、信号が供給される。

【0072】

なお、高電位供給線140aとパッド138aの間、低電位供給線140bとパッド138bの間、低電位供給線140c/低電位供給線140eとパッド138cの間、高電位供給線140d/高電位供給線140fとパッド138dの間、信号供給線139cとパッド138eの間、信号供給線139dとパッド138fの間には、それぞれ、何らかの回路が設けられていてもよい。

【0073】

10

20

30

40

50

しきい値適正化処理をおこなう際には、例えば、パッド138bには、+2Vの、パッド138c、パッド138e、パッド138fには0Vの電位を供給する。ここで、論理ユニット137がワード線ドライバ131やビット線ドライバ132に信号を送らないことが好ましく、そのためには、パッドの138dの電位をパッド138cの電位と等しくする。また、より好ましくは、パッド138aの電位もパッド138bの電位と等しくする。なお、電位の値は上記に限らず適宜設定できる。

【0074】

ここで、重要なことは、このような電位の入力によって、ワード線ドライバ131から少なくとも2本のワード線133に出力される第1の電位を等しくし、ビット線ドライバ132から少なくとも2本のビット線134に出力される第2の電位を等しくし、かつ、第1の電位が第2の電位より1V以上高い状態となることである。

10

【0075】

例えば、図6の例では、パッド138aとパッド138bの電位が+2Vであり、パッド138c乃至パッド138fの電位が0Vであるため、ワード線ドライバ131、ビット線ドライバ132、論理ユニット137のいずれも非動作状態であるが、例えば、ワード線ドライバ131に接続しているすべてのワード線の電位は+2Vとなり、ビット線ドライバ132に接続しているすべてのビット線の電位は0Vとなる。

【0076】

つまり、すべてのワード線133とすべてのビット線134の間の電位差は2Vとなる。

【0077】

例えば、メモリセルが図4(A)に示すものであれば、トランジスタ121のゲート電極の電位は+2Vとなる。また、トランジスタ121のソース電極またはドレイン電極の一方のうち、ビット線BLmに接続している方の電位は0Vとなる。ここで、しきい値適正化処理をおこなう前のトランジスタ121のしきい値が1Vであったとすると、しきい値適正化処理を開始した直後は、トランジスタ121はオン状態であるので、ソース電極またはドレイン電極の他方の電位も0Vである。

20

【0078】

この結果、上記に説明したように、電荷捕獲層102に電子が捕獲され、しきい値が増加する。この場合は、最大で+2Vまで増加する。このようにして、しきい値適正化処理がすべてのメモリセルのトランジスタ121に対して実施できる。

30

【0079】

しきい値適正化処理を施したトランジスタ121のしきい値は十分に大きいため、Icutもきわめて小さい。このため、容量素子123に保持された電荷を外部から電源が遮断された状態で長時間保持できる。

【0080】

なお、上記では、パッド138aとパッド138bとに同じ電位を供給したが、例えば、パッド138aには+6Vが供給され、パッド138bには、+2Vが供給されていてもよい。この場合、外部からの信号がなければ、すべてのワード線133に+2Vの電位が供給されることとなる。

【0081】

半導体チップ130を通常に動作させるには、例えば、図7に示すように、パッド138a乃至パッド138dに、それぞれ、+4V、0V、0V、+1Vの電位が供給されるようにすればよい。また、パッド138eおよびパッド138fには、それぞれ、論理ユニット137を駆動するための信号が入力される。

40

【0082】

なお、図7に示されるように、低電位が供給されるパッド138bとパッド138cが隣接して設けられている場合には、例えば、ワイヤボンディングの際に、ボンディングワイヤが同じリード等の導体に接続されるようにしてもよい。かくすると半導体チップ130のリード数(端子数)を1つ減らすことができる。

【0083】

50

なお、上記では、ワード線ドライバ131、ビット線ドライバ132、論理ユニット137は、高電位と低電位の2電位で動作する例を示したが、3電位以上で動作する場合でも同様に実施できる。

【0084】

また、上記では、ワード線ドライバ131の電源は、ビット線ドライバ132の電源と分離されている例を示したが、ワード線ドライバを構成する一部の回路の電源が、ビット線ドライバ132の電源と共通であってもよい。

【0085】

しきい値適正化処理は、メモリセルを有する半導体装置を出荷する前におこなうとよい。例えば、図8に示すような工程が実施できる。まず、図8(A)に示すように、メモリセルが完成した後、初期特性を測定し、良品を選別する。ここで、良品の基準は断線等による回復不可能な動作不良に限定するとよい。まだ、しきい値が適正化されていないため、容量素子の電荷を長時間保持することはできないが、そのことは選別の基準とはならない。

10

【0086】

その後、図8(B)に示すように、電子を注入する。すなわち、電荷捕獲層に適切な量の電子を捕獲させる。この操作は上述のとおりおこなう。このとき、ゲート電極103の電位と、ソース電極あるいはドレイン電極のいずれか低い方の電位との差(ゲート電圧)は、1V以上4V未満であり、かつ、このメモリセルが出荷された後でのゲート電圧と同じか低いものとする。

20

【0087】

その後、図8(C)に示すように、再度、測定をおこなう。予定通りにしきい値が増加していることが良品の条件の一つである。この段階では、しきい値に異常のあるチップは不良品として、再度、電子注入をおこなってもよい。良品は、ダイシング、ワイヤボンディング、樹脂封止後、パッケージ化して出荷する。

【0088】

しきい値の増加幅は電荷捕獲層102が捕獲する電子密度によって決まる。例えば、図1(B)に示す半導体装置において、第1の絶縁層102aと第2の絶縁層102bの界面においてのみ電子が捕獲される場合、捕獲された電子の面密度を Q 、第1の絶縁層102aの誘電率を C とすると、しきい値は、 Q/C だけ増加する。

30

【0089】

なお、上記のようにゲート電極103の電位によって、捕獲される電子の量が一定の値になることから、ゲート電極103の電位によって、しきい値の増加分を制御することもできる。

【0090】

例えば、ゲート電極103の電位を、ソース電極とドレイン電極の電位より1.5Vだけ高くし、温度を150以上250以下、代表的には 200 ± 20 とする場合を考える。電荷捕獲層102に電子が捕獲される前の半導体装置のしきい値(第1のしきい値、 V_{th1})が+1.1Vであったとすると、当初は、半導体層101にチャンネルが形成されており、電荷捕獲層102に電子が捕獲される。その後、電荷捕獲層102に捕獲される電子の量が増加し、チャンネルが消失する。この段階で、電荷捕獲層102での電子の捕獲はおこなわれなくなる。

40

【0091】

この場合には、ゲート電極103の電位が、ソース電極、ドレイン電極より1.5V高い段階でチャンネルが消失するので、しきい値が、+1.5Vとなる。あるいは、電荷捕獲層102に捕獲された電子によって、しきい値が、0.4Vだけ高くなったと言える。このように電荷捕獲層102に捕獲された電子によって変化した後のしきい値を第2のしきい値(V_{th2})という。

【0092】

このような特性を用いれば、もともと相当なばらつきのあった複数の半導体装置のしきい

50

値を適切な範囲内に収束させることもできる。例えば、第1のしきい値が+1.2V、+1.1V、+0.9Vである3つの半導体装置があるとする。これらの半導体装置に、上記の条件で処理をおこなえば、それぞれの半導体装置のしきい値が+1.5Vを大きく超えるような電子の捕獲は生じないので、3つの半導体装置とも第2のしきい値を+1.5V付近とすることができる。例えば、当初のしきい値ばらつき（例えば、標準偏差）を、しきい値適正化処理後には、4分の1とすることもできる。

【0093】

なお、このようにしきい値適正化処理によって、それぞれのトランジスタのしきい値を変更した場合、これら3つの半導体装置の電荷捕獲層102に捕獲される電子の量（あるいは電子の面密度等）は異なる。

10

【0094】

ゲート電極103は各種の材料を用いることができる。例えば、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、TaおよびWなどの導電層を用いることができる。また、ゲート電極103は、上記材料の積層であってもよい。また、ゲート電極103には、窒素を含んだ導電層を用いてもよい。たとえば、ゲート電極103に窒化チタン層上にタンゲステン層の積層、窒化タンゲステン層上にタンゲステン層の積層、窒化タンタル層上にタンゲステン層の積層などを用いることができる。

【0095】

なお、半導体層101に対向するゲート電極103の仕事関数は、半導体装置のしきい値を決定する要因のひとつであり、一般に、仕事関数が小さい材料であると、しきい値が小さくなる。しかしながら、上述のように、電荷捕獲層102に捕獲する電子の量によりしきい値を調整できるので、ゲート電極103の材料の選択の幅が広がる。

20

【0096】

半導体層101は各種の材料を用いることができる。例えば、シリコンやゲルマニウム、シリコンゲルマニウム以外に、後述する各種酸化物半導体を用いることができる。

【0097】

第1の絶縁層102aは各種の材料を用いることができる。例えば、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウムおよび酸化タンタルを一種以上含む絶縁層を用いることができる。

30

【0098】

第2の絶縁層102bは各種の材料を用いることができる。例えば、窒化シリコン、酸化ハフニウム、酸化アルミニウム、アルミニウムシリケートなどを一種以上含む絶縁層を用いることができる。

【0099】

第3の絶縁層102cは各種の材料を用いることができる。例えば、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウムおよび酸化タンタルを一種以上含む絶縁層を用いることができる。

40

【0100】

このように電荷捕獲層102に必要な量の電子を捕獲させた半導体装置は、通常のMOS型半導体装置と同じである。すなわち、電荷捕獲層102はゲート絶縁層として機能する。

【0101】

なお、しきい値適正化処理は、上記に限らず、例えば、半導体装置のソース電極あるいはドレイン電極に接続する配線の形成後、あるいは、前工程（ウェハー処理）の終了後、あるいは、ウェハーダイシング工程後、パッケージ工程後等、工場出荷前のいずれかの段階でおこなうとよい。いずれの場合にも、その後125以上の温度に1時間以上さらされないことが好ましい。

【0102】

50

以上の例では、電子が電荷捕獲層 102 に捕獲されることにより、半導体装置のしきい値を適正化する例を示したが、電荷捕獲層 102 や半導体層 101 の材料によっては、ホールが電荷捕獲層 102 に捕獲されることもあり、同様な原理により、しきい値を低下させ、適正化できる。ホールを電荷捕獲層 102 に捕獲せしめるのは、ゲート電極 103 の電位をソース電極やドレイン電極よりも 1 V 以上低くすればよい。

【0103】

したがって、例えば、図 5 乃至図 7 に示す半導体チップであれば、パッド 138 a とパッド 138 b の電位が、パッド 138 c 乃至パッド 138 f の電位より 1 V 以上、低くなるようにすればよい。

【0104】

(実施の形態 2)

本実施の形態では、本明細書で開示する一態様の半導体装置について図面を用いて説明する。

【0105】

図 9 (A) 乃至図 9 (C) は、本明細書で開示する一態様のトランジスタの上面図および断面図である。図 9 (A) は上面図であり、図 9 (A) に示す一点鎖線 A - B の断面が図 9 (B)、一点鎖線 C - D の断面が図 9 (C) に相当する。なお、図 9 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、一点鎖線 A - B 方向をチャンネル長方向、一点鎖線 C - D 方向をチャンネル幅方向と呼称する場合がある。

【0106】

図 9 (A) 乃至図 9 (C) に示すトランジスタ 450 は、基板 400 と、基板 400 上の凹部および凸部を有する下地絶縁層 402 と、下地絶縁層 402 の凸部上の酸化物半導体層 404 a および酸化物半導体層 404 b と、酸化物半導体層 404 a および酸化物半導体層 404 b 上のソース電極 406 a およびドレイン電極 406 b と、下地絶縁層 402 の凹部、下地絶縁層 402 の凸部 (または凹部) の側面、酸化物半導体層 404 a の側面、酸化物半導体層 404 b の側面および酸化物半導体層 404 b の上面、ソース電極 406 a およびドレイン電極 406 b と接する酸化物半導体層 404 c と、酸化物半導体層 404 c 上のゲート絶縁層 408 と、ゲート絶縁層 408 上で接し、酸化物半導体層 404 b の上面および側面に面するゲート電極 410 と、ソース電極 406 a、ドレイン電極 406 b、およびゲート電極 410 上の酸化物絶縁層 412 と、を有する。

【0107】

また、ゲート絶縁層 408 は、実施の形態 1 で述べた電荷捕獲層として機能する。ここでは、ゲート絶縁層 408 は、CVD 法によって形成された第 1 の絶縁層 408 a の上にスパッタリング法によって形成された第 2 の絶縁層 408 b の積層であるが、図 1 (C) のように、さらに、その上に CVD 法によって形成された絶縁層 (実施の形態 1 の第 3 の絶縁層 102 c) の積層であってもよい。

【0108】

また、酸化物半導体層 404 a、酸化物半導体層 404 b、および酸化物半導体層 404 c を総称して多層半導体層 404 と呼称する。

【0109】

ゲート絶縁層 408 に用いる材料を比誘電率が大きいものにする、ゲート絶縁層 408 を厚くすることができる。たとえば、誘電率が 16 の酸化ハフニウムを用いることにより、誘電率が 3.9 の酸化シリコンを用いる場合に比べて約 4 倍厚くすることが可能である。このため、捕獲された電子の流出を防止する上で好ましい。なお、ゲート絶縁層 408 の厚さは、1 nm 以上 100 nm 以下、代表的には 5 nm 以上 20 nm 以下である。

【0110】

なお、チャンネル長とは、上面図において、半導体層とゲート電極とが重なる領域における、ソース (ソース領域またはソース電極) とドレイン (ドレイン領域またはドレイン電極) との距離をいう。すなわち、図 9 (A) では、チャンネル長は、酸化物半導体層 404 b とゲート電極 410 とが重なる領域における、ソース電極 406 a とドレイン電極 406

10

20

30

40

50

bとの距離となる。チャンネル幅とは、半導体層とゲート電極とが重なる領域における、ソースまたはドレインの幅をいう。すなわち、図9(A)では、チャンネル幅は、酸化物半導体層404bとゲート電極410とが重なる領域における、ソース電極406aまたはドレイン電極406bの幅をいう。

【0111】

ゲート絶縁層408を電荷捕獲層として機能させることで、実施の形態1で述べたようにその内部に存在する電荷捕獲準位に電子を捕獲することができる。このとき、電荷捕獲準位に捕獲される電子の量はゲート電極410の電位により制御できる。

【0112】

また、ゲート電極410は、酸化物半導体層404bを電気的に取り囲み、オン電流が高められる。このようなトランジスタの構造を、Surrounded Channel (S-Channel)構造とよぶ。なお、S-Channel構造では、電流は酸化物半導体層404bの全体(バルク)を流れる。酸化物半導体層404bの内部を電流が流れることで、界面散乱の影響を受けにくいため、高いオン電流を得ることができる。なお、酸化物半導体層404bを厚くすると、オン電流を向上させることができる。

10

【0113】

また、トランジスタのチャンネル長およびチャンネル幅を微細化するとき、レジストマスクを後退させながら電極や半導体層等を加工すると電極や半導体層等の上端部が丸みを帯びる(曲面を有する)場合がある。このような構成になることで、酸化物半導体層404b上に形成されるゲート絶縁層408、ゲート電極410および酸化物絶縁層412の被覆性を向上させることができる。また、ソース電極406aおよびドレイン電極406bの端部に生じる恐れのある電界集中を緩和することができ、トランジスタの劣化を抑制することができる。

20

【0114】

また、トランジスタを微細化することで、集積度を高め、高密度化することができる。例えば、トランジスタのチャンネル長を100nm以下、好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下とし、かつ、トランジスタのチャンネル幅を100nm以下、好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下とする。本明細書で開示する一態様に係るトランジスタは、上記のように狭チャンネルでも、S-channel構造を有することでオン電流を高めることができる。

30

【0115】

基板400は、単なる支持材料に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、トランジスタ450のゲート電極410、ソース電極406a、およびドレイン電極406bの少なくとも一つは、上記の他のデバイスと電気的に接続されていてもよい。

【0116】

下地絶縁層402は、基板400からの不純物の拡散を防止する役割を有するほか、多層半導体層404に酸素を供給する役割を担うことができる。また、上述のように基板400が他のデバイスが形成された基板である場合、下地絶縁層402は、層間絶縁層としての機能も有する。その場合、下地絶縁層402の表面には凹凸が形成されるため、表面が平坦になるようにCMP(Chemical Mechanical Polishing)法等で平坦化処理を行うことが好ましい。

40

【0117】

また、トランジスタ450のチャンネルが形成される領域において多層半導体層404は、基板400側から酸化物半導体層404a、酸化物半導体層404b、酸化物半導体層404cが積層された構造を有している。また、酸化物半導体層404bは、酸化物半導体層404aおよび酸化物半導体層404cで取り囲まれている構造となっている。また、図9(C)に示すようにゲート電極410は、酸化物半導体層404bを電気的に取り囲む構造になっている。

50

【0118】

ここで、一例としては、酸化物半導体層404bには、酸化物半導体層404aおよび酸化物半導体層404cよりも電子親和力（真空準位から伝導帯下端までのエネルギー）が大きい酸化物半導体を用いる。電子親和力は、真空準位と価電子帯上端とのエネルギー差（イオン化ポテンシャル）から、伝導帯下端と価電子帯上端とのエネルギー差（エネルギーギャップ）を差し引いた値として求めることができる。

【0119】

酸化物半導体層404aおよび酸化物半導体層404cは、酸化物半導体層404bを構成する金属元素を一種以上含み、例えば、伝導帯下端のエネルギーが酸化物半導体層404bよりも、0.05 eV、0.07 eV、0.1 eV、0.15 eVのいずれか以上であって、2 eV、1 eV、0.5 eV、0.4 eVのいずれか以下の範囲で真空準位に近い酸化物半導体で形成することが好ましい。

10

【0120】

このような構造において、ゲート電極410に電界を印加すると、多層半導体層404のうち、伝導帯下端のエネルギーが最も小さい酸化物半導体層404bにチャネルが形成される。すなわち、酸化物半導体層404bとゲート絶縁層408との間に酸化物半導体層404cが形成されていることよって、トランジスタのチャネルがゲート絶縁層408と接しない領域に形成される構造となる。

【0121】

また、酸化物半導体層404aは、酸化物半導体層404bを構成する金属元素を一種以上含んで構成されるため、酸化物半導体層404bと下地絶縁層402が接した場合の界面と比較して、酸化物半導体層404bと酸化物半導体層404aの界面に界面準位を形成しにくくなる。該界面準位はチャネルを形成することがあるため、トランジスタのしきい値が変動することがある。したがって、酸化物半導体層404aを設けることにより、トランジスタのしきい値などの電気特性のばらつきを低減することができる。また、当該トランジスタの信頼性を向上させることができる。

20

【0122】

また、酸化物半導体層404cは、酸化物半導体層404bを構成する金属元素を一種以上含んで構成されるため、酸化物半導体層404bとゲート絶縁層408が接した場合の界面と比較して、酸化物半導体層404bと酸化物半導体層404cとの界面ではキャリアの散乱が起こりにくくなる。したがって、酸化物半導体層404cを設けることにより、トランジスタの電界効果移動度を高くすることができる。

30

【0123】

酸化物半導体層404aおよび酸化物半導体層404cには、例えば、Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHfを酸化物半導体層404bよりも高い原子数比で含む材料を用いることができる。具体的には、当該原子数比を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。前述の元素は酸素と強く結合するため、酸素欠損が酸化物半導体層に生じることを抑制する機能を有する。すなわち、酸化物半導体層404aおよび酸化物半導体層404cは酸化物半導体層404bよりも酸素欠損が生じにくいとすることができる。

40

【0124】

なお、酸化物半導体層404a、酸化物半導体層404b、酸化物半導体層404cが、少なくともインジウム、亜鉛およびM（Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属）を含むIn-M-Zn酸化物であるとき、酸化物半導体層404aをIn:M:Zn = x_1 : y_1 : z_1 [原子数比]、酸化物半導体層404bをIn:M:Zn = x_2 : y_2 : z_2 [原子数比]、酸化物半導体層404cをIn:M:Zn = x_3 : y_3 : z_3 [原子数比]とすると、 y_1/x_1 および y_3/x_3 が y_2/x_2 よりも大きくなるのが好ましい。 y_1/x_1 および y_3/x_3 は y_2/x_2 よりも1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。このとき、酸化物半導体層404bにおいて、 y_2 が x_2 以上であるとトランジスタの電気特性を安定させる

50

ことができる。ただし、 y_2 が x_2 の 3 倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 の 3 倍未満であることが好ましい。

【0125】

酸化物半導体層 404 a および酸化物半導体層 404 c の I_n と M の原子数比率 $I_n / (I_n + M)$ は、好ましくは 0.5 未満、さらに好ましくは 0.25 未満とする。また、酸化物半導体層 404 b の I_n と M の原子数比率 $I_n / (I_n + M)$ は、好ましくは 0.25 以上、さらに好ましくは 0.34 以上とする。

【0126】

酸化物半導体層 404 a および酸化物半導体層 404 c の厚さは、3 nm 以上 100 nm 以下、好ましくは 3 nm 以上 50 nm 以下とする。また、酸化物半導体層 404 b の厚さは、3 nm 以上 200 nm 以下、好ましくは 3 nm 以上 100 nm 以下、さらに好ましくは 3 nm 以上 50 nm 以下とする。また、酸化物半導体層 404 b は、酸化物半導体層 404 a および酸化物半導体層 404 c より厚い方が好ましい。

10

【0127】

酸化物半導体層 404 a、酸化物半導体層 404 b、酸化物半導体層 404 c には、例えば、インジウム、亜鉛およびガリウムを含んだ酸化物半導体を用いることができる。特に、酸化物半導体層 404 b にインジウムを含ませると、キャリア移動度が高くなるため好ましい。

【0128】

なお、酸化物半導体層を用いたトランジスタに安定した電気特性を付与するためには、酸化物半導体層中の不純物濃度を低減し、酸化物半導体層を真性または実質的に真性にすることが有効である。ここで、実質的に真性とは、酸化物半導体層のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

20

【0129】

また、酸化物半導体層において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体層中で不純物準位の形成に寄与する。当該不純物準位は捕獲となり、トランジスタの電気特性を劣化させることがある。したがって、酸化物半導体層 404 a、酸化物半導体層 404 b、酸化物半導体層 404 c の層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

30

【0130】

酸化物半導体層を真性または実質的に真性とするためには、SIMS (Secondary Ion Mass Spectrometry) 分析において、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする部分を有していることが好ましい。また、水素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする部分を有していることが好ましい。また、窒素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする部分を有していることが好ましい。

40

【0131】

また、酸化物半導体層が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体層の結晶性を低下させることがある。酸化物半導体層の結晶性を低下させないためには、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域

50

において、シリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していればよい。また、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、炭素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していればよい。

【0132】

また、上述のように高純度化された酸化物半導体層をチャンネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を 0.1 V、5 V、または、10 V 程度とした場合に、トランジスタのチャンネル幅で規格化したオフ電流を $y \text{ A}/\mu\text{m}$ 乃至 $z \text{ A}/\mu\text{m}$ にまで低減することが可能となる。

10

【0133】

次に、多層半導体層 404 のバンド構造を説明する。バンド構造の解析は、酸化物半導体層 404 a および酸化物半導体層 404 c に相当する層としてエネルギーギャップが 3.5 eV である In-Ga-Zn 酸化物、酸化物半導体層 404 b に相当する層としてエネルギーギャップが 3.15 eV である In-Ga-Zn 酸化物を用い、多層半導体層 404 に相当する積層を作製して行っている。

【0134】

酸化物半導体層 404 a、酸化物半導体層 404 b、酸化物半導体層 404 c の厚さはそれぞれ 10 nm とし、エネルギーギャップは、分光エリプソメータ (HORIBA JOBIN YVON 社 UT-300) を用いて測定した。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析 (UPS: Ultraviolet Photoelectron Spectroscopy) 装置 (PHI 社 VersaProbe) を用いて測定した。

20

【0135】

図 10 (A) は、真空準位と価電子帯上端のエネルギー差と、各層のエネルギーギャップとの差分として算出される真空準位と伝導帯下端のエネルギー差 (電子親和力) から模式的に示されるバンド構造の一部である。図 10 (A) は、酸化物半導体層 404 a および酸化物半導体層 404 c と接して、酸化シリコン層を設けた場合のバンド図である。ここで、 E_{vac} は真空準位のエネルギー、 E_{cI1} は、ゲート絶縁層 408 (例えば、酸化ハフニウム) の伝導帯下端のエネルギー、 E_{cS1} は酸化物半導体層 404 a の伝導帯下端のエネルギー、 E_{cS2} は酸化物半導体層 404 b の伝導帯下端のエネルギー、 E_{cS3} は酸化物半導体層 404 c の伝導帯下端のエネルギー、 E_{cI2} は下地絶縁層 402 (例えば、酸化シリコン) の伝導帯下端のエネルギー、である。

30

【0136】

図 10 (A) に示すように、酸化物半導体層 404 a、酸化物半導体層 404 b、酸化物半導体層 404 c において、伝導帯下端のエネルギーが連続的に変化する。これは、酸化物半導体層 404 a、酸化物半導体層 404 b、酸化物半導体層 404 c を構成する元素が共通することにより、酸素が相互に拡散しやすい点からも理解される。したがって、酸化物半導体層 404 a、酸化物半導体層 404 b、酸化物半導体層 404 c は組成が異なる層の積層体ではあるが、物性的に連続であるということもできる。

40

【0137】

主成分を共通として積層された多層半導体層 404 は、各層を単に積層するのではなく連続接合 (ここでは特に伝導帯下端のエネルギーが各層の間で連続的に変化する U 字型の井戸構造 (U Shape Well)) が形成されるように作製する。すなわち、各層の界面にキャリア捕獲中心や再結合中心のような欠陥準位を形成するような不純物が存在しないように積層構造を形成する。仮に、積層された多層半導体層の層間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアが捕獲あるいは再結合により消滅してしまう。

【0138】

50

なお、図10(A)では、EcS1とEcS3が同様である場合について示したが、それぞれが異なってもよい。例えば、EcS3よりもEcS1が高いエネルギーを有する場合、バンド構造の一部は、図10(B)のように示される。

【0139】

例えば、EcS1 = EcS3である場合は、酸化物半導体層404aおよび酸化物半導体層404cにIn : Ga : Zn = 1 : 3 : 2、1 : 3 : 3、1 : 3 : 4、1 : 6 : 4または1 : 9 : 6(原子数比)、酸化物半導体層404bにIn : Ga : Zn = 1 : 1 : 1または3 : 1 : 2(原子数比)のIn - Ga - Zn酸化物などを用いることができる。また、EcS1 > EcS3である場合は、酸化物半導体層404aにIn : Ga : Zn = 1 : 6 : 4または1 : 9 : 6(原子数比)、酸化物半導体層404bにIn : Ga : Zn = 1 : 1 : 1または3 : 1 : 2(原子数比)、酸化物半導体層404cにIn : Ga : Zn = 1 : 3 : 2、1 : 3 : 3、1 : 3 : 4(原子数比)のIn - Ga - Zn酸化物などを用いることができる。

10

【0140】

図10(A)、図10(B)より、多層半導体層404における酸化物半導体層404bがウェル(井戸)となり、多層半導体層404を用いたトランジスタにおいて、チャンネルが酸化物半導体層404bに形成されることがわかる。なお、多層半導体層404は伝導帯下端のエネルギーが連続的に変化しているため、U字型井戸とも呼ぶことができる。また、このような構成で形成されたチャンネルを埋め込みチャンネルということもできる。

20

【0141】

なお、酸化物半導体層404aおよび酸化物半導体層404cと、電子親和力の大きく異なる絶縁層との界面近傍には、不純物や欠陥に起因した捕獲準位が形成され得る。酸化物半導体層404aおよび酸化物半導体層404cがあることにより、酸化物半導体層404bと当該捕獲準位とを遠ざけることができる。ただし、EcS1またはEcS3と、EcS2とのエネルギー差が小さい場合、酸化物半導体層404bの電子が該エネルギー差を越えて捕獲準位に達することがある。電子が捕獲準位に捕獲されることで、絶縁層界面にマイナスの固定電荷が生じ、トランジスタのしきい値はプラス方向にシフトしてしまう。

【0142】

したがって、トランジスタのしきい値の変動を低減するには、EcS1およびEcS3と、EcS2との間にエネルギー差を設けることが必要となる。それぞれの当該エネルギー差は、0.1 eV以上が好ましく、0.15 eV以上がより好ましい。

30

【0143】

なお、酸化物半導体層404a、酸化物半導体層404b、酸化物半導体層404cには、結晶部が含まれることが好ましい。特にc軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。

【0144】

なお、多層半導体層404にIn - Ga - Zn酸化物を用いる場合は、Inのゲート絶縁層への拡散を防ぐために、酸化物半導体層404cは酸化物半導体層404bよりもInが少ない組成とすることが好ましい。

40

【0145】

ソース電極406aおよびドレイン電極406bには、酸素と結合し得る導電材料を用いることが好ましい。例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどを用いることができる。上記材料において、特に酸素と結合し易いTiや、後のプロセス温度が比較的高くできることなどから、融点の高いWを用いることがより好ましい。なお、酸素と結合し得る導電材料には、酸素が拡散し得る材料も含まれる。

【0146】

酸素と結合し得る導電材料と多層半導体層を接触させると、多層半導体層中の酸素が、酸素と結合し得る導電材料側に拡散する現象が起こる。当該現象は、温度が高いほど顕著に起こる。トランジスタの作製工程には、いくつかの加熱工程があることから、上記現象に

50

より、多層半導体層のソース電極またはドレイン電極と接触した近傍の領域に酸素欠損が発生し、層中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域はn型化する。したがって、n型化した当該領域はトランジスタのソース領域またはドレイン領域として作用させることができる。

【0147】

なお、チャンネル長が極短いトランジスタを形成する場合、上記酸素欠損の発生によってn型化した領域がトランジスタのチャンネル長方向に延在することで短絡してしまうことがある。この場合、トランジスタの電気特性には、しきい値のシフトにより、実用的なゲート電圧でオンオフの制御ができない状態（導通状態）が現れる。そのため、チャンネル長が極短いトランジスタを形成する場合は、ソース電極およびドレイン電極に酸素と結合し得る導電材料を用いることが必ずしも好ましいとはいえない場合がある。

10

【0148】

このような場合にはソース電極406aおよびドレイン電極406bには、上述した材料よりも酸素と結合しにくい導電材料を用いることが好ましい。当該導電材料としては、例えば、窒化タンタル、窒化チタン、またはルテニウムを含む材料などを用いることができる。なお、当該導電材料が酸化物半導体層404bと接触する場合は、ソース電極406aおよびドレイン電極406bを、当該導電材料と前述した酸素と結合し得る導電材料を積層する構成としてもよい。

【0149】

下地絶縁層402には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムおよび酸化タンタルを一種以上含む絶縁層を用いることができる。また、ゲート絶縁層408には、酸化ハフニウム、酸化アルミニウム、アルミニウムシリケートなどを一種以上含む絶縁層を用いることができる。なお、ゲート絶縁層の厚さは、1nm以上100nm以下、好ましくは10nm以上20nm以下である。

20

【0150】

ゲート電極410は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、TaおよびWなどの導電層を用いることができる。また、当該ゲート電極は、上記材料の積層であってもよい。また、ゲート電極410には、窒素を含んだ導電層を用いてもよい。たとえば、ゲート電極410に窒化チタン層上にタングステン層の積層、窒化タングステン層上にタングステン層の積層、窒化タンタル層上にタングステン層の積層などを用いることができる。

30

【0151】

ゲート絶縁層408、およびゲート電極410上には酸化物絶縁層412が形成されていてもよい。当該酸化物絶縁層には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムおよび酸化タンタルを一種以上含む絶縁層を用いることができる。また、当該酸化物絶縁層は上記材料の積層であってもよい。

40

【0152】

ここで、酸化物絶縁層412は過剰酸素を有することが好ましい。過剰酸素を含む酸化物絶縁層とは、加熱処理などによって酸素を放出することができる酸化物絶縁層をいう。好ましくは、昇温脱離ガス分光法分析にて、酸素原子に換算しての酸素の放出量が 1.0×10^{19} atoms/cm³以上である層とする。なお、上記昇温脱離ガス分光法分析時における基板温度としては100以上700以下、または100以上500以下の範囲が好ましい。当該酸化物絶縁層から放出される酸素はゲート絶縁層408を經由して多層半導体層404のチャンネル形成領域に拡散させることができることから、チャンネル形成領域に酸素欠損が形成された場合においても酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。

50

【0153】

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性が悪化することが知られており、チャンネル幅が縮小するとオン電流が低下する。

【0154】

しかしながら、本明細書で開示する一態様のトランジスタでは、前述したように、酸化物半導体層404bのチャンネルが形成される領域を覆うように酸化物半導体層404cが形成されており、チャンネル形成領域とゲート絶縁層が接しない構成となっている。そのため、チャンネル形成領域とゲート絶縁層との界面で生じるキャリアの散乱を抑えることができ、トランジスタのオン電流を高くすることができる。

10

【0155】

また、酸化物半導体層を真性または実質的に真性とする、酸化物半導体層に含まれるキャリア数の減少により、電界効果移動度の低下が懸念される。しかしながら、本明細書で開示する一態様のトランジスタにおいては、酸化物半導体層に垂直方向からのゲート電界に加えて、側面方向からのゲート電界が印加される。すなわち、酸化物半導体層の全体的にゲート電界が印加させることとなり、電流は酸化物半導体層のバルクを流れる。これによって、高純度真性化による、電気特性の変動の抑制を達成しつつ、トランジスタの電界効果移動度の向上を図ることが可能となる。

【0156】

また、本明細書で開示する一態様のトランジスタは、酸化物半導体層404bを酸化物半導体層404a上に形成することで界面準位を形成しにくくする効果や、酸化物半導体層404bを三層構造の中間層とすることで上下からの不純物混入の影響を排除できる効果などを併せて有する。そのため、酸化物半導体層404bは酸化物半導体層404aと酸化物半導体層404cで取り囲まれた構造（また、ゲート電極410で電気的に取り囲まれた構造）となり、上述したトランジスタのオン電流の向上に加えて、しきい値の安定化や、S値を小さくすることができる。したがって、Icutを下げることができ、消費電力を低減させることができる。また、トランジスタのしきい値が安定化することから、半導体装置の長期信頼性を向上させることができる。

20

【0157】

また、図11に示すトランジスタ470を用いることもできる。図11(A)乃至図11(C)は、トランジスタ470の上面図および断面図である。図11(A)は上面図であり、図11(A)に示す一点鎖線A-Bの断面が図11(B)、一点鎖線C-Dの断面が図11(C)に相当する。なお、図11(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

30

【0158】

トランジスタ470は、ソース電極406aおよびドレイン電極406bを形成するとき、実質的に下地絶縁層402がエッチングされていない形状となっている。

【0159】

下地絶縁層402を実質的にエッチングしないようにするには、下地絶縁層402のエッチングレートを、ソース電極406aおよびドレイン電極406bとなる導電層のエッチングレートより十分小さくすればよい。

40

【0160】

また、本実施の形態では、酸化物半導体層404bを酸化物半導体層404aおよび酸化物半導体層404cで挟んでいる構成であったがこれに限られず、酸化物半導体層404aおよび酸化物半導体層404cを有さず酸化物半導体層404bのみがゲート電極に電気的に取り囲まれている構成としてもよい。

【0161】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0162】

50

(実施の形態3)

本実施の形態では、実施の形態2で説明した図9に示すトランジスタ450の作製方法について、図12および図13を用いて説明する。

【0163】

まず、基板400上に下地絶縁層402を形成する(図12(A)参照)。

【0164】

基板400には、ガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI(Silicon On Insulator)基板などを用いることも可能であり、これらの基板上に半導体素子が設けられたものを用いてもよい。

10

【0165】

なお、下地絶縁層402にイオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いて酸素を添加してもよい。酸素を添加することによって、下地絶縁層402から多層半導体層404への酸素の供給をさらに容易にすることができる。

【0166】

次に、下地絶縁層402上に酸化物半導体層404a、酸化物半導体層404bをスパッタリング法、化学気相堆積(CVD)法(有機金属化学堆積(MOCVD)法、原子層成膜(ALD)法あるいはプラズマ化学気相堆積(PECVD)法を含む)、真空蒸着法またはパルスレーザー堆積(PLD)法を用いて形成する(図12(B)参照)。このとき、図示するように下地絶縁層402を若干過度にエッチングしてもよい。下地絶縁層402を過度にエッチングすることで、後に形成するゲート電極410で酸化物半導体層404cを覆いやすくすることができる。

20

【0167】

なお、酸化物半導体層404a、酸化物半導体層404bを島状に形成する際に、まず、酸化物半導体層404b上にハードマスクとなる層(たとえばタングステン層)およびレジストマスクを設け、ハードマスクとなる層をエッチングしてハードマスクを形成し、その後、レジストマスクを除去し、ハードマスクをマスクとして酸化物半導体層404a、酸化物半導体層404bをエッチングする。その後、ハードマスクを除去する。この時、エッチングするにつれて徐々にハードマスクが縮小していくため、自然にハードマスクの端部が丸みを帯び、曲面を有する。これに伴い、酸化物半導体層404bの形状も端部が丸みを帯び、曲面を有する。このような構成になることで、酸化物半導体層404b上に形成される、酸化物半導体層404c、ゲート絶縁層408、ゲート電極410、酸化物絶縁層412の被覆性が向上し、段切れ等の形状不良の発生を防ぐことができる。また、ソース電極406aおよびドレイン電極406bの端部に生じる恐れのある電界集中を緩和することができ、トランジスタの劣化を抑制することができる。

30

【0168】

また、酸化物半導体層404a、酸化物半導体層404bの積層、および後の工程で形成する酸化物半導体層404cを含めた積層において連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の形成装置(例えばスパッタリング装置)を用いて各層を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべく、クライオポンプのような吸着式の真空排気ポンプを用いて高真空排気(5×10^{-7} Pa乃至 1×10^{-4} Pa程度まで)できること、かつ、形成される基板を100以上、好ましくは500以上に加熱できることが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に炭素成分や水分等を含む気体が逆流しないようにしておくことが好ましい。

40

【0169】

高純度真性酸化物半導体を得るためには、チャンバー内を高真空排気するのみならずスパ

50

ツタリングガスの高純度化も必要である。スパッタリングガスとして用いる酸素ガスやアルゴンガスは、露点が - 40 以下、好ましくは - 80 以下、より好ましくは - 100 以下にまで高純度化したガスを用いることで酸化物半導体層に水分等が取り込まれることを可能な限り防ぐことができる。

【0170】

酸化物半導体層 404 a、酸化物半導体層 404 b、および後の工程で形成される酸化物半導体層 404 c には、実施の形態 2 で説明した材料を用いることができる。例えば、酸化物半導体層 404 a に $In : Ga : Zn = 1 : 3 : 4$ または $1 : 3 : 2$ [原子数比] の $In - Ga - Zn$ 酸化物、酸化物半導体層 404 b に $In : Ga : Zn = 1 : 1 : 1$ [原子数比] の $In - Ga - Zn$ 酸化物、酸化物半導体層 404 c に $In : Ga : Zn = 1 : 3 : 4$ または $1 : 3 : 2$ [原子数比] の $In - Ga - Zn$ 酸化物を用いることができる。

10

【0171】

また、酸化物半導体層 404 a、酸化物半導体層 404 b、酸化物半導体層 404 c として用いることのできる酸化物半導体は、少なくともインジウム (In) もしくは亜鉛 (Zn) を含むことが好ましい。または、 In と Zn の双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【0172】

スタビライザーとしては、ガリウム (Ga)、スズ (Sn)、ハフニウム (Hf)、アルミニウム (Al)、またはジルコニウム (Zr) 等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) 等がある。

20

【0173】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、 $In - Zn$ 酸化物、 $Sn - Zn$ 酸化物、 $Al - Zn$ 酸化物、 $Zn - Mg$ 酸化物、 $Sn - Mg$ 酸化物、 $In - Mg$ 酸化物、 $In - Ga$ 酸化物、 $In - Ga - Zn$ 酸化物、 $In - Al - Zn$ 酸化物、 $In - Sn - Zn$ 酸化物、 $Sn - Ga - Zn$ 酸化物、 $Al - Ga - Zn$ 酸化物、 $Sn - Al - Zn$ 酸化物、 $In - Hf - Zn$ 酸化物、 $In - La - Zn$ 酸化物、 $In - Ce - Zn$ 酸化物、 $In - Pr - Zn$ 酸化物、 $In - Nd - Zn$ 酸化物、 $In - Sm - Zn$ 酸化物、 $In - Eu - Zn$ 酸化物、 $In - Gd - Zn$ 酸化物、 $In - Tb - Zn$ 酸化物、 $In - Dy - Zn$ 酸化物、 $In - Ho - Zn$ 酸化物、 $In - Er - Zn$ 酸化物、 $In - Tm - Zn$ 酸化物、 $In - Yb - Zn$ 酸化物、 $In - Lu - Zn$ 酸化物、 $In - Sn - Ga - Zn$ 酸化物、 $In - Hf - Ga - Zn$ 酸化物、 $In - Al - Ga - Zn$ 酸化物、 $In - Sn - Al - Zn$ 酸化物、 $In - Sn - Hf - Zn$ 酸化物、 $In - Hf - Al - Zn$ 酸化物を用いることができる。

30

【0174】

なお、ここで、例えば、 $In - Ga - Zn$ 酸化物とは、 In と Ga と Zn を主成分として有する酸化物という意味である。また、 In と Ga と Zn 以外の金属元素が入っていてもよい。また、本明細書においては、 $In - Ga - Zn$ 酸化物で構成した層を $IGZO$ 層とも呼ぶ。

40

【0175】

また、 $InM_3(O_3)(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、 Ga 、 Fe 、 Mn および Co から選ばれた一つの金属元素または複数の金属元素を示す。また、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0176】

ただし、実施の形態 2 に詳細を記したように、酸化物半導体層 404 a および酸化物半導

50

体層 404c は、酸化物半導体層 404b よりも電子親和力が小さくなるように材料を選択する。

【0177】

なお、酸化物半導体層の形成には、スパッタリング法を用いることが好ましい。スパッタリング法としては、RFスパッタリング法、DCスパッタリング法、ACスパッタリング法等を用いることができる。特に、形成時に発生するゴミを低減でき、かつ厚さ分布も均一とすることからDCスパッタリング法を用いることが好ましい。

【0178】

酸化物半導体層 404a、酸化物半導体層 404b、酸化物半導体層 404c として In-Ga-Zn 酸化物を用いる場合、In、Ga、Zn の原子数比としては、例えば、In : Ga : Zn = 1 : 1 : 1、In : Ga : Zn = 2 : 2 : 1、In : Ga : Zn = 3 : 1 : 2、In : Ga : Zn = 1 : 3 : 2、In : Ga : Zn = 1 : 3 : 4、In : Ga : Zn = 1 : 4 : 3、In : Ga : Zn = 1 : 5 : 4、In : Ga : Zn = 1 : 6 : 6、In : Ga : Zn = 2 : 1 : 3、In : Ga : Zn = 1 : 6 : 4、In : Ga : Zn = 1 : 9 : 6、In : Ga : Zn = 1 : 1 : 4、In : Ga : Zn = 1 : 1 : 2 のいずれかの材料を用い、酸化物半導体層 404a および酸化物半導体層 404c の電子親和力が酸化物半導体層 404b よりも小さくなるようにすればよい。

10

【0179】

なお、例えば、In、Ga、Zn の原子数比が $In : Ga : Zn = a : b : c$ ($a + b + c = 1$) である酸化物の組成が、原子数比が $In : Ga : Zn = A : B : C$ ($A + B + C = 1$) の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 < r^2$ を満たすことをいう。 r としては、例えば、0.05 とすればよい。他の酸化物でも同様である。

20

【0180】

また、酸化物半導体層 404b は、酸化物半導体層 404a および酸化物半導体層 404c よりもインジウムの含有量を多くするとよい。酸化物半導体では主として重金属の s 軌道がキャリア伝導に寄与しており、In の含有率を多くすることにより、より多くの s 軌道が重なるため、In が Ga よりも多い組成となる酸化物は In が Ga と同等または少ない組成となる酸化物と比較して移動度が高くなる。そのため、酸化物半導体層 404b にインジウムの含有量が多い酸化物を用いることで、高い移動度のトランジスタを実現することができる。

30

【0181】

以下では、酸化物半導体層の構造について説明する。

【0182】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。

【0183】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

40

【0184】

酸化物半導体層は、非単結晶酸化物半導体層と単結晶酸化物半導体層とに大別される。非単結晶酸化物半導体層とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 層、多結晶酸化物半導体層、微結晶酸化物半導体層、非晶質酸化物半導体層などをいう。

【0185】

まずは、CAAC-OS 層について説明する。

【0186】

CAAC-OS 層は、複数の結晶部を有する酸化物半導体層の一つであり、ほとんどの結

50

晶部は、一辺が100nm未満の立方体内に収まる大きさである。したがって、CAAC-OS層に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。

【0187】

CAAC-OS層を透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって観察すると、明確な結晶部同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS層は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0188】

CAAC-OS層を、試料面と概略平行な方向からTEMによって観察(断面TEM観察)すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS層を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS層の被形成面または上面と平行に配列する。

10

【0189】

一方、CAAC-OS層を、試料面と概略垂直な方向からTEMによって観察(平面TEM観察)すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0190】

断面TEM観察および平面TEM観察より、CAAC-OS層の結晶部は配向性を有していることがわかる。

20

【0191】

CAAC-OS層に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS層のout-of-plane法による解析では、回折角(2 θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に由来することから、CAAC-OS層の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0192】

一方、CAAC-OS層に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2 θ が56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に由来する。InGaZnO₄の単結晶酸化物半導体層であれば、2 θ を56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に由来するピークが6本観察される。これに対し、CAAC-OS層の場合は、2 θ を56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

30

【0193】

以上のことから、CAAC-OS層では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。したがって、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

40

【0194】

なお、結晶部は、CAAC-OS層を形成した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS層の被形成面または上面の法線ベクトルに平行な方向に配向する。したがって、例えば、CAAC-OS層の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS層の被形成面または上面の法線ベクトルと平行にならないこともある。

【0195】

また、CAAC-OS層中の結晶化度が均一でなくてもよい。例えば、CAAC-OS層の結晶部が、CAAC-OS層の上面近傍からの結晶成長によって形成される場合、上面

50

近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、CAAC-OS層に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0196】

なお、InGaZnO₄の結晶を有するCAAC-OS層のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS層中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS層は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

【0197】

CAAC-OS層は、不純物濃度の低い酸化物半導体層である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体層の主成分以外の元素である。特に、シリコンなどの、酸化物半導体層を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体層から酸素を奪うことで酸化物半導体層の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体層内部に含まれると、酸化物半導体層の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体層に含まれる不純物は、キャリア捕獲中心やキャリア発生源となる場合がある。

【0198】

また、CAAC-OS層は、欠陥準位密度の低い酸化物半導体層である。例えば、酸化物半導体層中の酸素欠損は、キャリア捕獲中心となることや、水素を捕獲することによってキャリア発生源となる場合がある。

【0199】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体層は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体層を用いたトランジスタは、しきい値がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体層は、キャリア捕獲中心が少ない。そのため、当該酸化物半導体層を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

なお、酸化物半導体層のキャリア捕獲中心に捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体層を用いたトランジスタは、電気特性が不安定となる場合がある。

【0200】

また、CAAC-OS層を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0201】

次に、微結晶酸化物半導体層について説明する。

【0202】

微結晶酸化物半導体層は、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体層に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体層を、nc-OS(nanocrystalline Oxide Semiconductor)層と呼ぶ。また、nc-OS層は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。

【0203】

nc-OS層は、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OS層は、異なる

10

20

30

40

50

結晶部間で結晶方位に規則性が見られない。そのため、層全体で配向性が見られない。したがって、nc-O S層は、分析方法によっては、非晶質酸化物半導体層と区別が付かない場合がある。例えば、nc-O S層に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-O S層に対し、結晶部よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-O S層に対し、結晶部の大きさと近い結晶部より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、スポットが観測される。また、nc-O S層に対しナノビーム電子線回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、nc-O S層に対しナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

10

【0204】

nc-O S層は、非晶質酸化物半導体層よりも規則性の高い酸化物半導体層である。そのため、nc-O S層は、非晶質酸化物半導体層よりも欠陥準位密度が低くなる。ただし、nc-O S層は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-O S層は、CAAC-O S層と比べて欠陥準位密度が高くなる。

【0205】

なお、酸化物半導体層は、例えば、非晶質酸化物半導体層、微結晶酸化物半導体層、CAAC-O S層のうち、二種以上を有する積層であってもよい。

20

【0206】

CAAC-O S層は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって形成することができる。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状またはペレット状のスパッタリング粒子は帯電しているためプラズマ中で凝集せず、結晶状態を維持したまま基板に到達し、CAAC-O S層を形成することができる。

【0207】

酸化物半導体層404bの形成後に、第1の加熱処理を行ってもよい。第1の加熱処理は、250以上650以下、好ましくは300以上500以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、第1の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。第1の加熱処理によって、酸化物半導体層404bの結晶性を高め、さらに下地絶縁層402、酸化物半導体層404aから水素や水などの不純物を除去することができる。なお、酸化物半導体層404bを形成するエッチングの前に第1の加熱工程を行ってもよい。

30

【0208】

次に、酸化物半導体層404aおよび酸化物半導体層404b上にソース電極406aおよびドレイン電極406bとなる第1の導電層を形成する。第1の導電層としては、Al、Cr、Cu、Ta、Ti、Mo、W、またはこれらを主成分とする合金材料を用いることができる。例えば、スパッタリング法などにより100nmのチタン層を形成する。またCVD法によりタングステン層を形成してもよい。

40

【0209】

次に、第1の導電層を酸化物半導体層404b上で分断するようにエッチングし、ソース電極406aおよびドレイン電極406bを形成する（図12（C）参照）。

【0210】

次に、酸化物半導体層404b、ソース電極406aおよびドレイン電極406b上に、酸化物半導体層403cを形成する。

50

【0211】

なお、酸化物半導体層403cを形成後に第2の加熱処理を行ってもよい。第2の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第2の加熱処理により、酸化物半導体層403cから水素や水などの不純物を除去することができる。また、酸化物半導体層404aおよび酸化物半導体層404bから、さらに水素や水などの不純物を除去することができる。

【0212】

次に、酸化物半導体層403c上に絶縁層407aと、絶縁層407bを形成する(図13(A)参照)。例えば、絶縁層407aはCVD法で、絶縁層407bスパッタリング法で形成する。しかし、この組み合わせに限られず、それぞれ、スパッタリング法、化学気相堆積(CVD)法(有機金属化学堆積(MOCVD)法、原子層成膜(ALD)法あるいはプラズマ化学気相堆積(PECVD)法を含む)、真空蒸着法またはパルスレーザー堆積(PLD)法などを用いて形成することができる。

10

【0213】

次に、絶縁層407b上にゲート電極410となる第2の導電層409を形成する(図13(B)参照)。第2の導電層409としては、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Ta、W、またはこれらを主成分とする合金材料を用いることができる。第2の導電層409は、スパッタリング法やCVD法などにより形成することができる。また、第2の導電層409としては、窒素を含んだ導電層を用いてもよく、上記材料を含む導電層と窒素を含んだ導電層の積層を用いてもよい。

20

【0214】

次に、ゲート電極410を形成するためのレジストマスクを用いて、第2の導電層409を選択的にエッチングし、ゲート電極410を形成する(図13(C)参照)。なお、図9(C)に示すように、ゲート電極410は、酸化物半導体層404bを電氣的に取り囲むように形成される。

【0215】

続いて、上記レジストマスクまたはゲート電極410をマスクとして絶縁層407aと絶縁層407bを選択的にエッチングし、第1の絶縁層408aと第2の絶縁層408bよりなるゲート絶縁層408を形成する。

【0216】

続いて、上記レジストマスクまたはゲート電極410をマスクとして酸化物半導体層403cをエッチングし、酸化物半導体層404cを形成する。

30

【0217】

つまり、酸化物半導体層404cの上端部はゲート絶縁層408の下端部と一致し、ゲート絶縁層408の上端部はゲート電極410の下端部と一致する。なお、ゲート電極410をマスクとしてゲート絶縁層408および酸化物半導体層404cを形成しているがこれに限られず、第2の導電層409の形成前にゲート絶縁層408および酸化物半導体層404cを形成してもよい。

【0218】

次に、ソース電極406a、ドレイン電極406b、ゲート電極410上に酸化物絶縁層412を形成する(図9(B)、図9(C)参照)。酸化物絶縁層412は、下地絶縁層402と同様の材料、方法を用いて形成することができる。酸化物絶縁層412としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタル、もしくは窒素を含む上記の酸化物を用いるとよい。酸化物絶縁層412は、スパッタリング法、化学気相堆積(CVD)法(有機金属化学堆積(MOCVD)法、原子層成膜(ALD)法あるいはプラズマ化学気相堆積(PECVD)法を含む)、真空蒸着法またはパルスレーザー堆積(PLD)法を用いて形成することができ、多層半導体層404に対し酸素を供給できるよう過剰に酸素を含む層とすることが好ましい。

40

50

【0219】

次に、第3の加熱処理を行ってもよい。第3の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第3の加熱処理により、下地絶縁層402、ゲート絶縁層408、酸化物絶縁層412から過剰酸素が放出されやすくなり、多層半導体層404の酸素欠損を低減することができる。

【0220】

次に、第4の加熱処理を行う。第4の加熱処理は、125 以上450 以下、好ましくは150 以上300 以下の温度で、ゲート電極410の電位をソース電極やドレイン電極の電位より高い状態を、1秒以上、代表的には1分以上維持することで、多層半導体層404からゲート電極410に向かって、必要とする電子が移動し、そのうちのいくらかはゲート絶縁層408の内部にある電荷捕獲準位に捕獲される。このようにして、捕獲される電子の量を制御して、しきい値の増加幅を制御することができる。

10

【0221】

以上の工程で、図9に示すトランジスタ450を作製することができる。

【0222】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0223】

(実施の形態4)

本実施の形態では、プレナー構造のトランジスタについて説明する。

20

【0224】

図14(A)乃至図14(C)は、本明細書で開示する一態様のトランジスタの上面図および断面図である。図14(A)は上面図であり、図14(A)に示す一点鎖線A-Bの断面が図14(B)、一点鎖線C-Dの断面が図14(C)に相当する。なお、図14(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、一点鎖線A-B方向をチャンネル長方向、一点鎖線C-D方向をチャンネル幅方向と呼称する場合がある。

【0225】

図14(A)乃至図14(C)に示すトランジスタ550は、基板400上の下地絶縁層402と、下地絶縁層402上の酸化物半導体層404aおよび酸化物半導体層404bと、酸化物半導体層404aおよび酸化物半導体層404b上のソース電極406aおよびドレイン電極406bと、下地絶縁層402、酸化物半導体層404a、酸化物半導体層404b、ソース電極406aおよびドレイン電極406bと接する酸化物半導体層404cと、酸化物半導体層404c上のゲート絶縁層408と、ゲート絶縁層408上のゲート電極410と、ソース電極406a、ドレイン電極406b、およびゲート電極410上の酸化物絶縁層412と、を有する。また、ゲート絶縁層408は、実施の形態1で述べた電荷捕獲層として機能する。また、酸化物半導体層404a、酸化物半導体層404b、および酸化物半導体層404cを総称して多層半導体層404と呼称する。

30

【0226】

本実施の形態のトランジスタ550は、チャンネル長およびチャンネル幅がいずれも、多層半導体層404の厚さよりも2倍以上、代表的には10倍以上大きいことという点で実施の形態2のトランジスタ450と異なる。

40

【0227】

なお、チャンネル長とは、上面図において、半導体層とゲート電極とが重なる領域における、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電極)との距離をいう。すなわち、図14(A)では、チャンネル長は、酸化物半導体層404bとゲート電極410とが重なる領域における、ソース電極406aとドレイン電極406bとの距離となる。チャンネル幅とは、半導体層とゲート電極とが重なる領域における、ソースまたはドレインの幅をいう。すなわち、図14(A)では、チャンネル幅は、酸化物半導体層404bとゲート電極410とが重なる領域における、ソース電極406aまた

50

はドレイン電極 406b の幅をいう。

【0228】

また、本実施の形態では、酸化物半導体層 404b を酸化物半導体層 404a および酸化物半導体層 404c で挟んでいる構成であったがこれに限られず、酸化物半導体層 404a および酸化物半導体層 404c を有さず酸化物半導体層 404b のみがある構成としてもよい。あるいは、酸化物半導体層 404a、酸化物半導体層 404b、酸化物半導体層 404c のいずれか 1 つあるいは 2 つだけで構成されてもよい。

【0229】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

10

【0230】

(実施の形態 5)

本実施の形態では、本明細書で開示する一態様のトランジスタを利用した回路の一例について、図面を参照して説明する。

【0231】

図 15 (A) に半導体装置の回路図を、図 15 (B) に半導体装置のブロック図をそれぞれ示す。また、回路図には、酸化物半導体が適用されたトランジスタであることを明示するために、「OS」の記載を付している。

【0232】

メモリセル 700 は、フリップフロップ回路 701 (電源遮断で記憶データが揮発する) と、電源遮断で記憶データが揮発しない回路 702 と、スイッチ 703 と、スイッチ 704 と、論理素子 706 と、容量素子 707 と、選択機能を有する回路 720 と、を有する。回路 702 は、容量素子 708 と、トランジスタ 709 と、トランジスタ 710 と、を有する。なお、メモリセル 700 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

20

【0233】

ここで、回路 702 には、先の実施の形態で説明したトランジスタを用いることができる。メモリセル 700 への電源電圧の供給が停止した際、回路 702 のトランジスタ 709 のゲートには接地電位 (GND) が入力される構成とする。例えば、トランジスタ 709 のゲートが抵抗等の負荷を介して接地される構成とする。実施の形態 1 で説明したように、電荷捕獲層に電子を捕獲せしめることでしきい値が増大したトランジスタ 709 は、Icut がきわめて低く、容量素子 708 に蓄積された電荷が長期間保持される。

30

【0234】

スイッチ 703 は、一導電型 (例えば、n チャネル型) のトランジスタ 713 を用いて構成され、スイッチ 704 は、一導電型とは逆の導電型 (例えば、p チャネル型) のトランジスタ 714 を用いて構成した例を示す。ここで、スイッチ 703 の第 1 の端子はトランジスタ 713 のソースとドレインの一方に対応し、スイッチ 703 の第 2 の端子はトランジスタ 713 のソースとドレインの他方に対応し、スイッチ 703 はトランジスタ 713 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通 (つまり、トランジスタ 713 のオン状態またはオフ状態) が選択される。スイッチ 704 の第 1 の端子はトランジスタ 714 のソースとドレインの一方に対応し、スイッチ 704 の第 2 の端子はトランジスタ 714 のソースとドレインの他方に対応し、スイッチ 704 はトランジスタ 714 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通 (つまり、トランジスタ 714 のオン状態またはオフ状態) が選択される。

40

【0235】

トランジスタ 709 のソースとドレインの一方は、容量素子 708 の一对の電極のうち的一方、およびトランジスタ 710 のゲートと電氣的に接続される。ここで、接続部分をノード M2 とする。トランジスタ 710 のソースとドレインの一方は、低電源電位を供給することのできる配線 (例えば GND 線) に電氣的に接続され、他方は、スイッチ 703 の

50

第1の端子(トランジスタ713のソースとドレインの一方)と電氣的に接続される。スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)はスイッチ704の第1の端子(トランジスタ714のソースとドレインの一方)と電氣的に接続される。スイッチ704の第2の端子(トランジスタ714のソースとドレインの他方)は電源電位VDDを供給することのできる配線と電氣的に接続される。スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)と、スイッチ704の第1の端子(トランジスタ714のソースとドレインの一方)と、論理素子706の入力端子と、容量素子707の一对の電極のうち一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子707の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子707の一对の電極のうち他方は、低電源電位を供給することのできる配線(例えばGND線)と電氣的に接続される。容量素子708の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子708の一对の電極のうち他方は、低電源電位を供給することのできる配線(例えばGND線)と電氣的に接続される。

10

【0236】

なお、容量素子707および容量素子708は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

20

【0237】

トランジスタ709のゲートには、制御信号WEが入力される。スイッチ703およびスイッチ704は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

【0238】

トランジスタ709のソースとドレインの他方には、フリップフロップ回路701に保持されたデータに対応する信号が入力される。図15(A)では、フリップフロップ回路701から出力された信号が、トランジスタ709のソースとドレインの他方に入力される例を示した。スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)から出力される信号は、論理素子706によってその論理値が反転された反転信号となり、回路720を介してフリップフロップ回路701に入力される。

30

【0239】

なお、図15(A)では、スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)から出力される信号は、論理素子706および回路720を介してフリップフロップ回路701に入力する例を示したがこれに限定されない。スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)から出力される信号が、論理値を反転させられることなく、フリップフロップ回路701に入力されてもよい。例えば、フリップフロップ回路701内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)から出力される信号を当該ノードに入力することができる。

40

【0240】

図15(A)におけるトランジスタ709は、実施の形態2で説明したトランジスタを用いることができる。

【0241】

また、図15(A)において、メモリセル700に用いられるトランジスタのうち、トランジスタ709以外のトランジスタは、酸化物半導体以外の半導体となる層または基板にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、メモリセル7

50

00に用いられるトランジスタ全てを、チャンネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、メモリセル700は、トランジスタ709以外にも、チャンネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体となる層または基板にチャンネルが形成されるトランジスタとすることもできる。

【0242】

図15(A)における論理素子706としては、例えばインバータやクロックドインバータ等を用いることができる。

【0243】

本明細書で開示する一態様における半導体装置では、メモリセル700に電源電圧が供給されない間は、フリップフロップ回路701に記憶されていたデータを、回路702に設けられた容量素子708によって保持することができる。

【0244】

上記の説明のように、上記の実施の形態で示した酸化物半導体層にチャンネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャンネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャンネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ709として用いることによって、メモリセル700に電源電圧が供給されない間も容量素子708に保持された信号は長期間にわたり保たれる。こうして、メモリセル700は電源電圧の供給が停止した間も記憶内容(データ)を保持することが可能である。

【0245】

また、スイッチ703およびスイッチ704を設けることによって、プリチャージ動作を行うことを特徴とするメモリセルであるため、電源電圧供給再開後に、フリップフロップ回路701が元のデータを保持しなおすまでの時間を短くすることができる。

【0246】

また、回路702において、容量素子708によって保持された信号はトランジスタ710のゲートに入力される。そのため、メモリセル700への電源電圧の供給が再開された後、容量素子708によって保持された信号を、トランジスタ710の状態(オン状態、またはオフ状態)に変換して、回路702から読み出すことができる。それ故、容量素子708に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0247】

このようなメモリセル700を、プロセッサが有するレジスタやキャッシュメモリなどのメモリ装置に用いることで、電源電圧の供給停止によるメモリ装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0248】

メモリセル700は、CPU(Central Processing Unit)、DSP(Digital Signal Processor)、カスタムLSI、PLD(Programmable Logic Device)等のLSI、RF-ID(Radio Frequency Identification)にも応用可能である。

【0249】

例えば、複数のメモリセル700a乃至メモリセル700pを有するプロセッサ760は、図15(B)のような構成となる。プロセッサ760は、メモリセル700a乃至メモリセル700p以外に、少なくともArithmetic Logic Unit(ALU)730、WE信号出力回路740を有する。WE信号出力回路740は、WE信号を出力する。

【0250】

10

20

30

40

50

A L U 7 3 0 は、パッド 7 5 0 a から信号を、パッド 7 5 0 b から高電位を、パッド 7 5 0 c から低電位を供給される。また、W E 信号出力回路 7 4 0 は、パッド 7 5 0 d から高電位を、パッド 7 5 0 e から低電位を供給される。つまり、A L U 7 3 0 と W E 信号出力回路 7 4 0 の電源は分離されている。なお、A L U 7 3 0 とパッド 7 5 0 a 乃至パッド 7 5 0 c の間、W E 信号出力回路 7 4 0 とパッド 7 5 0 d とパッド 7 5 0 e の間に、それぞれ、何らかの回路が設けられていてもよい。

【 0 2 5 1 】

煩雑さを避けるため、図 1 5 (B) では、上記の接続とメモリセル 7 0 0 a 乃至メモリセル 7 0 0 p と W E 信号出力回路 7 4 0 との接続のみが表示される。図示されていないが、メモリセル 7 0 0 a 乃至メモリセル 7 0 0 p にも、パッド 7 5 0 b から高電位を、パッド 7 5 0 c から低電位を供給される。また、A L U 7 3 0 とメモリセル 7 0 0 a 乃至メモリセル 7 0 0 p の間、あるいは、A L U 7 3 0 と W E 信号出力回路 7 4 0 の間に信号をやりとりする配線がもうけられているが、図 1 5 (B) では図示しない。

10

【 0 2 5 2 】

メモリセル 7 0 0 a 乃至メモリセル 7 0 0 p のトランジスタ 7 0 9 のしきい値適正化処理は以下のおこなうとよい。例えば、パッド 7 5 0 a 乃至パッド 7 5 0 c の電位をすべて同じ電位とし、また、パッド 7 5 0 d とパッド 7 5 0 e の電位を同じ電位とする。

【 0 2 5 3 】

ここで、パッド 7 5 0 d とパッド 7 5 0 e の電位は、パッド 7 5 0 a 乃至パッド 7 5 0 c の電位より 1 V 以上高いものとする。この状態では、A L U 7 3 0 (およびメモリセル 7 0 0 a 乃至メモリセル 7 0 0 p) は非動作状態である。ただし、トランジスタ 7 0 9 のゲート電極の電位は、ソース電極とドレイン電極の電位より 1 V 以上高い状態である。

20

【 0 2 5 4 】

この状態で、1 5 0 以上 4 0 0 以下で 1 分以上 2 時間以下の加熱処理をおこなう。この結果、トランジスタ 7 0 9 のしきい値が適正化される。

【 0 2 5 5 】

本実施の形態は、本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【 0 2 5 6 】

(実施の形態 6)

図 1 6 にメモリセル 8 0 0 a とメモリセル 8 0 0 b を示す。例えば、メモリセル 8 0 0 a はトランジスタ 8 0 1、トランジスタ 8 0 2、容量素子 8 0 3、容量素子 8 0 4、インバータ 8 0 5、インバータ 8 0 6、トランジスタ 8 0 7、トランジスタ 8 0 8 を有する。なお、トランジスタ 8 0 1 とトランジスタ 8 0 2 は、上記の実施の形態で示した電荷捕獲層を有するトランジスタでしきい値の適正化を実施できる。メモリセル 8 0 0 b も同様な構成である。

30

【 0 2 5 7 】

ここで、インバータ 8 0 5、インバータ 8 0 6、トランジスタ 8 0 7、トランジスタ 8 0 8 より構成される回路は、公知の S R A M と同じであり、ワード線 W L 1 とビット線 B L 1 a、ビット線 B L 1 b でデータの書き込み、読み出しをおこなえる。

40

【 0 2 5 8 】

公知の S R A M はインバータ 8 0 5、インバータ 8 0 6 への電源の供給が途絶えると、データを喪失してしまうが、メモリセル 8 0 0 a では、電源の途絶の前に、インバータ 8 0 5、インバータ 8 0 6 から出力される電位を容量素子 8 0 3、容量素子 8 0 4 に蓄積した後、トランジスタ 8 0 1、トランジスタ 8 0 2 をオフとすることで、データを保持できる。電源が供給されると、トランジスタ 8 0 1、トランジスタ 8 0 2 をオンとすることで、インバータ 8 0 5、インバータ 8 0 6 へデータを移行することができる。

【 0 2 5 9 】

トランジスタ 8 0 1、トランジスタ 8 0 2 のオンオフは、W E 信号によっておこなう。W E 信号は、トランジスタ 8 0 1、トランジスタ 8 0 2 のゲートに入力される。

50

【0260】

例えば、上記の実施の形態で示したように、トランジスタ801、トランジスタ802のIcutが1zA以下であると、容量素子803、容量素子804の容量が1fFというような微小なものであっても、1日以上データを保持できる。

【0261】

図17(A)は、このようなメモリセル800a乃至800lをマトリクス状に配置したメモリセルアレイ814を有するメモリユニット810を示す。メモリユニット810は、メモリセルアレイ814以外にも、ワード線ドライバ811、ビット線ドライバ812、WE信号出力回路813を有する。

【0262】

ワード線ドライバ811は、ワード線WL1乃至WL4と接続し、ビット線ドライバ812は、ビット線BL1a乃至BL3bに接続、WE信号出力回路813はWE信号線WE1とWE2に接続する。なお、WE信号出力回路813は、WE1とWE2のいずれか一方にのみ、トランジスタ801、トランジスタ802をオンとする信号が供給できる構成である。一方、トランジスタ801、トランジスタ802をオフとする信号は、WE1とWE2の双方に供給できる。

【0263】

このような回路では、メモリセル800a乃至メモリセル800fのインバータ805、インバータ806への電源の供給を停止し、データをそれぞれのメモリセルの容量素子803、容量素子804に退避させ、メモリセル800g乃至メモリセル800lは通常のSRAMと同様に動作することができる。つまり、仕事量にあわせて、一部のメモリセルを待機状態とさせておくことができ、消費電力を低減できる。

【0264】

このようなメモリユニット810を有する半導体チップ818を図17(B)に示す。半導体チップ818はさらに、論理ユニット817と、パッド815a乃至パッド815eを有する。

【0265】

通常の動作時には、メモリユニット810内のWE信号出力回路813へは、パッド815aから高電位供給線816aを介して高電位が、パッド815bから低電位供給線816bを介して低電位が供給される。一方、WE信号出力回路813以外のメモリユニット810には、パッド815dから高電位供給線816cを介して高電位が、パッド815cから低電位供給線816dを介して低電位が供給される。また、論理ユニット817には、パッド815dから高電位供給線816eを介して高電位が、パッド815cから低電位供給線816fを介して低電位が供給される。なお、論理ユニット817には、パッド815eから、信号供給線816gを介して、信号が供給される。

【0266】

なお、高電位供給線816aとパッド815aの間、低電位供給線816bとパッド815bの間、高電位供給線816c/高電位供給線816eとパッド815dの間、低電位供給線816d/低電位供給線816fとパッド815cの間、信号供給線816gとパッド815eの間には、それぞれ、何らかの回路が設けられていてもよい。

【0267】

半導体チップ818を製造した後、しきい値適正化処理をおこなうには以下のようにすればよい。なお、図17(B)では、リードフレーム819(分断後にはリード819a乃至リード819dとなる)がボンディングワイヤ820と接続されているが、しきい値適正化処理は、ワイヤボンディングの前におこなう。

【0268】

例えば、パッド815aとパッド815bの電位を同じ電位とし、また、パッド815c乃至パッド815eの電位をすべて同じ電位とする。

【0269】

ここで、パッド815aとパッド815bの電位は、パッド815c乃至パッド815e

10

20

30

40

50

の電位より1V以上高いものとする。この状態では、メモリユニット810と論理ユニット817は非動作状態である。ただし、トランジスタ801とトランジスタ802のゲート電極の電位は、ソース電極とドレイン電極の電位より1V以上高い状態である。

【0270】

この状態で、150以上400以下で1分以上2時間以下の加熱処理をおこなう。この結果、トランジスタ801とトランジスタ802のしきい値が適正化される。

【0271】

このようにしきい値適正化処理をおこなった半導体チップ818のパッド815a乃至パッド815eとリードフレーム819とをボンディングワイヤ820で接続する。リードフレーム819は、その後、分断されて、リード819a乃至リード819dとなるが、このとき、パッド815bとパッド815cがともにリード819bに接続するようにボンディングするとよい。

10

【0272】

本実施の形態は、本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0273】

(実施の形態7)

本明細書で開示する一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本明細書で開示する一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図18に示す。

20

【0274】

図18(A)は携帯型ゲーム機であり、筐体501、筐体502、表示部503、表示部504、マイクロフォン505、スピーカー506、操作キー507、スタイラス508等を有する。なお、図18(A)に示した携帯型ゲーム機は、2つの表示部503と表示部504とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

30

【0275】

図18(B)は携帯データ端末であり、第1筐体511、第2筐体512、第1表示部513、第2表示部514、接続部515、操作キー516等を有する。第1表示部513は第1筐体511に設けられており、第2表示部514は第2筐体512に設けられている。そして、第1筐体511と第2筐体512とは、接続部515により接続されており、第1筐体511と第2筐体512の間の角度は、接続部515により変更が可能である。第1表示部513における映像を、接続部515における第1筐体511と第2筐体512との間の角度に従って、切り替える構成としても良い。また、第1表示部513および第2表示部514の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることで、付加することができる。

40

【0276】

図18(C)はノート型パーソナルコンピュータであり、筐体521、表示部522、キーボード523、ポインティングデバイス524等を有する。

【0277】

50

図18(D)は電気冷凍冷蔵庫であり、筐体531、冷蔵室用扉532、冷凍室用扉533等を有する。

【0278】

図18(E)はビデオカメラであり、第1筐体541、第2筐体542、表示部543、操作キー544、レンズ545、接続部546等を有する。操作キー544およびレンズ545は第1筐体541に設けられており、表示部543は第2筐体542に設けられている。そして、第1筐体541と第2筐体542とは、接続部546により接続されており、第1筐体541と第2筐体542の間の角度は、接続部546により変更が可能である。表示部543における映像を、接続部546における第1筐体541と第2筐体542との間の角度に従って切り替える構成としても良い。

10

【0279】

図18(F)は普通自動車であり、車体551、車輪552、ダッシュボード553、ライト554等を有する。

【0280】

本実施の形態は、本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【実施例】

【0281】

本実施例では、実施例試料として、図14に示すトランジスタ550と同様の構成のトランジスタについて作製し、電気特性の評価を行った。

20

【0282】

はじめに、実施例試料の作製方法について示す。

【0283】

まず、表面に厚さ100nmの熱酸化膜を設けたシリコン基板上に下地絶縁層となる厚さ300nmの酸化窒化シリコン(SiON)層をプラズマCVD(PECVD)法により形成した。酸化窒化シリコン層は、シランおよび一酸化二窒素($\text{SiH}_4 : \text{N}_2\text{O} = 1 \text{ sccm} : 800 \text{ sccm}$)混合雰囲気下、圧力200Pa、電源電力150kWを印加し、基板温度350として条件によって形成した。

【0284】

酸化窒化シリコン層表面を研磨処理後、厚さ20nmの第1の酸化物半導体層と厚さ15nmの第2の酸化物半導体層を積層して形成した。形成条件は、第1の酸化物半導体層は、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ (原子数比)の酸化物ターゲットを用いたスパッタリング法によりアルゴンおよび酸素(アルゴン:酸素=30sccm:15sccm)混合雰囲気下において、圧力0.4Pa、電源電力0.5kWを印加し、ターゲットと基板の間の距離を60mm、基板温度200として形成し、第2の酸化物半導体層は $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ (原子数比)の酸化物ターゲットを用いたスパッタリング法によりアルゴンおよび酸素(アルゴン:酸素=30sccm:15sccm)混合雰囲気下において、圧力0.4Pa、電源電力0.5kWを印加し、ターゲットと基板の間の距離を60mm、基板温度300として形成した。なお、第1の酸化物半導体層および第2の酸化物半導体層は、大気曝露せずに連続的に形成した。

30

40

【0285】

続いて、加熱処理を行った。加熱処理は窒素雰囲気下、450で1時間行った後、酸素雰囲気下、450で1時間行った。

【0286】

続いて、第1の酸化物半導体層および第2の酸化物半導体層を、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法により、三塩化ホウ素および塩素($\text{BCl}_3 : \text{Cl}_2 = 60 \text{ sccm} : 20 \text{ sccm}$)雰囲気下、電源電力450W、バイアス電力100W、圧力1.9Paにおいてエッチングして島状の第1の酸化物半導体層および第2の酸化物半導体層に加工した。

【0287】

50

続いて、第1の酸化物半導体層および第2の酸化物半導体層上に、ソース電極およびドレイン電極となるタングステン層を厚さ100nm形成した。形成条件は、タングステンターゲットを用いたスパッタリング法によりアルゴン(Ar=80sccm)雰囲気下において、圧力0.8Pa、電源電力(電源出力)1.0kWを印加し、シリコン基板とターゲットとの間の距離を60mm、基板温度230 の条件によって形成した。

【0288】

次に、タングステン層上にレジストマスクを形成して、エッチングを行った。エッチングは、ICPEッチング法により、四弗化炭素、塩素および酸素(CF₄:Cl₂:O₂=45sccm:45sccm:55sccm)混合雰囲気下、電源電力3000W、バイアス電力110W、圧力0.67Paにて第1のエッチングを行い、その後、酸素(O₂=100sccm)雰囲気下、電源電力2000W、バイアス電力0W、圧力3.0Paにて第2のエッチングを行い、さらにその後、四弗化炭素、塩素および酸素(CF₄:Cl₂:O₂=45sccm:45sccm:55sccm)混合雰囲気下、電源電力3000W、バイアス電力110W、圧力0.67Paにて第3のエッチングを行い、ソース電極およびドレイン電極を形成した。

10

【0289】

次に、第2の酸化物半導体層、ソース電極およびドレイン電極上に厚さ5nmの第3の酸化物半導体層を形成した。形成条件は、In:Ga:Zn=1:3:2(原子数比)の酸化物ターゲットを用いたスパッタリング法によりアルゴンおよび酸素(アルゴン:酸素=30sccm:15sccm)混合雰囲気下において、圧力0.4Pa、電源電力0.5kWを印加し、ターゲットと基板の間の距離を60mm、基板温度200 とした。

20

【0290】

続いて、プラズマCVD法により第1のゲート絶縁層となる厚さ15nmの酸化窒化シリコン層を、シランおよび一酸化二窒素(SiH₄:N₂O=1sccm:800sccm)混合雰囲気下、圧力200Pa、電源電力150kWを印加し、基板温度350 として形成し、その上に、スパッタリング法により第2のゲート絶縁層となる厚さ20nmの酸化ハフニウム層をアルゴンおよび酸素(Ar:O₂=25sccm:25sccm)混合雰囲気下、圧力0.6Pa、電源電力2.5kWを印加し、ターゲットと基板の間の距離を60mm、基板温度200 として積層して形成した。

【0291】

続いて、厚さ30nmの窒化タンタル層および厚さ135nmのタングステン層を、スパッタリング法により形成した。窒化タンタル層の形成条件は、スパッタリング法によりアルゴンおよび窒素(アルゴン:窒素=50sccm:10sccm)混合雰囲気下において、圧力0.6Pa、電源電力1kWを印加し、ターゲットと基板の間の距離を60mm、基板温度25 とした。タングステン層の形成条件は、スパッタリング法によりアルゴン(Ar=100sccm)雰囲気下において、圧力2.0Pa、電源電力4kWを印加し、ターゲットと基板の間の距離を60mm、基板温度230 とした。

30

【0292】

次に、ICPEッチング法により、厚さ30nmの窒化タンタル層および厚さ135nmのタングステン層の積層をエッチングした。エッチング条件は、塩素、四弗化炭素および酸素(Cl₂:CF₄:O₂=45sccm:55sccm:55sccm)混合雰囲気下、電源電力3000W、バイアス電力110W、圧力0.67Paにおいて第1のエッチングを行い、第1のエッチングの後に塩素(Cl₂=100sccm)雰囲気下、電源電力2000W、バイアス電力50W、圧力0.67Paにおいて第2のエッチングを行い、ゲート電極を形成した。

40

【0293】

次に、ゲート電極をマスクとして、ゲート絶縁層、第3の酸化物半導体層の積層をエッチングした。エッチング条件は、三塩化ホウ素(BCl₃=80sccm)雰囲気下、電源電力450W、バイアス電力100W、圧力1.0Paにおいてエッチングを行った。

【0294】

50

次に、ゲート電極上に厚さ20nmの酸化アルミニウム層をスパッタリング法により形成し、その上に、厚さ150nmの酸化窒化シリコン層をCVD法により形成した。

【0295】

以上の工程を経て、トランジスタを作製した。

【0296】

次に作製したトランジスタにおいて、ストレス試験の条件としてソース電圧(V_s : [V])およびドレイン電圧(V_d : [V])を0Vとし、150で1時間、ゲート電圧を3.3Vとした。実施例トランジスタの測定結果を図19に示す。図19において、ドレイン電圧(V_d : [V])が0.1Vおよび3.0Vのときの測定結果であり、横軸はゲート電圧(V_g : [V])、縦軸はドレイン電流(I_d : [A])を示す。なお、「ドレイン電圧(V_d : [V])」とは、ソースを基準としたドレインとソースの電位差であり、「ゲート電圧(V_g : [V])」とは、ソースを基準としたゲートとソースの電位差である。なお、図中の実線は、ドレイン電圧 V_d が3.0Vのときの測定結果を表し、図中の点線は、ドレイン電圧 V_d が0.1Vのときの測定結果を表す。また、図19(A)および図19(B)ともに上記の同じ条件で行った。

10

【0297】

図中には、ストレス試験前後の電気特性を示す。なお、図中の矢印は、矢印の根本の方がストレス試験前の電気特性、矢印の先がストレス試験後の電気特性を表している。図19(A)、図19(B)に示すように本実施例で作製したトランジスタのドレイン電圧(V_d : [V])が3.0Vのときのしきい値の変化量 V_{th} は、図19(A)では1.76V、図19(B)では1.78Vであり、シフト値(ドレイン電流が立ち上がる時のゲート電圧の値)の変化量 $shift$ は、図19(A)では2.01V、図19(B)では2.11Vであった。ストレス試験後にしきい値がプラス側にシフトしたことが確認できた。

20

【0298】

また、ストレス試験後、保持試験を行った。保持試験の条件は、図19(A)に示すストレス試験後のトランジスタに150で1時間、ゲート電圧を0V印加し、また、図19(B)に示すストレス試験後のトランジスタに150で1時間、ゲート電圧を-3.3V印加し、ドレイン電流(I_d : [A])の測定を行った。実施例トランジスタの測定結果を図20に示す。図20(A)はゲート電圧が0V、図20(B)はゲート電圧が-3.3Vのときの測定結果を示す。

30

【0299】

図中には、保持試験前後の電気特性を示す。なお、図中の矢印は、矢印の根本の方が保持試験前の電気特性、矢印の先が保持試験後の電気特性を表している。図20(A)に示すように本実施例で作製したトランジスタのドレイン電圧(V_d : [V])が3.0Vのときのしきい値の変化量 V_{th} は、0.07Vであり、シフト値の変化量 $shift$ は、0.12Vであった。また、図20(B)に示すように本実施例で作製したトランジスタのドレイン電圧(V_d : [V])が3.0Vのときのしきい値の変化量 V_{th} は、0.14Vであり、シフト値の変化量 $shift$ は、0.27Vであった。保持試験後にしきい値やシフト値がマイナス側に少ししかシフトしていないことが確認できた。

40

【参考例】

【0300】

本参考例では、トランジスタを作製してオフ電流を求めることで、 I_{cut} 密度が低いということを説明する。

【0301】

参考例トランジスタは、実施例で用いたトランジスタの構成のゲート絶縁層およびゲート電極以外は同じである。ゲート絶縁層およびゲート電極のみの作製方法を説明する。

【0302】

第3の酸化物半導体層形成後、CVD法によりゲート絶縁層となる10nmの酸化窒化シリコン層を、シランおよび一酸化二窒素(SiH_4 : $N_2O = 1\text{ sccm} : 800\text{ scc}$

50

m) 混合雰囲気下、圧力 200 Pa、電源電力 150 kW を印加し、ターゲットと基板の間の距離を 28 mm、基板温度 350 として形成した。

【0303】

続いて、厚さ 10 nm の窒化チタン層および厚さ 10 nm のタングステン層を、スパッタリング法により形成した。窒化チタン層の形成条件は、スパッタリング法により窒素（窒素 = 50 sccm）雰囲気下において、圧力 0.2 Pa、電源電力 12 kW を印加し、ターゲットと基板の間の距離を 400 mm、基板温度 25 とした。タングステン層の形成条件は、スパッタリング法によりアルゴン（Ar = 100 sccm）雰囲気下において、圧力 2.0 Pa、電源電力 1 kW を印加し、ターゲットと基板の間の距離を 60 mm、基板温度 230 とした。

10

【0304】

次に、ICP エッチング法により、厚さ 10 nm の窒化チタン層および厚さ 10 nm のタングステン層の積層をエッチングした。エッチング条件は、塩素、四弗化炭素および酸素（Cl₂ : CF₄ : O₂ = 45 sccm : 55 sccm : 55 sccm）混合雰囲気下、電源電力 3000 W、バイアス電力 110 W、圧力 0.67 Pa において第 1 のエッチングを行い、第 1 のエッチングの後に塩素および三塩化ホウ素（Cl₂ : BCl₃ = 50 sccm : 150 sccm）混合雰囲気下、電源電力 1000 W、バイアス電力 50 W、圧力 0.67 Pa において第 2 のエッチングを行い、ゲート電極を形成した。

【0305】

以上の工程を経て、トランジスタを作製した。トランジスタのチャンネル長は 50 nm、チャンネル幅は 40 nm であった。

20

【0306】

次に作製したトランジスタにおいて、オフ電流を求めた。

【0307】

1 fA より小さな電流は、直接は測定できないため、作製した参考例トランジスタを並列に 25 万個並べて接続し、実質的なチャンネル幅が 10 mm (40 nm × 25 万) のトランジスタを作製して I_{cut} 密度を求めた。

【0308】

図 21 にチャンネル幅が 10 mm のトランジスタのドレイン電圧 (V_d : [V]) が 1 V のときの I_d - V_g 特性を示す。図 21 に示すようにオフ電流は 10⁻¹³ A 未満（つまり、オフ電流密度は、10⁻¹⁷ A / μm 未満）であることが確認された。

30

【符号の説明】

【0309】

- 101 半導体層
- 102 電荷捕獲層
- 102a 第 1 の絶縁層
- 102b 第 2 の絶縁層
- 102c 第 3 の絶縁層
- 102d 導電層
- 102e 絶縁体
- 103 ゲート電極
- 104 電荷捕獲準位
- 105 電子
- 108 曲線
- 109 曲線
- 110 トランジスタ
- 111 容量素子
- 121 トランジスタ
- 122 トランジスタ
- 123 容量素子

40

50

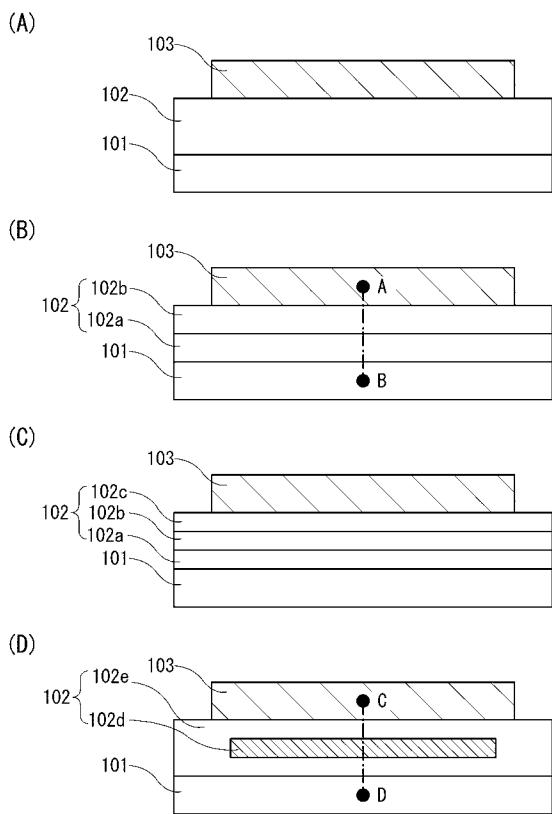
| | | |
|---------|----------|----|
| 1 2 4 | トランジスタ | |
| 1 2 5 | 容量素子 | |
| 1 3 0 | 半導体チップ | |
| 1 3 1 | ワード線ドライバ | |
| 1 3 2 | ビット線ドライバ | |
| 1 3 3 | ワード線 | |
| 1 3 4 | ビット線 | |
| 1 3 5 | メモリセルアレイ | |
| 1 3 6 | メモリユニット | |
| 1 3 7 | 論理ユニット | 10 |
| 1 3 8 a | パッド | |
| 1 3 8 b | パッド | |
| 1 3 8 c | パッド | |
| 1 3 8 d | パッド | |
| 1 3 8 e | パッド | |
| 1 3 8 f | パッド | |
| 1 3 9 a | 信号供給線 | |
| 1 3 9 b | 信号供給線 | |
| 1 3 9 c | 信号供給線 | |
| 1 3 9 d | 信号供給線 | 20 |
| 1 4 0 a | 高電位供給線 | |
| 1 4 0 b | 低電位供給線 | |
| 1 4 0 c | 低電位供給線 | |
| 1 4 0 d | 高電位供給線 | |
| 1 4 0 e | 低電位供給線 | |
| 1 4 0 f | 高電位供給線 | |
| 4 0 0 | 基板 | |
| 4 0 2 | 下地絶縁層 | |
| 4 0 3 c | 酸化物半導体層 | |
| 4 0 4 | 多層半導体層 | 30 |
| 4 0 4 a | 酸化物半導体層 | |
| 4 0 4 b | 酸化物半導体層 | |
| 4 0 4 c | 酸化物半導体層 | |
| 4 0 6 a | ソース電極 | |
| 4 0 6 b | ドレイン電極 | |
| 4 0 7 a | 絶縁層 | |
| 4 0 7 b | 絶縁層 | |
| 4 0 8 | ゲート絶縁層 | |
| 4 0 8 a | 第1の絶縁層 | |
| 4 0 8 b | 第2の絶縁層 | 40 |
| 4 0 9 | 導電層 | |
| 4 1 0 | ゲート電極 | |
| 4 1 2 | 酸化物絶縁層 | |
| 4 5 0 | トランジスタ | |
| 4 7 0 | トランジスタ | |
| 5 0 1 | 筐体 | |
| 5 0 2 | 筐体 | |
| 5 0 3 | 表示部 | |
| 5 0 4 | 表示部 | |
| 5 0 5 | マイクロフォン | 50 |

| | | |
|---------|-------------|----|
| 5 0 6 | スピーカー | |
| 5 0 7 | 操作キー | |
| 5 0 8 | スタイラス | |
| 5 1 1 | 筐体 | |
| 5 1 2 | 筐体 | |
| 5 1 3 | 表示部 | |
| 5 1 4 | 表示部 | |
| 5 1 5 | 接続部 | |
| 5 1 6 | 操作キー | |
| 5 2 1 | 筐体 | 10 |
| 5 2 2 | 表示部 | |
| 5 2 3 | キーボード | |
| 5 2 4 | ポインティングデバイス | |
| 5 3 1 | 筐体 | |
| 5 3 2 | 冷蔵室用扉 | |
| 5 3 3 | 冷凍室用扉 | |
| 5 4 1 | 筐体 | |
| 5 4 2 | 筐体 | |
| 5 4 3 | 表示部 | |
| 5 4 4 | 操作キー | 20 |
| 5 4 5 | レンズ | |
| 5 4 6 | 接続部 | |
| 5 5 0 | トランジスタ | |
| 5 5 1 | 車体 | |
| 5 5 2 | 車輪 | |
| 5 5 3 | ダッシュボード | |
| 5 5 4 | ライト | |
| 7 0 0 | メモリセル | |
| 7 0 0 a | メモリセル | |
| 7 0 0 b | メモリセル | 30 |
| 7 0 0 c | メモリセル | |
| 7 0 0 d | メモリセル | |
| 7 0 0 e | メモリセル | |
| 7 0 0 f | メモリセル | |
| 7 0 0 g | メモリセル | |
| 7 0 0 h | メモリセル | |
| 7 0 0 i | メモリセル | |
| 7 0 0 j | メモリセル | |
| 7 0 0 k | メモリセル | |
| 7 0 0 l | メモリセル | 40 |
| 7 0 0 m | メモリセル | |
| 7 0 0 n | メモリセル | |
| 7 0 0 o | メモリセル | |
| 7 0 0 p | メモリセル | |
| 7 0 1 | フリップフロップ回路 | |
| 7 0 2 | 回路 | |
| 7 0 3 | スイッチ | |
| 7 0 4 | スイッチ | |
| 7 0 6 | 論理素子 | |
| 7 0 7 | 容量素子 | 50 |

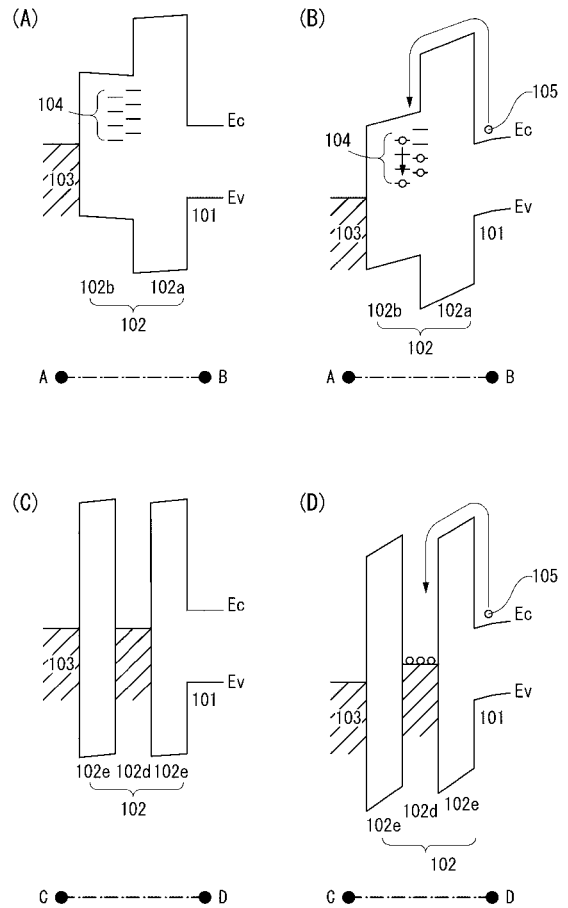
| | | |
|---------|------------|----|
| 7 0 8 | 容量素子 | |
| 7 0 9 | トランジスタ | |
| 7 1 0 | トランジスタ | |
| 7 1 3 | トランジスタ | |
| 7 1 4 | トランジスタ | |
| 7 2 0 | 回路 | |
| 7 3 0 | A L U | |
| 7 4 0 | W E 信号出力回路 | |
| 7 5 0 a | パッド | |
| 7 5 0 b | パッド | 10 |
| 7 5 0 c | パッド | |
| 7 5 0 d | パッド | |
| 7 5 0 e | パッド | |
| 7 6 0 | プロセッサ | |
| 8 0 0 a | メモリセル | |
| 8 0 0 b | メモリセル | |
| 8 0 0 c | メモリセル | |
| 8 0 0 d | メモリセル | |
| 8 0 0 e | メモリセル | |
| 8 0 0 f | メモリセル | 20 |
| 8 0 0 g | メモリセル | |
| 8 0 0 h | メモリセル | |
| 8 0 0 i | メモリセル | |
| 8 0 0 j | メモリセル | |
| 8 0 0 k | メモリセル | |
| 8 0 0 l | メモリセル | |
| 8 0 1 | トランジスタ | |
| 8 0 2 | トランジスタ | |
| 8 0 3 | 容量素子 | |
| 8 0 4 | 容量素子 | 30 |
| 8 0 5 | インバータ | |
| 8 0 6 | インバータ | |
| 8 0 7 | トランジスタ | |
| 8 0 8 | トランジスタ | |
| 8 1 0 | メモリユニット | |
| 8 1 1 | ワード線ドライバ | |
| 8 1 2 | ビット線ドライバ | |
| 8 1 3 | W E 信号出力回路 | |
| 8 1 4 | メモリセルアレイ | |
| 8 1 5 a | パッド | 40 |
| 8 1 5 b | パッド | |
| 8 1 5 c | パッド | |
| 8 1 5 d | パッド | |
| 8 1 5 e | パッド | |
| 8 1 6 a | 高電位供給線 | |
| 8 1 6 b | 低電位供給線 | |
| 8 1 6 c | 高電位供給線 | |
| 8 1 6 d | 低電位供給線 | |
| 8 1 6 e | 高電位供給線 | |
| 8 1 6 f | 低電位供給線 | 50 |

- 8 1 6 g 信号供給線
- 8 1 7 論理ユニット
- 8 1 8 半導体チップ
- 8 1 9 リードフレーム
- 8 1 9 a リード
- 8 1 9 b リード
- 8 1 9 c リード
- 8 1 9 d リード
- 8 2 0 ボンディングワイヤ

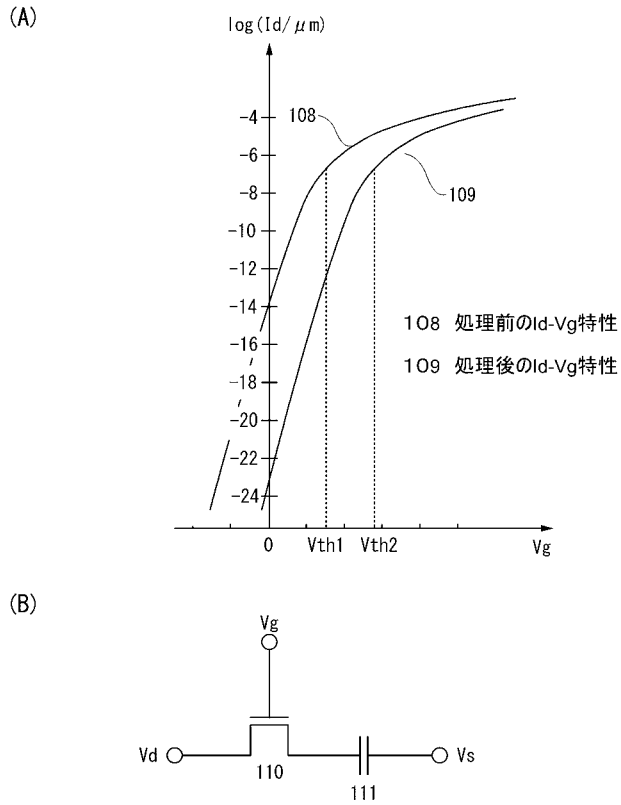
【 図 1 】



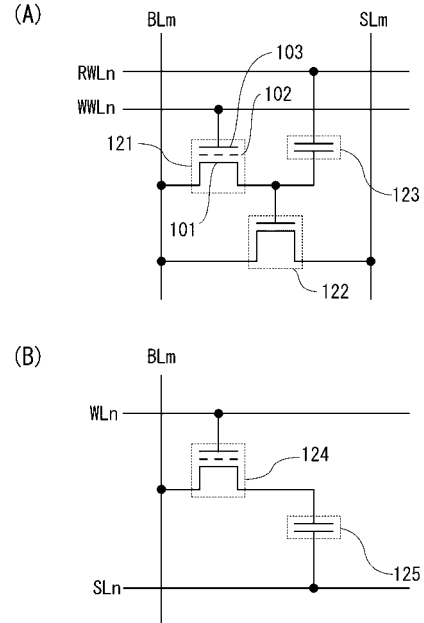
【 図 2 】



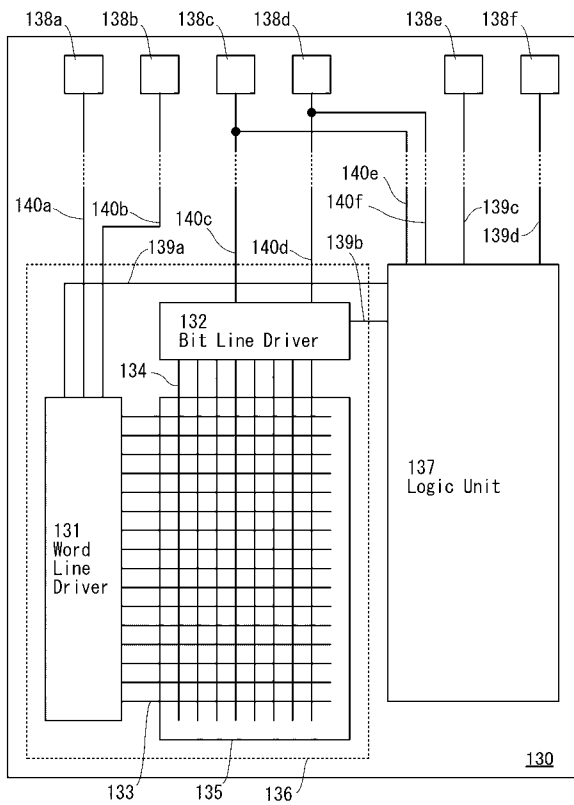
【 図 3 】



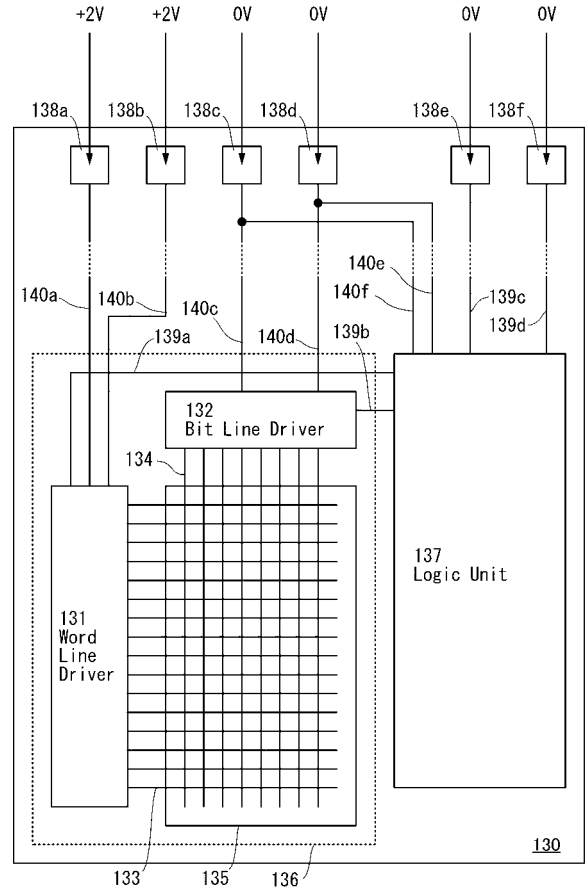
【 図 4 】



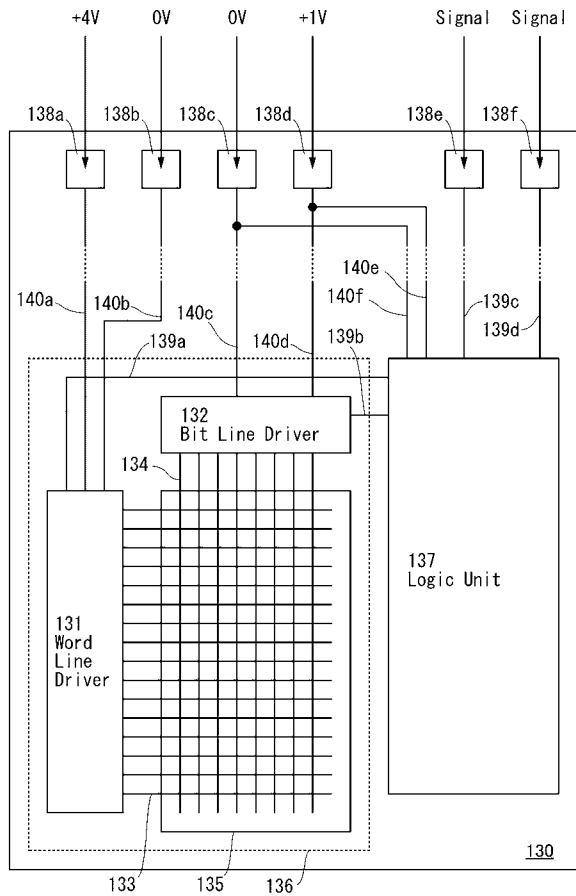
【 図 5 】



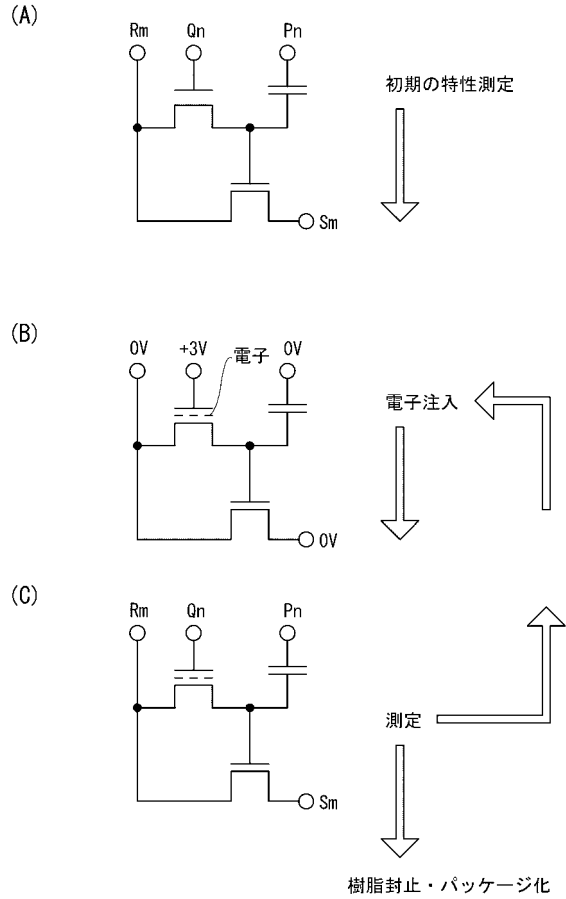
【 図 6 】



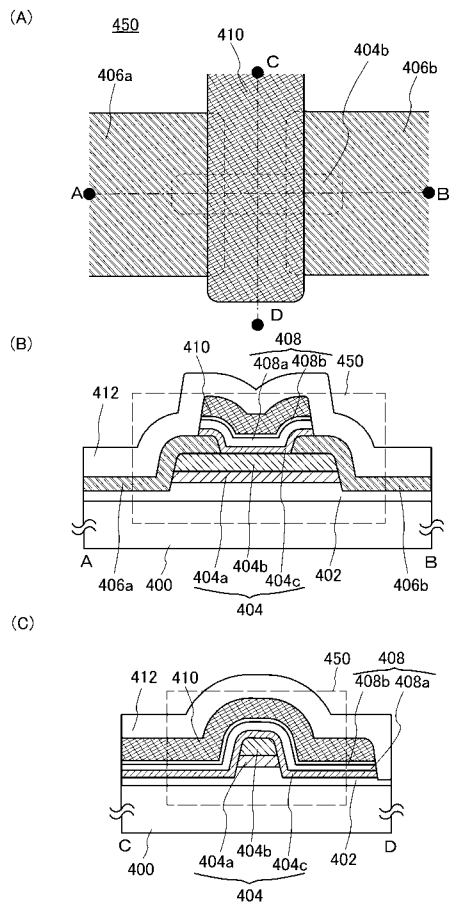
【 図 7 】



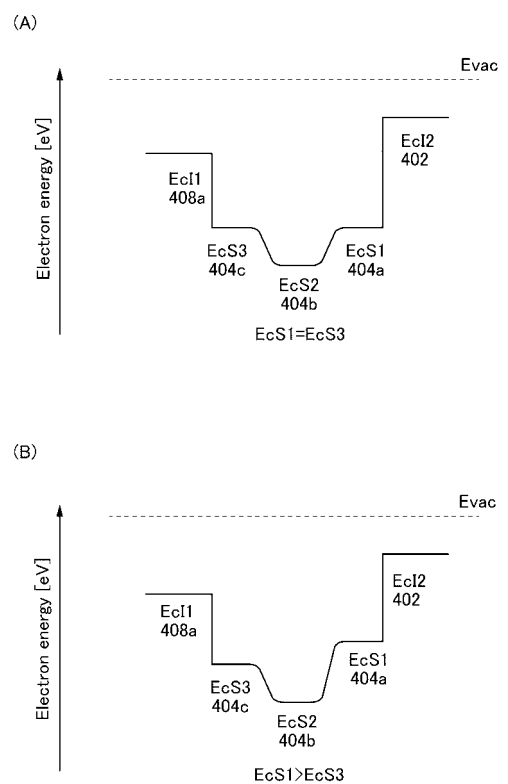
【 図 8 】



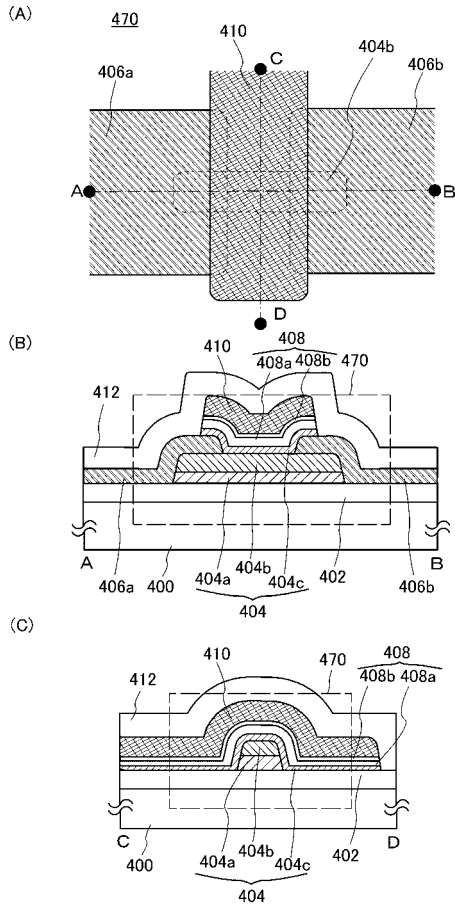
【 図 9 】



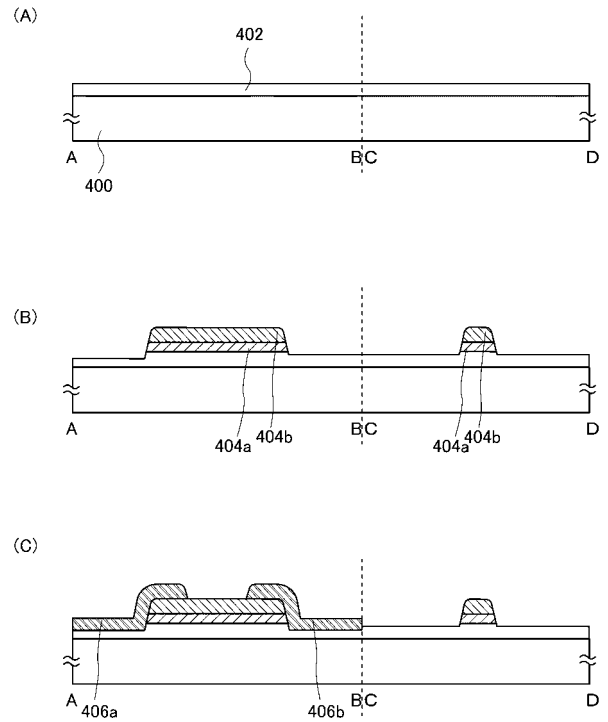
【 図 10 】



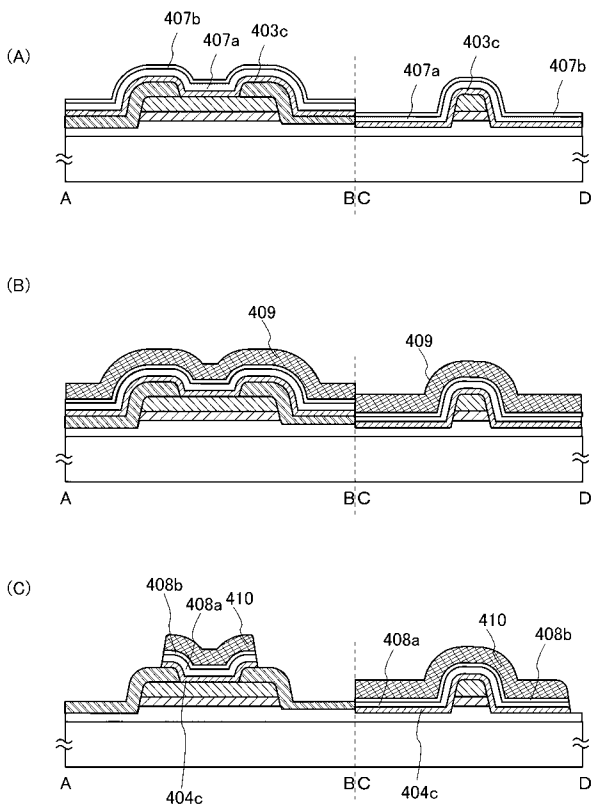
【 図 1 1 】



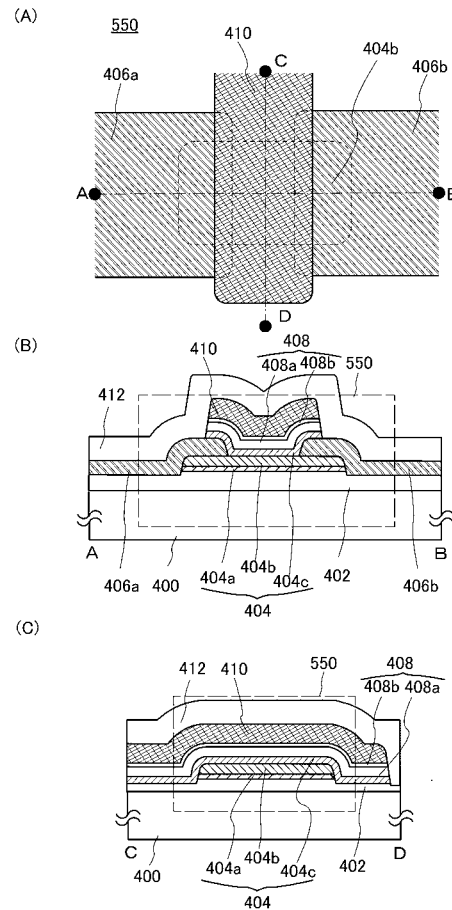
【 図 1 2 】



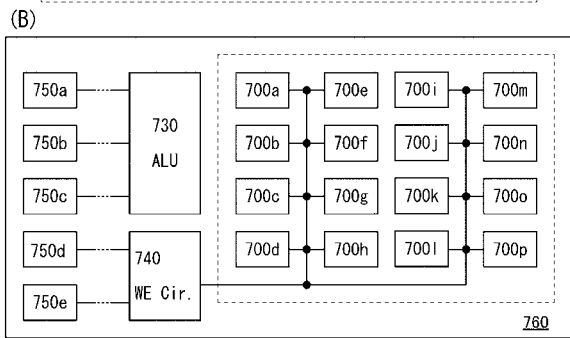
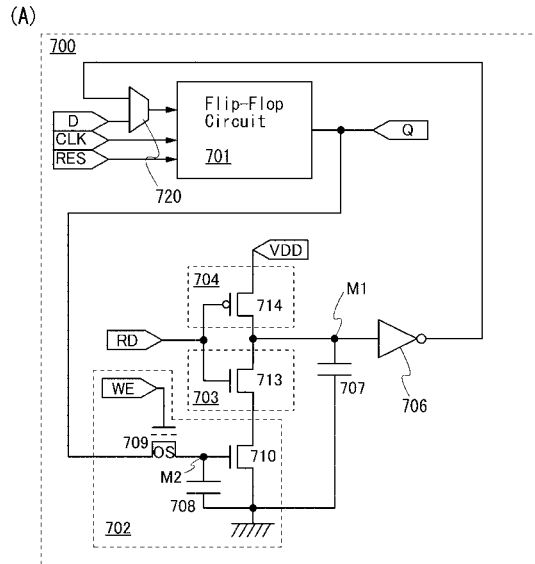
【 図 1 3 】



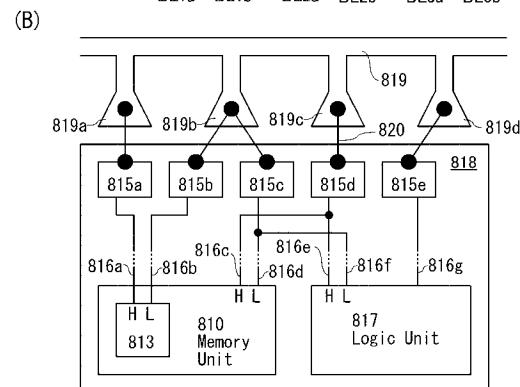
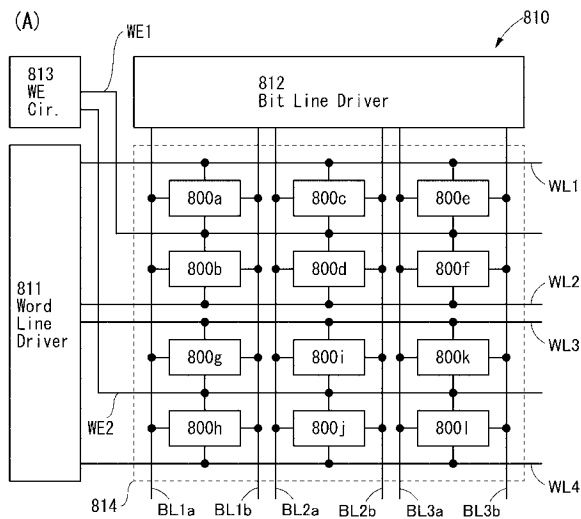
【 図 1 4 】



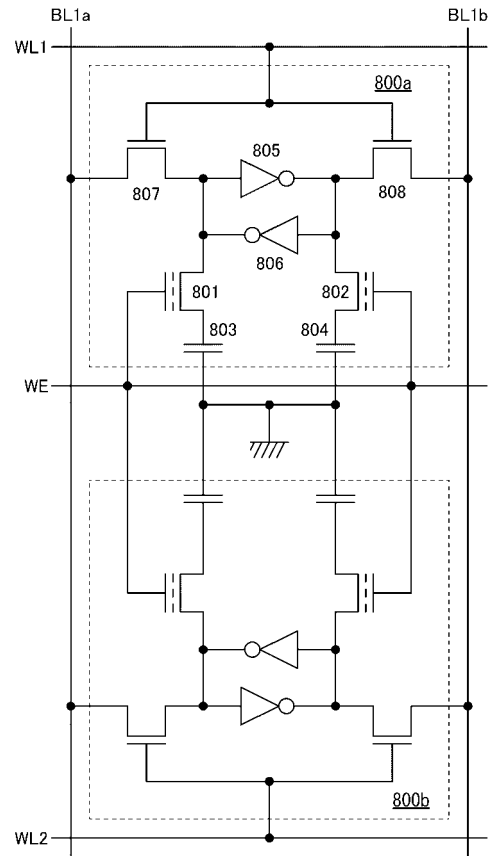
【 図 1 5 】



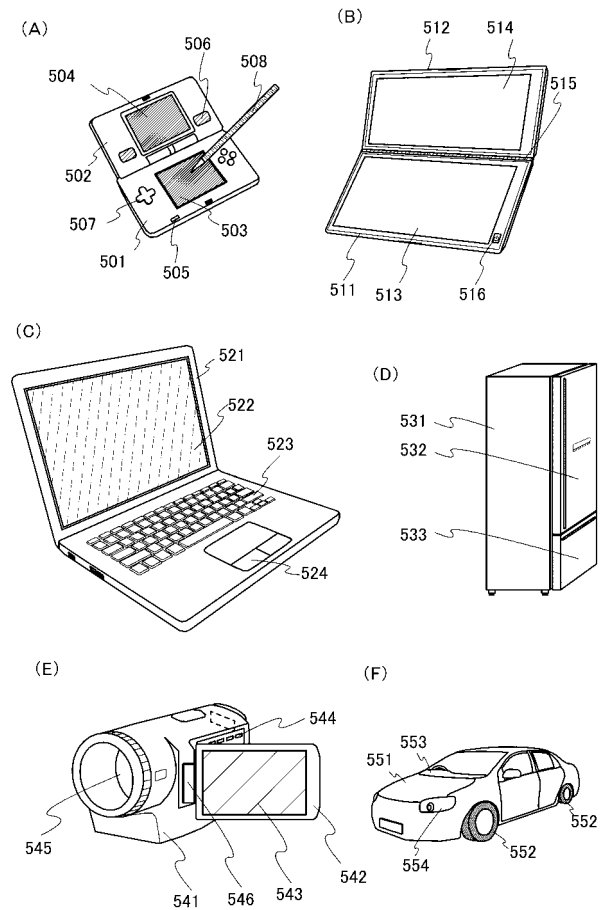
【 図 1 7 】



【 図 1 6 】

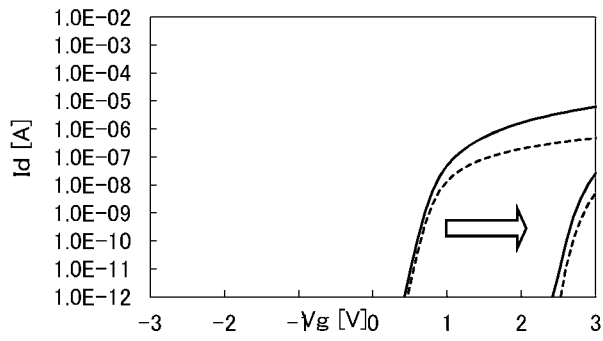


【 図 1 8 】

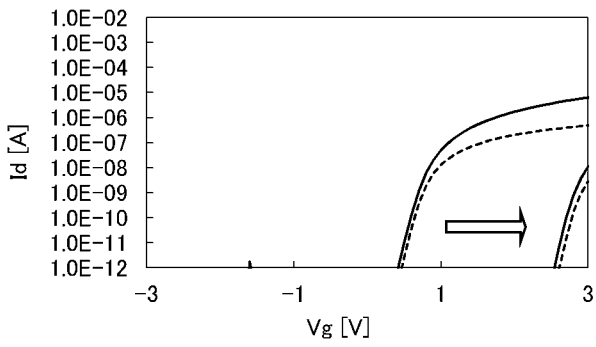


【 図 1 9 】

(A)

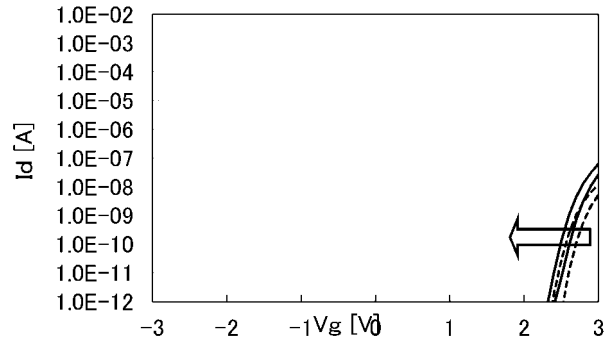


(B)

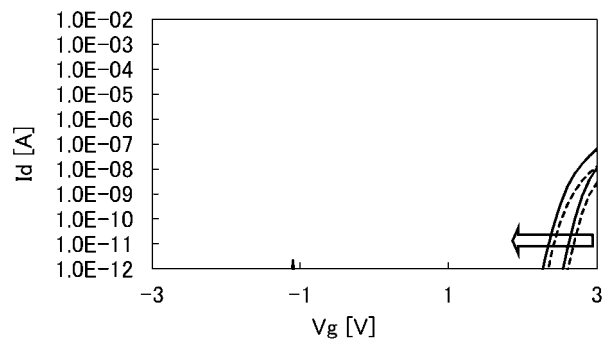


【 図 2 0 】

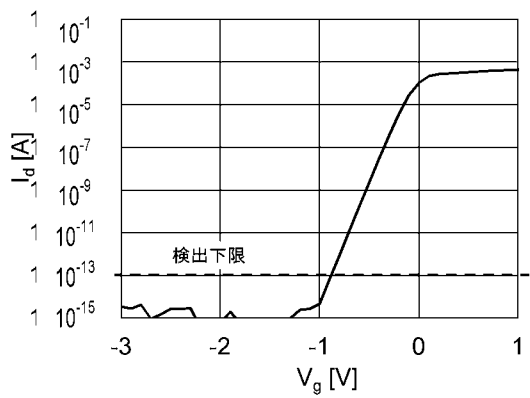
(A)



(B)



【 図 2 1 】



フロントページの続き

| (51)Int.Cl. | F I | テーマコード(参考) |
|---------------------------|---------------|------------|
| H 0 1 L 21/8247 (2006.01) | H 0 1 L 21/28 | 3 0 1 R |
| H 0 1 L 27/115 (2006.01) | H 0 1 L 29/78 | 6 2 2 |
| | H 0 1 L 27/10 | 4 3 4 |

(72)発明者 竹内 敏彦
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 山根 靖正
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 山崎 舜平
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム(参考) 4M104 AA01 AA02 AA03 AA09 BB02 BB04 BB05 BB08 BB13 BB14
BB16 BB17 BB18 BB30 BB31 BB32 BB33 CC01 CC05 EE03
EE12 EE15 EE16 EE17 EE20 FF18 GG08 GG16
5F083 AD02 AD03 AD69 BS27 EP17 EP18 EP22 ER03 ER21 GA06
GA11 GA27 HA02 HA10 JA03 JA04 JA05 JA12 JA36 JA37
JA38 JA39 JA40 JA60 LA00 LA11 PR03 PR06 PR07 PR22
PR33 PR40 ZA01 ZA04 ZA12 ZA13 ZA14 ZA15 ZA29
5F101 BA42 BA45 BB02 BC01 BC02 BD02 BD30 BE07 BF02 BF09
BH01 BH21
5F110 AA04 AA08 AA09 BB03 BB08 CC10 DD01 DD02 DD03 DD04
DD05 DD12 DD13 DD14 DD15 DD17 DD25 EE01 EE02 EE03
EE04 EE06 EE14 EE44 EE45 FF01 FF02 FF03 FF04 FF10
FF27 FF28 FF29 FF30 GG01 GG02 GG03 GG06 GG13 GG14
GG15 GG16 GG17 GG19 GG25 GG28 GG29 GG35 GG42 GG43
GG44 GG45 GG58 HJ30 HK02 HK03 HK04 HK06 HK33 NN03
NN22 NN23 NN24 NN33 NN34 NN35 NN40 NN72