



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0105304
(43) 공개일자 2022년07월27일

(51) 국제특허분류(Int. Cl.)
G06F 12/0804 (2016.01) G06F 12/0868 (2016.01)
G06F 12/0871 (2016.01) G06F 12/0891 (2016.01)
(52) CPC특허분류
G06F 12/0804 (2013.01)
G06F 12/0868 (2013.01)
(21) 출원번호 10-2021-0007846
(22) 출원일자 2021년01월20일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
강혜미
경기도 이천시 부발읍 경충대로 2091 에스케이하이닉스
변유준
경기도 이천시 부발읍 경충대로 2091 에스케이하이닉스
(74) 대리인
특허법인(유한)유일하이스트

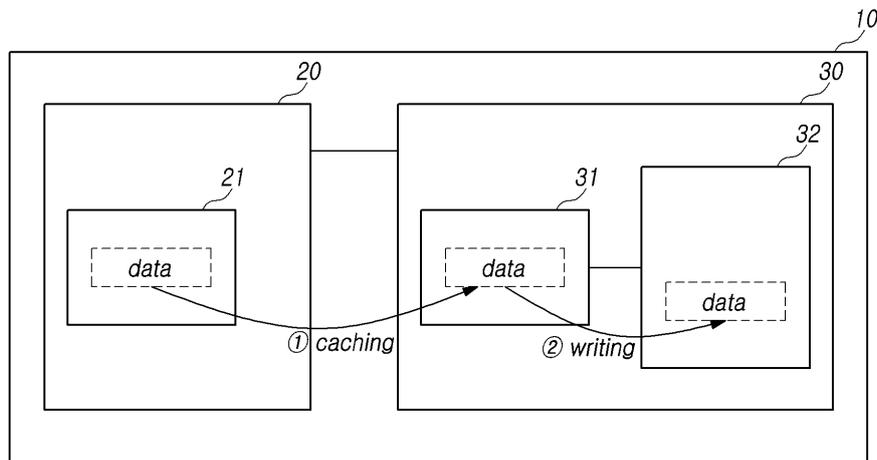
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 시스템 및 시스템의 동작 방법

(57) 요약

본 발명의 실시예들은 시스템 및 시스템의 동작 방법에 관한 것이다. 본 발명의 실시예들에 따르면, 시스템은 호스트 및 메모리 시스템을 포함할 수 있다. 메모리 시스템은 호스트로부터 제1 데이터를 라이트할 것을 요청하는 제1 커맨드를 수신할 때, 제1 데이터가 캐시에 캐싱되었다는 것을 지시하는 제1 타입 응답을 호스트에 전송하고, 제1 타입 응답을 호스트에 전송한 이후 제1 데이터를 메모리 장치에 저장하는 동작의 성공 또는 실패 여부를 지시하는 제2 타입 응답을 호스트에 전송할 수 있다. 그리고 호스트는 제1 데이터를 메모리 장치에 저장하는 동작이 성공한 이후에 제1 데이터를 라이트 버퍼에서 삭제할 수 있다.

대표도 - 도4



(52) CPC특허분류

G06F 12/0871 (2013.01)

G06F 12/0891 (2013.01)

명세서

청구범위

청구항 1

데이터를 저장 가능한 메모리 시스템; 및

상기 메모리 시스템에 데이터를 라이트할 것을 요청하는 호스트를 포함하고,

상기 메모리 시스템은,

데이터를 저장하는 메모리 장치; 및

상기 메모리 장치에 저장될 데이터를 캐싱하는 캐시를 포함하고,

제1 데이터를 라이트할 것을 요청하는 제1 커맨드를 상기 호스트로부터 수신할 때, 상기 제1 데이터가 상기 캐시에 캐싱되었다는 것을 지시하는 제1 타입 응답을 상기 호스트에 전송하고,

상기 제1 타입 응답을 상기 호스트에 전송한 이후, 상기 제1 데이터를 상기 메모리 장치에 저장하는 동작의 성공 또는 실패 여부를 지시하는 제2 타입 응답을 상기 호스트에 전송하고,

상기 호스트는,

상기 제1 데이터를 저장하는 라이트 버퍼를 포함하고,

상기 제1 데이터를 상기 메모리 장치에 저장하는 동작이 성공한 이후에 상기 제1 데이터를 상기 라이트 버퍼에서 삭제하는 시스템.

청구항 2

제1항에 있어서,

상기 호스트는,

상기 제1 타입 응답을 수신할 때, 상기 제1 커맨드에 대응하는 도어벨 정보를 클리어하고,

상기 제2 타입 응답을 상기 호스트에 전송하기 위해, 상기 호스트로부터 수신한 제2 커맨드에 대한 응답 메시지에 상기 제2 타입 응답을 포함시켜 전송하는 시스템.

청구항 3

제2항에 있어서,

상기 호스트는,

상기 제1 데이터를 상기 메모리 장치에 저장하는 동작이 실패했다는 것을 지시하는 제2 타입 응답을 수신할 때, 상기 메모리 시스템에 상기 제1 커맨드를 재전송하는 시스템.

청구항 4

제2항에 있어서,

상기 호스트는,

상기 제1 데이터를 상기 메모리 장치에 저장하는 동작이 실패했다는 것을 지시하는 제2 타입 응답을 수신할 때, 상기 제1 데이터를 상기 메모리 장치에 저장하는 동작이 완료된 후 응답할 것을 지시하는 제3 커맨드를 상기 메

모리 시스템에 전송하는 시스템.

청구항 5

제1항에 있어서,

상기 호스트는,

상기 제1 데이터를 상기 메모리 장치에 저장하는 동작이 성공했다는 것을 지시하는 제2 타입 응답을 수신할 때, 상기 라이트 커맨드에 대응하는 도어벨 정보를 클리어하는 시스템.

청구항 6

제5항에 있어서,

상기 호스트는,

상기 제1 데이터를 상기 메모리 장치에 저장하는 동작이 실패했다는 것을 지시하는 제2 타입 응답을 수신할 때, 상기 제1 데이터를 전부 상기 메모리 시스템에 재전송하는 시스템.

청구항 7

제1항에 있어서,

상기 호스트는,

상기 제1 데이터를 상기 메모리 장치에 저장하는 동작이 실패했다는 것을 지시하는 제2 타입 응답을 수신할 때, 상기 라이트 커맨드에 대응하는 도어벨 정보를 클리어하고, 상기 메모리 시스템에 상기 제1 커맨드를 재전송하는 시스템.

청구항 8

데이터를 저장 가능한 메모리 시스템 및 상기 메모리 시스템에 데이터를 라이트할 것을 요청하는 호스트를 포함하는 시스템의 동작 방법에 있어서,

제1 데이터를 라이트할 것을 요청하는 제1 커맨드를 상기 호스트가 상기 메모리 시스템으로 전송하는 단계;

상기 메모리 시스템이, 상기 제1 데이터가 상기 메모리 시스템에 포함된 캐시에 캐싱되었다는 것을 지시하는 제1 타입 응답을 상기 호스트에 전송하는 단계;

상기 메모리 시스템이 상기 제1 타입 응답을 상기 호스트에 전송한 이후, 상기 제1 데이터를 상기 메모리 시스템에 포함된 메모리 장치에 저장하는 동작의 성공 또는 실패 여부를 지시하는 제2 타입 응답을 상기 호스트에 전송하는 단계; 및

상기 메모리 시스템에 포함된 메모리 장치에 상기 제1 데이터를 저장하는 동작이 성공한 이후에, 상기 호스트가 상기 제1 데이터를 상기 호스트에 포함된 라이트 버퍼에서 삭제하는 단계를 포함하는 시스템의 동작 방법.

청구항 9

제8항에 있어서,

상기 제1 커맨드에 대응하는 도어벨 정보는,

상기 호스트가 상기 제1 타입 응답을 수신할 때 클리어되고,

상기 제2 타입 응답은,

상기 메모리 시스템이 상기 호스트로부터 수신한 제2 커맨드에 대한 응답 메시지를 통해 상기 호스트에 전송되는 시스템의 동작 방법.

청구항 10

제9항에 있어서,

상기 제1 데이터를 상기 메모리 장치에 저장하는 동작이 실패했다는 것을 지시하는 제2 타입 응답을 상기 호스트가 수신할 때, 상기 호스트가 상기 메모리 시스템에 상기 제1 커맨드를 재전송하는 단계를 추가로 포함하는 시스템의 동작 방법.

청구항 11

제9항에 있어서,

상기 제1 데이터를 상기 메모리 장치에 저장하는 동작이 실패했다는 것을 지시하는 제2 타입 응답을 상기 호스트가 수신할 때, 상기 호스트가 상기 메모리 시스템에 상기 제1 데이터를 상기 메모리 장치에 저장하는 동작이 완료된 후 응답할 것을 지시하는 제3 커맨드를 전송하는 단계를 추가로 포함하는 시스템의 동작 방법.

청구항 12

제8항에 있어서,

상기 제1 커맨드에 대응하는 도어벨 정보는,

상기 호스트가 상기 제1 데이터를 상기 메모리 장치에 저장하는 동작이 성공했다는 것을 지시하는 제2 타입 응답을 수신할 때 클리어되는 시스템의 동작 방법.

청구항 13

제12항에 있어서,

상기 제1 데이터를 상기 메모리 장치에 저장하는 동작이 실패했다는 것을 지시하는 제2 타입 응답을 상기 호스트가 수신할 때, 상기 호스트가 상기 제1 데이터를 전부 상기 메모리 시스템에 재전송하는 단계를 추가로 포함하는 시스템의 동작 방법.

청구항 14

제8항에 있어서,

상기 제1 데이터를 상기 메모리 장치에 저장하는 동작이 실패했다는 것을 지시하는 제2 타입 응답을 상기 호스트가 수신할 때, 상기 호스트가 상기 제1 커맨드에 대응하는 도어벨 정보를 클리어하고 상기 메모리 시스템에 상기 제1 커맨드를 재전송하는 단계를 추가로 포함하는 시스템의 동작 방법.

발명의 설명

기술 분야

본 발명의 실시예들은 시스템 및 시스템의 동작 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 저장 장치에 해당하는 메모리 시스템은 컴퓨터와, 스마트 폰, 태블릿 등의 모바일 단말, 또는 각종 전자 기기와 같은 호스트(host)의 요청을 기초로 데이터를 저장하는 장치이다. 메모리 시스템은 하드 디스크 드라이브(HDD: Hard Disk Drive)와 같이 자기 디스크에 데이터를 저장하는 장치뿐 아니라, 솔리드 스테이트 드라이브(SSD: Solid State Drive), UFS(Universal Flash Storage) 장치, eMMC(embedded MMC) 장치 등과 같이 비휘발성 메모리에 데이터를 저장하는 장치 등을 포함할 수 있다.
- [0003] 메모리 시스템은 메모리 장치(e.g. 휘발성 메모리/비휘발성 메모리)를 제어하기 위한 메모리 컨트롤러를 더 포함할 수 있으며, 이러한 메모리 컨트롤러는 호스트로부터 커맨드(Command)를 입력 받아, 입력 받은 커맨드에 기초하여 메모리 시스템에 포함된 메모리 장치에 데이터를 리드(Read), 라이트(Write), 또는 소거(Erase) 하기 위한 동작들을 실행하거나 제어할 수 있다. 그리고 메모리 컨트롤러는 이러한 동작들을 실행하거나 제어하기 위한 논리 연산을 수행하기 위한 펌웨어를 구동할 수 있다.
- [0004] 일반적으로, 메모리 시스템은 호스트로부터 입력받은 라이트 커맨드를 빠르게 처리하기 위해서, 라이트할 데이터를 먼저 캐시에 저장한 후에 호스트에 라이트가 성공했다는 응답을 전송한 후에 캐시에 저장된 데이터를 메모리 장치에 플러시한다.

발명의 내용

해결하려는 과제

- [0005] 본 발명의 실시예들은 메모리 시스템 내부의 캐시 사이즈를 줄일 수 있는 시스템 및 시스템의 동작 방법을 제공할 수 있다.
- [0006] 또한, 본 발명의 실시예들은 데이터를 라이트하는 동작 중 페일이 발생할 때, 페일을 핸들링하는 동작을 단순화시킬 수 있는 시스템 및 시스템의 동작 방법을 제공할 수 있다.
- [0007] 또한, 본 발명의 실시예들은 메모리 시스템에 데이터가 라이트되기 전에 호스트가 캐시에 캐싱된 데이터를 리드할 수 있도록 지원하는 시스템 및 시스템의 동작 방법을 제공할 수 있다.

과제의 해결 수단

- [0008] 일 측면에서, 본 발명의 실시예들은 데이터를 저장 가능한 메모리 시스템 및 메모리 시스템에 데이터를 라이트할 것을 요청하는 호스트를 포함하는 시스템을 제공할 수 있다.
- [0009] 메모리 시스템은, 데이터를 저장하는 메모리 장치 및 메모리 장치에 저장될 데이터를 캐싱하는 캐시를 포함할 수 있다.
- [0010] 메모리 시스템은, 제1 데이터를 라이트할 것을 요청하는 제1 커맨드를 호스트로부터 수신할 때, 제1 데이터가 캐시에 캐싱되었다는 것을 지시하는 제1 타입 응답을 호스트에 전송할 수 있다.
- [0011] 메모리 시스템은, 제1 타입 응답을 호스트에 전송한 이후, 제1 데이터를 메모리 장치에 저장하는 동작의 성공 또는 실패 여부를 지시하는 제2 타입 응답을 호스트에 전송할 수 있다.
- [0012] 호스트는, 제1 데이터를 저장하는 라이트 버퍼를 포함할 수 있다.
- [0013] 호스트는, 제1 데이터를 메모리 장치에 저장하는 동작이 성공한 이후에 제1 데이터를 라이트 버퍼에서 삭제할 수 있다.
- [0014] 다른 측면에서, 본 발명의 실시예들은 데이터를 저장 가능한 메모리 시스템 및 메모리 시스템에 데이터를 라이트할 것을 요청하는 호스트를 포함하는 시스템의 동작 방법을 제공할 수 있다.
- [0015] 시스템의 동작 방법은, 제1 데이터를 라이트할 것을 요청하는 제1 커맨드를 호스트가 메모리 시스템으로 전송하는 단계를 포함할 수 있다.
- [0016] 그리고 시스템의 동작 방법은, 메모리 시스템이, 제1 데이터가 메모리 시스템에 포함된 캐시에 캐싱되었다는 것을 지시하는 제1 타입 응답을 호스트에 전송하는 단계를 포함할 수 있다.
- [0017] 그리고 시스템의 동작 방법은, 메모리 시스템이 제1 타입 응답을 상기 호스트에 전송한 이후, 제1 데이터를 메

모리 시스템에 포함된 메모리 장치에 저장하는 동작의 성공 또는 실패 여부를 지시하는 제2 타입 응답을 호스트에 전송하는 단계를 포함할 수 있다.

[0018] 그리고 시스템의 동작 방법은, 메모리 시스템에 포함된 메모리 장치에 제1 데이터를 저장하는 동작이 성공한 이후에, 호스트가 제1 데이터를 호스트에 포함된 라이트 버퍼에서 삭제하는 단계를 포함할 수 있다.

발명의 효과

[0019] 본 발명의 실시예들에 의하면, 메모리 시스템 내부의 캐시 사이즈를 줄이고, 데이터를 라이트하는 동작 중 발생한 폐일을 핸들링하는 동작을 단순화하고, 메모리 시스템에 데이터가 라이트되기 전에 호스트가 캐시에 캐싱된 데이터를 리드할 수 있도록 지원할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 실시예들에 따른 메모리 시스템의 개략적인 구성도이다.
- 도 2는 본 발명의 실시예들에 따른 메모리 장치를 개략적으로 나타낸 블록도이다.
- 도 3은 본 발명의 실시예들에 따른 메모리 장치의 워드 라인 및 비트 라인의 구조를 나타낸 도면이다.
- 도 4는 본 발명의 실시예들에 따른 시스템의 개략적인 구조를 나타낸 도면이다.
- 도 5는 본 발명의 실시예들에 따른 시스템의 동작의 일 예를 나타낸 시퀀스 다이어그램이다.
- 도 6은 본 발명의 실시예들에 따른 메모리 시스템이 제2 타입 응답을 호스트로 전송하는 일 예를 나타낸 시퀀스 다이어그램이다.
- 도 7 내지 도 8은 본 발명의 실시예들에 따른 메모리 시스템이 제1 데이터를 메모리 장치에 저장하는 동작이 실패한 경우를 나타낸 시퀀스 다이어그램이다.
- 도 9는 본 발명의 실시예들에 따른 호스트가 제2 타입 응답을 수신한 후 실행하는 동작의 일 예를 나타낸 시퀀스 다이어그램이다.
- 도 10은 본 발명의 실시예들에 따른 호스트가 제2 타입 응답을 수신한 후 실행하는 동작의 다른 예를 나타낸 시퀀스 다이어그램이다.
- 도 11은 본 발명의 실시예들에 따른 호스트가 제2 타입 응답을 수신한 후 실행하는 동작의 또 다른 예를 나타낸 시퀀스 다이어그램이다.
- 도 12는 본 발명의 실시예들에 따른 시스템의 동작 방법을 나타낸 도면이다.
- 도 13은 본 발명의 실시예들에 따른 컴퓨팅 시스템의 구성도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하에서는, 본 발명의 실시예들을 첨부된 도면을 참조하여 상세히 설명한다.
- [0022] 도 1은 본 발명의 실시예들에 따른 메모리 시스템(100)의 개략적인 구성도이다.
- [0023] 도 1을 참조하면, 본 발명의 실시예들에 따른 메모리 시스템(100)은 데이터를 저장하는 메모리 장치(110)와, 메모리 장치(110)를 제어하는 메모리 컨트롤러(120) 등을 포함할 수 있다.
- [0024] 메모리 장치(110)는 다수의 메모리 블록(Memory Block)을 포함하며, 메모리 컨트롤러(120)의 제어에 응답하여 동작한다. 여기서, 메모리 장치(110)의 동작은 일 예로, 리드 동작(Read Operation), 프로그램 동작(Program Operation; "Write Operation" 이라고도 함) 및 소거 동작(Erase Operation) 등을 포함할 수 있다.
- [0025] 메모리 장치(110)는 데이터를 저장하는 복수의 메모리 셀(Memory Cell; 간단히 줄여서 "셀" 이라고도 함)을 포함하는 메모리 셀 어레이(Memory Cell Array)를 포함할 수 있다. 이러한 메모리 셀 어레이는 메모리 블록 내에 존재할 수 있다.
- [0026] 예를 들어, 메모리 장치(110)는 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory), LPDDR4(Low Power Double Data Rate4) SDRAM, GDDR(Graphics Double Data Rate) SDRAM, LPDDR(Low Power DDR), RDRAM(Rambus Dynamic Random Access Memory), 낸드 플래시 메모리(NAND Flash Memory), 3차원 낸드 플

래시 메모리(3D NAND Flash Memory), 노아 플래시 메모리(NOR Flash memory), 저항성 램(Resistive Random Access Memory: RRAM), 상변화 메모리(Phase-Change Memory: PRAM), 자기저항 메모리(Magnetoresistive Random Access Memory: MRAM), 강유전체 메모리(Ferroelectric Random Access Memory: FRAM), 또는 스핀주입 자화반전 메모리(Spin Transfer Torque Random Access Memory: STT-RAM) 등으로 다양한 타입으로 구현될 수 있다.

- [0027] 한편, 메모리 장치(110)는 3차원 어레이 구조(three-Dimensional Array structure)로 구현될 수 있다. 본 발명의 실시예들은 전하 저장층이 전도성 부유 게이트(Floating Gate)로 구성된 플래시 메모리 장치는 물론, 전하 저장층이 절연막으로 구성된 차지 트랩형 플래시(Charge Trap Flash; CTF)에도 적용될 수 있다.
- [0028] 메모리 장치(110)는 메모리 컨트롤러(120)로부터 커맨드 및 어드레스 등을 수신하고, 메모리 셀 어레이 중 어드레스에 의해 선택된 영역을 액세스하도록 구성된다. 즉, 메모리 장치(110)는 어드레스에 의해 선택된 영역에 대해 커맨드에 해당하는 동작을 수행할 수 있다.
- [0029] 예를 들면, 메모리 장치(110)는 프로그램 동작, 리드 동작 및 소거 동작 등을 수행할 수 있다. 이와 관련하여, 프로그램 동작 시, 메모리 장치(110)는 어드레스에 의해 선택된 영역에 데이터를 프로그램 할 것이다. 리드 동작 시, 메모리 장치(110)는 어드레스에 의해 선택된 영역으로부터 데이터를 읽을 것이다. 소거 동작 시, 메모리 장치(110)는 어드레스에 의해 선택된 영역에 저장된 데이터를 소거할 것이다.
- [0030] 메모리 컨트롤러(120)는 메모리 장치(110)에 대한 쓰기(프로그램), 읽기, 소거 및 백그라운드(background) 동작을 제어할 수 있다. 여기서, 백그라운드 동작은 일 예로 가비지 컬렉션(GC, Garbage Collection), 웨어 레벨링(WL, Wear Leveling), 또는 배드 블록 관리(BBM, Bad Block Management) 동작 등 중 하나 이상을 포함할 수 있다.
- [0031] 메모리 컨트롤러(120)는 호스트(HOST)의 요청에 따라 메모리 장치(110)의 동작을 제어할 수 있다. 이와 다르게, 메모리 컨트롤러(120)는 호스트(HOST)의 요청과 무관하게 메모리 장치(110)의 동작을 제어할 수도 있다.
- [0032] 한편, 메모리 컨트롤러(120)와 호스트(HOST)는 서로 분리된 장치일 수도 있다. 경우에 따라서, 메모리 컨트롤러(120)와 호스트(HOST)는 하나의 장치로 통합되어 구현될 수도 있다. 아래에서는, 설명의 편의를 위하여, 메모리 컨트롤러(120)와 호스트(HOST)가 서로 분리된 장치인 것을 예로 들어 설명한다.
- [0033] 도 1을 참조하면, 메모리 컨트롤러(120)는 메모리 인터페이스(122) 및 제어 회로(123) 등을 포함할 수 있으며, 호스트 인터페이스(121) 등을 더 포함할 수 있다.
- [0034] 호스트 인터페이스(121)는 호스트(HOST)와의 통신을 위한 인터페이스를 제공한다.
- [0035] 제어 회로(123)는 호스트(HOST)로부터 커맨드를 수신할 때, 호스트 인터페이스(121)를 통해서 커맨드를 수신하여, 수신된 커맨드를 처리하는 동작을 수행할 수 있다.
- [0036] 메모리 인터페이스(122)는, 메모리 장치(110)와 연결되어 메모리 장치(110)와의 통신을 위한 인터페이스를 제공한다. 즉, 메모리 인터페이스(122)는 제어 회로(123)의 제어에 응답하여 메모리 장치(110)와 메모리 컨트롤러(120)를 인터페이스를 제공하도록 구성될 수 있다.
- [0037] 제어 회로(123)는 메모리 컨트롤러(120)의 전반적인 제어 동작을 수행하여 메모리 장치(110)의 동작을 제어한다. 이를 위해, 일 예로, 제어 회로(123)는 프로세서(124), 워킹 메모리(125) 등 중 하나 이상을 포함할 수 있으며, 경우에 따라서, 에러 검출 및 정정 회로(ECC Circuit, 126) 등을 더 포함할 수 있다.
- [0038] 프로세서(124)는 메모리 컨트롤러(120)의 제반 동작을 제어하고, 논리 연산을 수행할 수 있다. 프로세서(124)는 호스트 인터페이스(121)를 통해 호스트(HOST)와 통신하고, 메모리 인터페이스(122)를 통해 메모리 장치(110)와 통신할 수 있다.
- [0039] 프로세서(124)는 플래시 변환 계층(FTL: Flash Translation Layer)의 기능을 수행할 수 있다. 프로세서(124)는 플래시 변환 계층(FTL)을 통해 호스트가 제공한 논리 블록 어드레스(LBA, logical block address)를 물리 블록 어드레스(PBA, physical block address)로 변환할 수 있다. 플래시 변환 계층(FTL)은 매핑 테이블을 이용하여 논리 블록 어드레스(LBA)를 입력 받아, 물리 블록 어드레스(PBA)로 변환시킬 수 있다.
- [0040] 플래시 변환 계층의 주소 맵핑 방법에는 맵핑 단위에 따라 여러 가지가 있다. 대표적인 어드레스 맵핑 방법에는 페이지 맵핑 방법(Page mapping method), 블록 맵핑 방법(Block mapping method), 그리고 혼합 맵핑 방법(Hybrid mapping method)이 있다.

- [0041] 프로세서(124)는 호스트(HOST)로부터 수신된 데이터를 랜더마이징하도록 구성된다. 예를 들면, 프로세서(124)는 랜더마이징 시드(seed)를 이용하여 호스트(HOST)로부터 수신된 데이터를 랜더마이징할 것이다. 랜더마이징된 데이터는 저장될 데이터로서 메모리 장치(110)에 제공되어 메모리 셀 어레이에 프로그램 된다.
- [0042] 프로세서(124)는 리드 동작 시 메모리 장치(110)로부터 수신된 데이터를 디랜더마이징하도록 구성된다. 예를 들면, 프로세서(124)는 디랜더마이징 시드를 이용하여 메모리 장치(110)로부터 수신된 데이터를 디랜더마이징할 것이다. 디랜더마이징된 데이터는 호스트(HOST)로 출력될 것이다.
- [0043] 프로세서(124)는 펌웨어(FirmWare)를 실행하여 메모리 컨트롤러(120)의 동작을 제어할 수 있다. 다시 말해, 프로세서(124)는, 메모리 컨트롤러(120)의 제반 동작을 제어하고, 논리 연산을 수행하기 위하여, 부팅 시 워킹 메모리(125)에 로딩된 펌웨어를 실행(구동)할 수 있다.
- [0044] 펌웨어(FirmWare)는 메모리 시스템(100) 내에서 실행되는 프로그램으로서, 다양한 기능적 계층들을 포함할 수 있다.
- [0045] 예를 들어, 펌웨어는, 호스트(HOST)에서 메모리 시스템(100)에 요구하는 논리 주소(Logical Address)와 메모리 장치(110)의 물리 주소(Physical Address) 간의 변환 기능을 하는 플래시 변환 계층(FTL: Flash Translation Layer)와, 호스트(HOST)에서 저장 장치인 메모리 시스템(100)에 요구하는 커맨드를 해석하여 플래시 변환 계층(FTL)에 전달하는 역할을 하는 호스트 인터페이스 계층(HIL: Host Interface Layer)와, 플래시 변환 계층(FTL)에서 지시하는 커맨드를 메모리 장치(110)로 전달하는 플래시 인터페이스 계층(FIL: Flash Interface Layer) 등 중 하나 이상을 포함할 수 있다.
- [0046] 이러한 펌웨어는, 일 예로, 메모리 장치(110)에 저장되어 있다가 워킹 메모리(125)에 로딩될 수 있다.
- [0047] 워킹 메모리(125)는 메모리 컨트롤러(120)를 구동하기 위해 필요한 펌웨어, 프로그램 코드, 커맨드 또는 데이터들을 저장할 수 있다. 이러한 워킹 메모리(125)는, 일 예로, 휘발성 메모리로서, SRAM (Static RAM), DRAM (Dynamic RAM) 및 SDRAM(Synchronous DRAM) 등 중 하나 이상을 포함할 수 있다.
- [0048] 에러 검출 및 정정 회로(126)는 에러 정정 코드(Error Correction Code)를 이용하여 확인 대상 데이터의 에러 비트를 검출하고, 검출된 에러 비트를 정정하도록 구성될 수 있다. 여기서, 확인 대상 데이터는, 일 예로, 워킹 메모리(125)에 저장된 데이터이거나, 메모리 장치(110)로부터 읽어온 데이터 동일 수 있다.
- [0049] 에러 검출 및 정정 회로(126)는 에러 정정 코드로 데이터를 디코딩하도록 구현될 수 있다. 에러 검출 및 정정 회로(126)는 다양한 코드 디코더로 구현될 수 있다. 예를 들어, 비체계적 코드 디코딩을 수행하는 디코더 또는 체계적 코드 디코딩을 수행하는 디코더가 이용될 수 있다.
- [0050] 예를 들면, 에러 검출 및 정정 회로(126)는 읽기 데이터들 각각에 대해 섹터(Sector) 단위로 에러 비트를 검출할 수 있다. 즉, 각각의 읽기 데이터는 복수의 섹터(Sector)로 구성될 수 있다. 섹터(Sector)는 플래시 메모리의 읽기 단위인 페이지(Page)보다 더 작은 데이터 단위를 의미할 수 있다. 각각의 읽기 데이터를 구성하는 섹터들은 어드레스를 매개로 서로 대응될 수 있다.
- [0051] 에러 검출 및 정정 회로(126)는 비트 에러율(Bit Error Rate, BER)을 산출하고, 섹터 단위로 정정 가능 여부를 판단할 수 있다. 에러 검출 및 정정 회로(126)는 예를 들어, 비트 에러율(BER)이 기준값(reference value)보다 높은 경우 해당 섹터를 정정 불가능(Uncorrectable or Fail)으로 판단할 것이다. 반면에, 비트 에러율(BER)이 기준값보다 낮은 경우 해당 섹터를 정정 가능(Correctable or Pass)으로 판단할 것이다.
- [0052] 에러 검출 및 정정 회로(126)는 모든 읽기 데이터들에 대해 순차적으로 에러 검출 및 정정 동작을 수행할 수 있다. 에러 검출 및 정정 회로(126)는 읽기 데이터에 포함된 섹터가 정정 가능한 경우 다음 읽기 데이터에 대해서는 해당 섹터에 대한 에러 검출 및 정정 동작을 생략할 수 있다. 이렇게 모든 읽기 데이터들에 대한 에러 검출 및 정정 동작이 종료되면, 에러 검출 및 정정 회로(126)는 마지막까지 정정 불가능으로 판단된 섹터를 검출할 수 있다. 정정 불가능한 것으로 판단된 섹터는 하나 또는 그 이상일 수 있다. 에러 검출 및 정정 회로(126)는 정정 불가능으로 판단된 섹터에 대한 정보(ex. 어드레스 정보)를 프로세서(124)로 전달할 수 있다.
- [0053] 버스(127)는 메모리 컨트롤러(120)의 구성 요소들(121, 122, 124, 125, 126) 사이의 채널(Channel)을 제공하도록 구성될 수 있다. 이러한 버스(127)는, 일 예로, 각종 제어 신호, 커맨드 등을 전달하기 위한 제어 버스와, 각종 데이터를 전달하기 위한 데이터 버스 등을 포함할 수 있다.
- [0054] 메모리 컨트롤러(120)의 전술한 구성 요소들(121, 122, 124, 125, 126)은 예시일 뿐이다. 메모리 컨트롤러(12

0)의 전술한 구성 요소들(121, 122, 124, 125, 126) 중 일부의 구성 요소는 삭제되거나, 메모리 컨트롤러(120)의 전술한 구성 요소들 (121, 122, 124, 125, 126) 중 몇몇 구성 요소들이 하나로 통합될 수 있다. 경우에 따라, 메모리 컨트롤러(120)의 전술한 구성 요소들 이외에 하나 이상의 다른 구성 요소가 추가될 수도 있다.

- [0055] 아래에서는, 도 2를 참조하여 메모리 장치(110)에 대하여 더욱 상세하게 설명한다.
- [0056] 도 2는 본 발명의 실시예들에 따른 메모리 장치(110)를 개략적으로 나타낸 블록도다.
- [0057] 도 2를 참조하면, 본 발명의 실시예들에 따른 메모리 장치(110)는, 메모리 셀 어레이(Memory Cell Array, 210), 어드레스 디코더(Address Decoder, 220), 읽기 및 쓰기 회로(Read and Write Circuit, 230), 제어 로직(Control Logic, 240) 및 전압 생성 회로(Voltage Generation Circuit, 250) 등을 포함할 수 있다.
- [0058] 메모리 셀 어레이(210)는 다수의 메모리 블록(BLK1~BLKz, z는 2 이상의 자연수)을 포함할 수 있다.
- [0059] 다수의 메모리 블록(BLK1~BLKz)에는, 다수의 워드 라인(WL)과 다수의 비트 라인(BL)이 배치되며, 다수의 메모리 셀(MC)이 배열될 수 있다.
- [0060] 다수의 메모리 블록(BLK1~BLKz)은 다수의 워드 라인(WL)을 통해 어드레스 디코더(220)와 연결될 수 있다. 다수의 메모리 블록(BLK1~BLKz)은 다수의 비트 라인(BL)을 통해 읽기 및 쓰기 회로(230)와 연결될 수 있다.
- [0061] 다수의 메모리 블록(BLK1~BLKz) 각각은 다수의 메모리 셀을 포함할 수 있다. 예를 들어, 다수의 메모리 셀은 불휘발성 메모리 셀들이며, 수직 채널 구조를 갖는 불휘발성 메모리 셀들로 구성될 수 있다.
- [0062] 메모리 셀 어레이(210)는 2차원 구조의 메모리 셀 어레이로 구성될 수 있으며, 경우에 따라서는, 3차원 구조의 메모리 셀 어레이로 구성될 수도 있다.
- [0063] 한편, 메모리 셀 어레이(210)에 포함되는 복수의 메모리 셀 각각은 적어도 1비트의 데이터를 저장할 수 있다. 일 예로, 메모리 셀 어레이(210)에 포함되는 복수의 메모리 셀 각각은 1비트의 데이터를 저장하는 싱글-레벨 셀(SLC: Single-Level Cell)일 수 있다. 다른 예로, 메모리 셀 어레이(210)에 포함되는 복수의 메모리 셀 각각은 2비트의 데이터를 저장하는 멀티-레벨 셀(MLC: Multi-Level Cell)일 수 있다. 또 다른 예로, 메모리 셀 어레이(210)에 포함되는 복수의 메모리 셀 각각은 3비트의 데이터를 저장하는 트리플-레벨 셀(TLC: Triple-Level Cell)일 수 있다. 또 다른 예로, 메모리 셀 어레이(210)에 포함되는 복수의 메모리 셀 각각은 4비트의 데이터를 저장하는 쿼드-레벨 셀(QLC: Quad-Level Cell)일 수 있다. 또 다른 예로, 메모리 셀 어레이(210)는 5비트 이상의 데이터를 각각 저장하는 복수의 메모리 셀을 포함할 수도 있다.
- [0064] 도 2를 참조하면, 어드레스 디코더(220), 읽기 및 쓰기 회로(230), 제어 로직(240) 및 전압 생성 회로(250) 등은 메모리 셀 어레이(210)를 구동하는 주변 회로로서 동작할 수 있다.
- [0065] 어드레스 디코더(220)는 다수의 워드 라인(WL)을 통해 메모리 셀 어레이(210)에 연결될 수 있다.
- [0066] 어드레스 디코더(220)는 제어 로직(240)의 제어에 응답하여 동작하도록 구성될 수 있다.
- [0067] 어드레스 디코더(220)는 메모리 장치(110) 내부의 입출력 버퍼를 통해 어드레스(Address)를 수신할 수 있다. 어드레스 디코더(220)는 수신된 어드레스 중 블록 어드레스(Block Address)를 디코딩하도록 구성될 수 있다. 어드레스 디코더(220)는 디코딩된 블록 어드레스에 따라 적어도 하나의 메모리 블록을 선택할 수 있다.
- [0068] 어드레스 디코더(220)는 전압 생성 회로(250)로부터 읽기 전압(Vread) 및 패스 전압(Vpass)을 입력 받을 수 있다.
- [0069] 어드레스 디코더(220)는 리드 동작 중 읽기 전압 인가 동작 시, 선택된 메모리 블록 내 선택된 워드 라인(WL)으로 읽기 전압(Vread)을 인가하고, 나머지 비 선택된 워드 라인들(WL)에는 패스 전압(Vpass)을 인가할 수 있다.
- [0070] 어드레스 디코더(220)는 프로그램 검증 동작 시, 선택된 메모리 블록 내 선택된 워드 라인(WL)에 전압 생성 회로(250)에서 발생된 검증 전압을 인가하고, 나머지 비 선택된 워드 라인들(WL)에 패스 전압(Vpass)을 인가할 수 있다.
- [0071] 어드레스 디코더(220)는 수신된 어드레스 중 열 어드레스를 디코딩 하도록 구성될 수 있다. 어드레스 디코더(220)는 디코딩 된 열 어드레스를 읽기 및 쓰기 회로(230)에 전송할 수 있다.
- [0072] 메모리 장치(110)의 리드 동작 및 프로그램 동작은 페이지 단위로 수행될 수 있다. 리드 동작 및 프로그램 동작 요청 시에 수신되는 어드레스는 블록 어드레스, 행 어드레스 및 열 어드레스 중 하나 이상을 포함할 수 있다.

- [0073] 어드레스 디코더(220)는 블록 어드레스 및 행 어드레스에 따라 하나의 메모리 블록 및 하나의 워드 라인을 선택할 수 있다. 열 어드레스는 어드레스 디코더(220)에 의해 디코딩 되어 읽기 및 쓰기 회로(230)에 제공될 수 있다.
- [0074] 어드레스 디코더(220)는 블록 디코더, 행 디코더, 열 디코더 및 어드레스 버퍼 등 중 하나 이상을 포함할 수 있다.
- [0075] 읽기 및 쓰기 회로(230)는 다수의 페이지 버퍼(PB)를 포함할 수 있다. 읽기 및 쓰기 회로(230)는 메모리 셀 어레이(210)의 리드 동작(Read Operation) 시에는 "읽기 회로(Read Circuit)"로 동작하고, 쓰기 동작(Write Operation) 시에는 "쓰기 회로(Write Circuit)"로 동작할 수 있다.
- [0076] 전술한 읽기 및 쓰기 회로(230)는 다수의 페이지 버퍼(PB)를 포함하는 페이지 버퍼 회로(Page Buffer Circuit) 또는 데이터 레지스터 회로(Data Register Circuit)라고도 한다. 여기서, 읽기 및 쓰기 회로(230)는 데이터 처리 기능을 담당하는 데이터 버퍼(Data Buffer)를 포함할 수 있고, 경우에 따라서, 캐싱 기능을 담당하는 캐쉬 버퍼(Cache Buffer)를 추가로 더 포함할 수 있다.
- [0077] 다수의 페이지 버퍼(PB)는 다수의 비트 라인(BL)을 통해 메모리 셀 어레이(210)에 연결될 수 있다. 다수의 페이지 버퍼(PB)는 리드 동작 및 프로그램 검증 동작 시, 메모리 셀들의 문턱전압(V_{th})을 센싱하기 위하여, 메모리 셀들과 연결된 비트 라인들(BL)에 센싱 전류를 계속적으로 공급하면서, 대응하는 메모리 셀의 프로그램 상태에 따라 흐르는 전류량이 변화되는 것을 센싱 노드를 통해 감지하여 센싱 데이터로 래치할 수 있다.
- [0078] 읽기 및 쓰기 회로(230)는 제어 로직(240)에서 출력되는 페이지 버퍼 제어 신호들에 응답하여 동작할 수 있다.
- [0079] 읽기 및 쓰기 회로(230)는 리드 동작 시, 메모리 셀의 데이터를 센싱하여 독출 데이터를 임시 저장한 후, 메모리 장치(110)의 입출력 버퍼로 데이터(DATA)를 출력한다. 예시적인 실시 예로서, 읽기 및 쓰기 회로(230)는 페이지 버퍼들(PB) 또는 페이지 레지스터들 이외에도, 열 선택 회로 등을 포함할 수 있다.
- [0080] 제어 로직(240)은 어드레스 디코더(220), 읽기 및 쓰기 회로(230), 및 전압 생성 회로(250) 등과 연결될 수 있다. 제어 로직(240)은 메모리 장치(110)의 입출력 버퍼를 통해 커맨드(CMD) 및 제어 신호(CTRL)를 수신할 수 있다.
- [0081] 제어 로직(240)은 제어 신호(CTRL)에 응답하여 메모리 장치(110)의 제반 동작을 제어하도록 구성될 수 있다. 제어 로직(240)은 다수의 페이지 버퍼(PB)의 센싱 노드의 프리 차지 전위 레벨을 조절하기 위한 제어 신호를 출력할 수 있다.
- [0082] 제어 로직(240)은 메모리 셀 어레이(210)의 리드 동작을 수행하도록 읽기 및 쓰기 회로(230)를 제어할 수 있다. 전압 생성 회로(250)는, 제어 로직(240)에서 출력되는 전압 생성 회로 제어 신호에 응답하여, 리드 동작 시, 이용되는 읽기 전압(V_{read}) 및 패스 전압(V_{pass})을 생성할 수 있다.
- [0083] 한편, 전술한 메모리 장치(110)의 메모리 블록 각각은 다수의 워드 라인(WL)과 대응되는 다수의 페이지와 다수의 비트 라인(BL)과 대응되는 다수의 스트링으로 구성될 수 있다.
- [0084] 메모리 블록(BLK)에는 다수의 워드 라인(WL)과 다수의 비트 라인(BL)이 교차하면서 배치될 수 있다. 예를 들어, 다수의 워드 라인(WL) 각각은 행 방향으로 배치되고, 다수의 비트 라인(BL) 각각은 열 방향으로 배치될 수 있다. 다른 예를 들어, 다수의 워드 라인(WL) 각각은 열 방향으로 배치되고, 다수의 비트 라인(BL) 각각은 행 방향으로 배치될 수 있다.
- [0085] 다수의 워드 라인(WL) 중 하나와 다수의 비트 라인(BL) 중 하나에 연결되는 메모리 셀이 정의될 수 있다. 각 메모리 셀에는 트랜지스터가 배치될 수 있다.
- [0086] 예를 들어, 메모리 셀(MC)에 배치된 트랜지스터는 드레인, 소스 및 게이트 등을 포함할 수 있다. 트랜지스터의 드레인(또는 소스)은 해당 비트 라인(BL)과 직접 또는 다른 트랜지스터를 경유하여 연결될 수 있다. 트랜지스터의 소스(또는 드레인)는 소스 라인(그라운드일 수 있음)과 직접 또는 다른 트랜지스터를 경유하여 연결될 수 있다. 트랜지스터의 게이트는 절연체에 둘러싸인 플로팅 게이트(Floating Gate)와 워드 라인(WL)으로부터 게이트 전압이 인가되는 컨트롤 게이트(Control Gate)를 포함할 수 있다.
- [0087] 각 메모리 블록에는, 2개의 최외곽 워드 라인 중 읽기 및 쓰기 회로(230)와 더 인접한 제1 최외곽 워드 라인의 바깥쪽에 제1 선택 라인(소스 선택 라인 또는 드레인 선택 라인이라고도 함)이 더 배치될 수 있으며, 다른 제2 최외곽 워드 라인의 바깥쪽에 제2 선택 라인(드레인 선택 라인 또는 소스 선택 라인이라고도 함)이 더 배치될

수 있다.

- [0088] 경우에 따라서, 제1 최외곽 워드 라인과 제1 선택 라인 사이에는 하나 이상의 더미 워드 라인이 더 배치될 수 있다. 또한, 제2 최외곽 워드 라인과 제2 선택 라인 사이에도 하나 이상의 더미 워드 라인이 더 배치될 수 있다.
- [0089] 전술한 메모리 블록의 리드 동작 및 프로그램 동작(쓰기 동작)은 페이지 단위로 수행될 수 있으며, 소거(Erase) 동작은 메모리 블록 단위로 수행될 수 있다.
- [0090] 도 3는 본 발명의 실시예들에 따른 메모리 장치(110)의 워드 라인(WL) 및 비트 라인(BL)의 구조를 나타낸 도면이다.
- [0091] 도 3를 참조하면, 메모리 장치(110)에는, 메모리 셀들(MC)이 모여 있는 핵심 영역과 이 핵심 영역의 나머지 영역에 해당하며 메모리 셀 어레이(210)의 동작을 위해 서포트(Support)해주는 보조 영역이 존재한다.
- [0092] 핵심 영역은 페이지들(PG)과 스트링들(STR)으로 구성될 수 있다. 이러한 핵심 영역에는, 다수의 워드 라인(WL1 ~ WL9)과 다수의 비트 라인(BL)이 교차하면서 배치된다.
- [0093] 다수의 워드 라인(WL1 ~ WL9)은 행 디코더(310)와 연결되고, 다수의 비트 라인(BL)은 열 디코더(320)와 연결될 수 있다. 다수의 비트 라인(BL)과 열 디코더(420) 사이에는 읽기 및 쓰기 회로(230)에 해당하는 데이터 레지스터(330)가 존재할 수 있다.
- [0094] 다수의 워드 라인(WL1 ~ WL9)은 다수의 페이지(PG)와 대응된다.
- [0095] 예를 들어, 도 3와 같이 다수의 워드 라인(WL1 ~ WL9) 각각은 하나의 페이지(PG)와 대응될 수 있다. 이와 다르게, 다수의 워드 라인(WL1 ~ WL9) 각각이 사이즈가 큰 경우, 다수의 워드 라인(WL1 ~ WL9) 각각은 둘 이상(예: 2개 또는 4개)의 페이지(PG)와 대응될 수도 있다. 페이지(PG)는 프로그램 동작과 리드 동작을 진행하는데 있어서 최소 단위가 되며, 프로그램 동작 및 리드 동작 시, 동일 페이지(PG) 내에서의 모든 메모리 셀(MC)은 동시 동작을 수행할 수 있다.
- [0096] 다수의 비트 라인(BL)은 홀수 번째 비트 라인(BL)과 짝수 번째 비트 라인(BL)을 구분되면서 열 디코더(320)와 연결될 수 있다.
- [0097] 메모리 셀(MC)에 액세스 하기 위해서는, 주소가 먼저 입출력 단을 거쳐 행 디코더(310)와 열 디코더(320)를 통하여 핵심 영역으로 들어와서, 타깃 메모리 셀을 지정할 수 있다. 타깃 메모리 셀을 지정한다는 것은 행 디코더(310)와 연결된 워드 라인들(WL1 ~ WL9)과 열 디코더(320)와 연결된 비트 라인들(BL)의 교차되는 사이트에 있는 메모리 셀(MC)에 데이터를 프로그램 하거나 프로그램 된 데이터를 읽어 내기 위하여 액세스 한다는 것을 의미한다.
- [0098] 메모리 장치(110)의 데이터 처리 모두는, 데이터 레지스터(330)를 경유하여 프로그램 및 읽기가 되므로, 데이터 레지스터(330)는 중추적 역할을 한다. 데이터 레지스터(330)의 데이터 처리가 늦어지면 다른 모든 영역에서는 데이터 레지스터(330)가 데이터 처리를 완료할 때까지 기다려야 한다. 또한, 데이터 레지스터(330)의 성능이 저하되면, 메모리 장치(110)의 전체 성능을 저하시킬 수 있다.
- [0099] 도 3의 예시를 참조하면, 1개의 스트링(STR)에는, 다수의 워드 라인(WL1 ~ WL9)과 연결되는 다수의 트랜지스터(TR1 ~ TR9)가 존재할 수 있다. 다수의 트랜지스터(TR1 ~ TR9)가 존재하는 영역들이 메모리 셀들(MC)에 해당한다. 여기서, 다수의 트랜지스터(TR1 ~ TR9)는 전술한 바와 같이, 제어 게이트(CG)와 플로팅 게이트(FG)를 포함하는 트랜지스터들이다.
- [0100] 다수의 워드 라인(WL1 ~ WL9)은 2개의 최외곽 워드 라인(WL1, WL9)을 포함한다. 2개의 최외곽 워드 라인(WL1, WL9) 중 신호 경로적 측면에서 데이터 레지스터(330)와 더 인접한 제1 최외곽 워드 라인(WL1)의 바깥쪽에는 제1 선택 라인(DSL)이 더 배치되고, 다른 제2 최외곽 워드 라인(WL9)의 바깥쪽에는 제2 선택 라인(SSL)이 더 배치될 수 있다.
- [0101] 제1 선택 라인(DSL)에 의해 온-오프가 제어되는 제1 선택 트랜지스터(D-TR)는 제1 선택 라인(DSL)과 연결된 게이트 전극을 가지고 있을 뿐, 플로팅 게이트(FG)를 포함하지 않는 트랜지스터이다. 제2 선택 라인(SSL)에 의해 온-오프가 제어되는 제2 선택 트랜지스터(S-TR)는 제2 선택 라인(SSL)과 연결된 게이트 전극을 가지고 있을 뿐, 플로팅 게이트(FG)를 포함하지 않는 트랜지스터이다.

- [0102] 제1 선택 트랜지스터(D-TR)는 해당 스트링(STR)과 데이터 레지스터(430) 간의 연결을 온 또는 오프 시키는 스위치 역할을 한다. 제2 선택 트랜지스터(S-TR)는 해당 스트링(STR)과 소스 라인(SL) 간의 연결을 온 또는 오프 시켜주는 스위치 역할을 한다. 즉, 제1 선택 트랜지스터(D-TR) 및 제2 선택 트랜지스터(S-TR)는 해당 스트링(STR)의 양쪽 끝에 있으면서, 신호를 이어주고 끊어내는 문지기 역할을 한다.
- [0103] 메모리 시스템(100)은, 프로그램 동작 시, 프로그램 할 비트 라인(BL)의 타깃 메모리 셀(MC)에 전자를 채워야 하기 때문에, 제1 선택 트랜지스터(D-TR)의 게이트 전극에 소정의 턴-온 전압(Vcc)를 인가하여 제1 선택 트랜지스터(D-TR)를 턴-온 시키고, 제2 선택 트랜지스터(S-TR)의 게이트 전극에는 소정의 턴-오프 전압(예: 0V)을 인가하여 제2 선택 트랜지스터(S-TR)를 턴-오프 시킨다.
- [0104] 메모리 시스템(100)은, 리드 동작 또는 검증(Verification) 동작 시, 제1 선택 트랜지스터(D-TR) 및 제2 선택 트랜지스터(S-TR)를 모두 턴-온 시켜준다. 이에 따라, 전류가 해당 스트링(STR)을 관통하여 그라운드에 해당하는 소스 라인(SL)으로 빠질 수 있어서, 비트 라인(BL)의 전압 레벨이 측정될 수 있다. 다만, 리드 동작 시, 제1 선택 트랜지스터(D-TR) 및 제2 선택 트랜지스터(S-TR)의 온-오프 타이밍의 시간 차이가 있을 수 있다.
- [0105] 메모리 시스템(100)은, 소거(Erase) 동작 시, 소스 라인(SL)을 통하여 기판(Substrate)에 소정 전압(예: +20V)을 공급하기도 한다. 메모리 시스템(100)은, 소거(Erase) 동작 시, 제1 선택 트랜지스터(D-TR) 및 제2 선택 트랜지스터(S-TR)를 모두 플로팅(Floating) 시켜서 무한대의 저항을 만들어 준다. 이에 따라, 제1 선택 트랜지스터(D-TR) 및 제2 선택 트랜지스터(S-TR)의 역할이 없도록 해주고, 플로팅 게이트(FG)와 기판(Substrate) 사이에서만 전위 차이에 의한 전자(electron)가 동작할 수 있도록 구조화 되어 있다.
- [0106] 도 4는 본 발명의 실시예들에 따른 시스템(10)의 개략적인 구조를 나타낸 도면이다.
- [0107] 도 4를 참조하면, 시스템(10)은 호스트(20) 및 메모리 시스템(30)을 포함할 수 있다.
- [0108] 호스트(20)는 메모리 시스템(30)에 데이터를 라이트할 것을 요청할 수 있다. 이를 위해 호스트(20)는 메모리 시스템(30)에 라이트 커맨드 및 라이트될 데이터를 전송할 수 있다.
- [0109] 메모리 시스템(30)은 호스트로부터 라이트 커맨드를 수신하면, 라이트 커맨드가 라이트 요청하는 데이터를 저장할 수 있다. 이 때, 메모리 시스템(30)은 도 1에서 전술한 메모리 시스템(100)으로 구현될 수 있다.
- [0110] 도 4에서, 호스트(20)는 라이트 버퍼(21)를 포함할 수 있다. 라이트 버퍼(21)는 메모리 시스템(30)에 라이트할 데이터를 임시로 저장하는 메모리 영역으로서, 일 예로 휘발성 메모리(e.g. SRAM, DRAM)로 구현될 수 있다.
- [0111] 그리고 메모리 시스템(30)은 캐시(31) 및 메모리 장치(32)를 포함할 수 있다. 캐시(31)는 데이터가 메모리 장치(32)에 저장하는 동작이 완료될 때까지 해당 데이터를 임시로 저장할 수 있는 메모리 영역이다. 메모리 장치(32)는 데이터를 저장할 수 있는 메모리 영역이다. 이 때, 캐시(31)는 도 1에서 설명한 워킹 메모리(125) 또는 별도의 휘발성 메모리를 통해 구현될 수 있으며, 메모리 장치(32)는 도 1에서 설명한 메모리 장치(110)를 통해 구현될 수 있다.
- [0112] 도 4에서, 호스트(20)가 데이터를 라이트할 것을 메모리 시스템(30)에 요청할 때, 메모리 시스템(30)은 데이터를 메모리 장치(32)에 저장하기 전에 데이터를 먼저 캐시(31)에 캐싱할 수 있다(①).
- [0113] 그리고 메모리 시스템(30)은 캐시(31)에 캐싱된 데이터를 특정한 조건이 만족되었을 때 메모리 장치(32)에 라이트할 수 있다(②). 일 예로, 메모리 시스템(30)은 캐시(31)에 캐싱된 데이터의 크기의 총합이 설정된 단위 사이즈 이상이 될 때, 캐시(31)에 캐싱된 데이터를 메모리 장치(32)에 라이트할 수 있다. 다른 예로, 메모리 시스템(30)은 최근에 데이터를 메모리 장치(32)에 라이트한 시점으로부터 일정 시간 이상 경과될 때, 캐시(31)에 캐싱된 데이터를 메모리 장치(32)에 라이트할 수 있다.
- [0114] 이하, 도 4에서 전술한 호스트(20)와 메모리 시스템(30)의 동작을 시퀀스 다이어그램(sequence diagram)을 통해 설명한다.
- [0115] 도 5는 본 발명의 실시예들에 따른 시스템(10)의 동작의 일 예를 나타낸 시퀀스 다이어그램이다.
- [0116] 도 5를 참조하면, 호스트(20)는 제1 데이터를 라이트할 것을 요청하는 제1 커맨드를 메모리 시스템(30)에 전송할 수 있다.
- [0117] 이때, 메모리 시스템(30)은 제1 커맨드에 대한 응답을, 두 가지 서로 다른 타입의 응답인 제1 타입 응답과 제2 타입 응답으로 나누어서 호스트(20)에 전송할 수 있다.

- [0118] 메모리 시스템(30)은 호스트(20)로부터 제1 커맨드를 수신할 때, 먼저 제1 데이터를 캐시(31)에 캐싱할 수 있다. 제1 데이터를 캐시(31)에 캐싱하는 동작이 완료되면, 메모리 시스템(30)은 제1 데이터가 캐시(31)에 캐싱되었다는 것을 지시하는 제1 타입 응답을 호스트(20)에 전송할 수 있다. 이때, 호스트(20)는 제1 타입 응답을 수신할 때, 라이트 버퍼(21)에서 제1 데이터를 삭제하지 않고 제1 데이터가 라이트 버퍼(21)에 저장된 상태를 유지하거나 제1 데이터를 라이트 버퍼(21)에서 라이트 버퍼(21)보다 느린 속도로 동작하는 다른 버퍼로 이동시킬 수 있다.
- [0119] 그리고 메모리 시스템(30)은 제1 타입 응답을 호스트에 전송한 이후에, 제1 데이터를 메모리 장치(32)에 저장하는 동작의 성공 또는 실패 여부를 지시하는 제2 타입 응답을 호스트(20)에 전송할 수 있다. 메모리 시스템(30)은 호스트의 요청 또는 메모리 장치(32)에 저장하는 동작의 성공 또는 실패 여부에 따라, 제2 타입 응답을 호스트(20)에 한 번만 전송할 수도 있고 또는 제2 타입 응답을 호스트(20)에 여러 번 전송할 수도 있다.
- [0120] 호스트(20)는 제1 타입 응답을 메모리 시스템(30)으로부터 수신한 이후에, 제1 데이터를 메모리 장치(32)에 저장하는 동작이 성공하였다는 정보를 확인할 수 있다. 이때, 호스트(20)는 일 예로 제1 데이터를 메모리 장치(32)에 저장하는 동작이 성공하였다는 정보를 전송한 제2 타입 응답을 통해 확인할 수 있다.
- [0121] 호스트(20)는 제1 데이터를 메모리 장치(32)에 저장하는 동작이 성공하였다는 것을 확인한 후에 제1 데이터를 라이트 버퍼(21)에서 삭제할 수 있다. 즉, 호스트(20)는, 제1 데이터가 캐시(31)에 캐싱된 시점이 아니라 제1 데이터를 메모리 장치(32)에 저장하는 동작이 성공한 시점까지 제1 데이터를 라이트 버퍼(21)에 유지할 수 있다.
- [0122] 이와 같이, 메모리 시스템(30)이 호스트(20)가 전송한 제1 커맨드에 대한 응답을 제1 타입 응답과 제2 타입 응답으로 나누어서 호스트(20)에 전송하고, 호스트(20)가 제1 데이터를 메모리 장치(32)에 저장하는 동작이 성공한 시점까지 제1 데이터를 라이트 버퍼(21)에 유지하는 이유는 다음과 같다.
- [0123] 만약 메모리 시스템(30)이 캐시(31)에 데이터를 캐싱한 이후에 호스트(20)에 데이터를 라이트하는 동작이 성공했다는 응답을 전송하면, 메모리 시스템(30)은 캐싱된 데이터가 메모리 장치(32)에 에러 없이 정상적으로 저장되는 것을 보장해야 한다. 또한 메모리 시스템(30)은 호스트(20)가 캐싱된 데이터를 리드할 때 리드 동작이 에러 없이 정상적으로 실행되는 것 역시 보장해야 한다.
- [0124] 일 예로, 메모리 시스템(30)은 호스트(20)로부터 데이터를 라이트할 것을 요청하는 커맨드를 수신할 때, 데이터를 캐시(31)에 캐싱하고 호스트(20)에 데이터를 라이트하는 동작이 성공했다는 응답을 전송할 수 있다. 이후 메모리 시스템(30)은 데이터가 라이트된 주소에 저장된 데이터를 리드할 것을 요청하는 커맨드를 호스트(20)로부터 수신할 수 있다.
- [0125] 이때, 메모리 시스템(30)은 캐시(31)에 캐싱된 데이터를 메모리 장치(32)에 라이트하는 데 실패한 경우에도 호스트(20)가 라이트 요청한 데이터를 전송해야 한다. 메모리 시스템(30)이 호스트(20)에 데이터를 라이트하는 동작이 성공했다는 응답을 이미 전송하였기 때문이다.
- [0126] 따라서, 메모리 시스템(30)은, 호스트(20)로부터의 데이터 리드 요청을 처리하기 전에, 캐시(31)에 캐싱된 데이터를 메모리 장치(32)에 라이트하는 데 실패하는 과정에서 변경된 LBA를 제거하고, 캐시(31)에 캐싱된 데이터를 메모리 장치(32)에 다시 라이트하는 동작을 실행해야 한다. 그리고 메모리 시스템(30)은 데이터 리드 요청보다 캐시(31)에 캐싱된 데이터를 메모리 장치(32)에 다시 라이트하는 동작을 먼저 실행하기 위해서, 데이터 리드 요청을 지시하는 커맨드를 커맨드 큐에서 일단 디큐(dequeue)해야 한다.
- [0127] 이로 인해, 메모리 시스템(30)이 호스트(20)로부터의 데이터 리드 요청을 처리하는 시점이 지연될 수 있다.
- [0128] 또한, 전송한 동작을 실행하기 위해서 메모리 시스템(30)은 메모리 장치(32)에 데이터가 에러 없이 정상적으로 저장될 때까지 데이터를 캐시(31)에 유지해야 한다. 따라서, 데이터가 캐시(31)에 캐싱된 상태를 유지하는 시간이 증가하게 되고, 데이터를 캐시(31)에 캐싱된 상태가 오래 유지되기 위해서 캐시(31)의 사이즈가 커져야 한다. 이로 인해 메모리 시스템(30)의 캐시(31)을 구현하는데 소요되는 비용이 증가하는 문제가 발생한다.
- [0129] 따라서, 메모리 시스템(30)은 메모리 장치(32)에 데이터가 에러 없이 정상적으로 저장될 때까지, 데이터를 캐시(31)에 캐싱한 상태를 유지하는 대신에 호스트(20)가 데이터를 라이트 버퍼(21)에 유지하도록 함으로써 캐시(31)의 사이즈를 감소시킬 수 있다.
- [0130] 이 경우, 메모리 시스템(30)이 메모리 장치(32)에 데이터가 정상적으로 저장되기 전에 데이터를 캐시(31)에서 삭제하더라도, 호스트(20)가 라이트 버퍼(21)에 저장된 데이터를 이용하여 복구 동작을 실행할 수 있다.

따라서, 메모리 시스템(30)은 캐시(31)의 사이즈를 줄일 수 있으며 메모리 시스템(30)의 캐시(31)를 구현하는 데 소요되는 비용이 감소한다. 이 경우, 라이트 버퍼(21)에 데이터가 저장된 상태가 오래 유지되지만, 일반적으로 라이트 버퍼(21)의 사이즈는 캐시(31)의 사이즈보다 훨씬 크고 여유 공간의 크기 역시 크기 때문에, 라이트 버퍼(21)를 구현하는 데 소요되는 추가 비용은 캐시(31)를 구현하는 데 소요되는 비용 감소보다 작다.

- [0131] 단, 이를 위해서 호스트(20)는 메모리 시스템(30)의 상태, 즉 캐시(31)에 데이터가 캐싱되었는지 여부 및 캐싱된 이후에 메모리 장치(32)에 데이터가 정상적으로 라이트되었는지 여부를 파악해야 한다. 이를 위해 메모리 시스템(30)은 제1 타입 응답과 제2 타입 응답을 호스트(20)로 전송하여, 호스트(20)가 제1 타입 응답과 제2 타입 응답을 기초로 데이터를 메모리 시스템(30)에 정상적으로 라이트하기 위해 필요한 동작을 실행하도록 할 수 있다.
- [0132] 일 예로, 메모리 시스템(30)은 호스트(20)로부터 데이터를 라이트할 것을 요청하는 커맨드를 수신할 때, 데이터를 캐시(31)에 캐싱한 이후 데이터를 라이트하는 동작이 실패하였다는 정보를 제2 타입 응답을 통해 호스트(20)로 전송할 수 있다.
- [0133] 이후 메모리 시스템(30)은 데이터가 라이트된 주소에 저장된 데이터를 리드할 것을 요청하는 커맨드를 호스트(20)로부터 수신하더라도, 호스트(20)가 라이트 요청한 데이터를 전송할 필요가 없다. 호스트(20)가 메모리 시스템(30)에 데이터를 라이트하는 동작이 실패하였다는 정보를 수신하였기 때문이다.
- [0134] 따라서, 메모리 시스템(30)은 캐시(31)에 캐싱된 데이터를 메모리 장치(32)에 라이트하는 데 실패하는 과정에서 변경된 LBA를 제거하는 과정에서, 데이터 리드 요청을 지시하는 커맨드를 커맨드 큐에서 일단 디큐(dequeue)할 필요가 없다. 그러므로, 메모리 시스템(30)이 데이터를 라이트하는 동작이 실패할 경우에 페일을 핸들링하는 동작이 단순화될 수 있다.
- [0135] 도 6은 본 발명의 실시예들에 따른 메모리 시스템(30)이 제2 타입 응답을 호스트(20)로 전송하는 일 예를 나타낸 시퀀스 다이어그램이다.
- [0136] 도 6을 참조하면, 메모리 시스템(30)은 호스트(20)로부터 제1 데이터를 라이트할 것을 요청하는 제1 커맨드를 수신하고, 제1 데이터를 캐시(31)에 캐싱한 후, 호스트(20)에 제1 타입 응답을 전송할 수 있다.
- [0137] 호스트(20)는 메모리 시스템(30)으로부터 제1 타입 응답을 수신한 후에 제1 커맨드에 대한 도어벨 정보를 클리어할 수 있다. 제1 커맨드에 대한 도어벨 정보는 제1 커맨드에 대한 처리가 완료되었는지 여부를 지시하는 정보로서, 호스트(20)는 제1 커맨드에 대한 도어벨 정보가 클리어되기 전에는 다른 커맨드를 메모리 시스템(30)에 전송할 수 없고, 제1 커맨드에 대한 도어벨 정보가 클리어된 이후에 다른 커맨드를 메모리 시스템(30)에 전송할 수 있다. 이 경우, 호스트(20)는 메모리 시스템(30)으로부터 제1 타입 응답을 수신한 후에 다른 커맨드를 바로 메모리 시스템(30)에 전송할 수 있으므로, 제1 커맨드로 인해 다른 커맨드의 처리가 지연되는 문제는 발생하지 않는다.
- [0138] 호스트(20)는 제1 커맨드에 대한 도어벨 정보를 클리어한 이후에, 제2 커맨드를 메모리 시스템(30)에 전송할 수 있다. 이때, 제2 커맨드는 제1 커맨드와 다른 커맨드로서 반드시 라이트 커맨드일 필요는 없다. 일 예로 제2 커맨드는 리드 커맨드일 수 있다.
- [0139] 이때, 메모리 시스템(30)은, 제1 데이터를 메모리 장치(32)에 저장하는 동작의 성공 또는 실패 여부를 지시하는 제2 타입 응답을 제2 커맨드에 대한 응답 메시지에 포함시켜서 전송할 수 있다. 이미 제1 커맨드에 대한 도어벨 정보가 클리어된 상태이므로, 메모리 시스템(30)이 제1 커맨드에 대한 응답 메시지를 호스트(20)에 독립적으로 전송할 수 없기 때문이다.
- [0140] 이때, 메모리 시스템(30)은 제2 커맨드에 대한 응답 메시지에 포함된 제2 타입 응답이 제1 커맨드에 대한 응답이라는 것을 지시하기 위해서, 제2 커맨드에 대한 응답 메시지에 제1 커맨드에 대응하는 태그 정보를 함께 포함시킬 수 있다.
- [0141] 호스트(20)는 제2 커맨드에 대한 응답 메시지를 메모리 시스템(30)으로부터 수신한 후, 제2 커맨드에 대한 응답 메시지에서 제2 타입 응답을 확인함으로써 제1 데이터를 메모리 장치(32)에 저장하는 동작이 성공하였는지 또는 실패하였는지를 확인할 수 있다.
- [0142] 한편, 호스트(20)가 제2 타입 응답을 메모리 시스템(30)으로부터 수신할 때, 제2 타입 응답이 제1 데이터를 메모리 장치(32)에 저장하는 동작이 성공했는지를 지시하였는지 아니면 실패했는지를 지시하였는지에 따라서 호스

트(20)와 메모리 시스템(30)의 동작이 달라질 수 있다.

- [0143] 이하, 호스트(20)가 제1 데이터를 메모리 장치(32)에 저장하는 동작이 실패했는지를 지시하는 제2 타입 응답을 메모리 시스템(30)으로부터 수신할 때의 시퀀스를 설명한다.
- [0144] 도 7 내지 도 8은 본 발명의 실시예들에 따른 메모리 시스템(30)이 제1 데이터를 메모리 장치에 저장하는 동작이 실패한 경우를 나타낸 시퀀스 다이어그램이다.
- [0145] 일 예로, 도 7에서, 메모리 시스템(30)은 호스트(20)로부터 제1 데이터를 라이트할 것을 요청하는 제1 커맨드를 수신하고, 제1 데이터를 캐시(31)에 캐싱하고, 호스트(20)에 제1 타입 응답을 전송할 수 있다. 그리고 호스트(20)는 제1 커맨드에 대한 도어벨 정보를 클리어할 수 있다.
- [0146] 이후, 메모리 시스템(30)이 캐시(31)에 캐싱된 제1 데이터를 메모리 장치(32)에 저장하는데 실패할 경우, 메모리 시스템(30)은 제1 데이터를 메모리 장치에 저장하는 동작이 실패하였다는 것을 지시하는 제2 타입 응답을 호스트(20)로 전송할 수 있다.
- [0147] 호스트(20)는 제2 타입 응답을 수신하여 제1 데이터를 메모리 장치(32)에 저장하는데 실패하였다는 것을 확인한 후에, 제1 커맨드를 메모리 시스템(30)에 재전송할 수 있다. 이때, 제1 커맨드에 대한 도어벨 정보는 클리어되었고 제1 데이터도 아직 라이트 버퍼(21)에서 삭제되지 않았으므로, 호스트(20)는 제1 커맨드를 메모리 시스템(30)에 재전송하는 것이 가능하다. 한편, 호스트(20)는 제1 커맨드를 메모리 시스템(30)에 재전송할 때 제1 커맨드에 대한 도어벨 정보를 다시 셋할 수 있다.
- [0148] 이때, 호스트(20)가 제1 커맨드를 메모리 시스템(30)에 재전송하는 동작은 메모리 시스템(30)이 제1 데이터를 메모리 장치에 저장하는 동작이 성공하였다는 것을 지시하는 제2 타입 응답을 호스트(20)로 전송할 때까지 반복적으로 실행될 수 있다.
- [0149] 다른 예로, 도 8에서, 메모리 시스템(30)은 도 7과 마찬가지로 호스트(20)로부터 제1 데이터를 라이트할 것을 요청하는 제1 커맨드를 수신하고, 제1 데이터를 캐시(31)에 캐싱하고, 호스트(20)에 제1 타입 응답을 전송할 수 있다. 그리고 호스트(20)는 제1 커맨드에 대한 도어벨 정보를 클리어할 수 있다.
- [0150] 이후, 메모리 시스템(30)이 캐시(31)에 캐싱된 제1 데이터를 메모리 장치(32)에 저장하는데 실패할 경우, 메모리 시스템(30)은 제1 데이터를 메모리 장치에 저장하는 동작이 실패하였다는 것을 지시하는 제2 타입 응답을 호스트(20)로 전송할 수 있다.
- [0151] 호스트(20)는 제2 타입 응답을 수신하여 제1 데이터를 메모리 장치(32)에 저장하는데 실패하였다는 것을 확인한 후에, 제1 커맨드를 메모리 시스템(30)에 재전송하는 대신에 새로운 제3 커맨드를 메모리 시스템(30)에 전송할 수 있다. 이때, 제1 커맨드에 대한 도어벨 정보는 이미 클리어되었으므로, 호스트(20)는 제3 커맨드를 메모리 시스템(30)에 전송할 수 있다.
- [0152] 제3 커맨드는, 제1 데이터가 캐시(31)에 캐싱된 시점이 아니라 제1 데이터를 메모리 장치(32)에 저장하는 동작이 완료된 시점에 메모리 시스템(30)이 응답할 것을 지시하는 커맨드이다. 일 예로, 제3 커맨드는, 제1 데이터에 대한 라이트 버퍼 커맨드일 수 있다. 다른 예로, 제3 커맨드는, 제1 데이터를 메모리 장치(32)에 즉시 라이트할 것을 지시하는 FUA(Force Unit Access) 속성의 라이트 커맨드일 수 있다. 이때, 제1 데이터가 라이트 버퍼(21)에서 아직 삭제되지 않았으므로 제3 커맨드는 제1 데이터를 라이트할 것을 지시할 수 있다.
- [0153] 도 9는 본 발명의 실시예들에 따른 호스트(20)가 제2 타입 응답을 수신한 후 실행하는 동작의 일 예를 나타낸 시퀀스 다이어그램이다.
- [0154] 도 9를 참조하면, 메모리 시스템(30)은 호스트(20)로부터 제1 데이터를 라이트할 것을 요청하는 제1 커맨드를 수신하고, 제1 데이터를 캐시(31)에 캐싱한 후, 호스트(20)에 제1 타입 응답을 전송할 수 있다.
- [0155] 이후, 메모리 시스템(30)이 캐시(31)에 캐싱된 제1 데이터를 메모리 장치(32)에 저장하는데 성공할 경우, 메모리 시스템(30)은 제1 데이터를 메모리 장치(32)에 저장하는 동작이 성공하였다는 것을 지시하는 제2 타입 응답을 호스트(20)로 전송할 수 있다.
- [0156] 이때, 호스트(20)는 제1 데이터를 메모리 장치에 저장하는 동작이 성공하였다는 것을 지시하는 제2 타입 응답을 메모리 시스템(30)으로부터 수신한 이후에 제1 커맨드에 대한 도어벨 정보를 클리어하고, 제1 데이터를 라이트 버퍼(21)에서 삭제할 수 있다. 따라서, 호스트(20)는 제1 데이터를 메모리 장치에 저장하는 동작이 성공하였다는 것을 지시하는 제2 타입 응답을 수신한 이후에 다른 커맨드를 메모리 시스템(30)으로 전송할 수 있다.

- [0157] 도 10은 본 발명의 실시예들에 따른 호스트(20)가 제2 타입 응답을 수신한 후 실행하는 동작의 다른 예를 나타낸 시퀀스 다이어그램이다.
- [0158] 도 10을 참조하면, 메모리 시스템(30)은 호스트(20)로부터 제1 데이터를 라이트할 것을 요청하는 제1 커맨드를 수신하고, 제1 데이터를 캐시(31)에 캐싱한 후, 호스트(20)에 제1 타입 응답을 전송할 수 있다.
- [0159] 이후, 메모리 시스템(30)이 캐시(31)에 캐싱된 제1 데이터를 메모리 장치(32)에 저장하는데 실패할 경우, 메모리 시스템(30)은 제1 데이터를 메모리 장치(32)에 저장하는 동작이 실패하였다는 것을 지시하는 제2 타입 응답을 호스트(20)로 전송할 수 있다.
- [0160] 이때, 호스트(20)는 제1 커맨드에 대한 도어벨 정보는 클리어하지 않은 상태에서 제1 데이터 전체를 메모리 시스템(30)에 재전송할 수 있다. 이때, 제1 커맨드에 대한 도어벨 정보는 아직 클리어되지 않은 상태이므로 호스트(20)가 제1 커맨드를 메모리 시스템(30)에 재전송하거나 다른 커맨드를 메모리 시스템(30)에 전송할 수는 없다.
- [0161] 제1 데이터를 메모리 시스템(30)에 재전송하기 위해서, 호스트(20)는, 제1 데이터가 전송된 상태를 확인하기 위해 호스트(20)와 메모리 시스템(30)이 서로 교환하는 전송 상태 정보를 초기화할 수 있다. 해당 전송 상태 정보를 초기화하기 위해서, 호스트(20)는 해당 전송 상태 정보를 직접 초기화하거나 또는 해당 전송 상태 정보를 초기화할 것을 메모리 시스템(30)에 지시할 수 있다.
- [0162] 일 예로, 호스트(20)는 제1 데이터 전체를 메모리 시스템(30)에 재전송하기 위해서, 메모리 시스템(30)이 호스트(20)에 전송하는 전송 준비(RTT, ready to transfer) 정보의 값과 호스트(20)가 메모리 시스템(30)에 전송하는 데이터 출력(data out) 정보의 값을 초기화할 수 있다.
- [0163] 전송 준비 정보는 메모리 시스템(30)이 호스트(20)로부터 수신할 수 있는 데이터의 크기를 나타낸다. 그리고 호스트(20)는 전송 준비 정보를 기초로 하여 메모리 시스템(30)에 라이트할 데이터를 데이터 출력 정보를 통해 메모리 시스템(30)에 전송할 수 있다. 따라서, 호스트(20)는 전송 준비 정보 및 데이터 출력 정보를 초기화함으로써 제1 데이터를 메모리 시스템(30)에 처음부터 재전송할 수 있다.
- [0164] 호스트(20)는 제1 데이터를 메모리 시스템(30)에 재전송하는 동작을 수행한 후 제1 데이터를 메모리 장치에 저장하는 동작이 성공하였다는 것을 지시하는 제2 타입 응답을 수신할 때, 제1 커맨드에 대한 도어벨 정보를 클리어하고, 제1 데이터를 라이트 버퍼(21)에서 삭제할 수 있다.
- [0165] 도 11은 본 발명의 실시예들에 따른 호스트(20)가 제2 타입 응답을 수신한 후 실행하는 동작의 또 다른 예를 나타낸 시퀀스 다이어그램이다.
- [0166] 도 11을 참조하면, 메모리 시스템(30)은 호스트(20)로부터 제1 데이터를 라이트할 것을 요청하는 제1 커맨드를 수신하고, 제1 데이터를 캐시(31)에 캐싱한 후, 호스트(20)에 제1 타입 응답을 전송할 수 있다.
- [0167] 이후, 메모리 시스템(30)이 캐시(31)에 캐싱된 제1 데이터를 메모리 장치(32)에 저장하는데 실패할 경우, 메모리 시스템(30)은 제1 데이터를 메모리 장치에 저장하는 동작이 실패하였다는 것을 지시하는 제2 타입 응답을 호스트(20)로 전송할 수 있다.
- [0168] 이때, 호스트(20)는 제1 커맨드에 대한 도어벨 정보를 클리어하고 제1 커맨드를 메모리 시스템(30)에 재전송할 수 있다. 제1 커맨드에 대한 도어벨이 클리어되었고 제1 데이터가 라이트 버퍼(21)에 유지된 상태이므로, 호스트(20)는 제1 커맨드를 메모리 시스템(30)에 재전송할 수 있다. 한편, 호스트(20)는 제1 커맨드를 메모리 시스템(30)에 재전송할 때 다시 제1 커맨드에 대한 도어벨 정보를 셋할 수 있다.
- [0169] 호스트(20)는 제1 커맨드를 메모리 시스템(30)에 재전송하는 동작을 수행하고 제1 데이터를 메모리 장치에 저장하는 동작이 성공하였다는 것을 지시하는 제2 타입 응답을 수신한 후에, 재전송한 제1 커맨드에 대한 도어벨 정보를 클리어하고 제1 데이터를 라이트 버퍼(21)에서 삭제할 수 있다.
- [0170] 도 12는 본 발명의 실시예들에 따른 시스템(10)의 동작 방법을 나타낸 도면이다.
- [0171] 도 12를 참조하면, 시스템(10)의 동작 방법은, 호스트(20)가 제1 커맨드를 메모리 시스템(30)으로 전송하는 단계(S1210)를 포함할 수 있다. 이때, 제1 커맨드는 제1 데이터를 라이트할 것을 요청하는 커맨드이다.
- [0172] 그리고 시스템(10)의 동작 방법은, 메모리 시스템(30)이 제1 타입 응답을 호스트(20)에 전송하는 단계(S1220)를 포함할 수 있다. 이때, 제1 타입 응답은 제1 데이터가 메모리 시스템(30)의 캐시(31)에 캐싱되었다는 것을 지시

한다.

- [0173] 그리고 시스템(10)의 동작 방법은, 메모리 시스템(30)이 제1 타입 응답을 호스트(20)에 전송한 이후, 제2 타입 응답을 호스트(20)에 전송하는 단계(S1230)를 포함할 수 있다. 이 때, 제2 타입 응답은 제1 데이터를 메모리 시스템(30)의 메모리 장치(32)에 저장하는 동작이 성공했는지 또는 실패했는지 여부를 지시한다.
- [0174] 그리고 시스템(10)의 동작 방법은, 호스트(20)가, 메모리 시스템(30)의 메모리 장치(32)에 제1 데이터를 저장하는 동작이 성공한 이후에, 제1 데이터를 호스트(20)의 라이트 버퍼(21)에서 삭제하는 단계(S1240)를 포함할 수 있다.
- [0175] 일 예로, 제1 커맨드에 대응하는 도어벨 정보는 호스트(20)가 제1 타입 응답을 수신할 때 클리어되고, 제2 타입 응답은 메모리 시스템(30)이 호스트(20)로부터 수신한 제2 커맨드에 대한 응답 메시지를 통해 호스트(20)로 전송될 수 있다.
- [0176] 이때, 일 예로, 시스템(10)의 동작 방법은, 제1 데이터를 메모리 장치(32)에 저장하는 동작이 실패했다는 것을 지시하는 제2 타입 응답을 호스트(20)가 수신할 때, 호스트(20)가 메모리 시스템(30)에 제1 커맨드를 재전송하는 단계를 추가로 포함할 수 있다. 다른 예로, 시스템(10)의 동작 방법은, 제1 데이터를 메모리 장치(32)에 저장하는 동작이 실패했다는 것을 지시하는 제2 타입 응답을 호스트(20)가 수신할 때, 호스트(20)가 메모리 시스템(30)에 제1 데이터를 메모리 장치(32)에 저장하는 동작이 완료된 후 응답할 것을 지시하는 제3 커맨드를 전송하는 단계를 추가로 포함할 수 있다.
- [0177] 다른 예로, 제1 커맨드에 대응하는 도어벨 정보는 호스트(20)가 제1 데이터를 메모리 장치(32)에 저장하는 동작이 성공했다는 것을 지시하는 제2 타입 응답을 수신할 때 클리어될 수 있다.
- [0178] 이때, 시스템(10)의 동작 방법은, 제1 데이터를 상기 메모리 장치에 저장하는 동작이 실패했다는 것을 지시하는 제2 타입 응답을 호스트(20)가 수신할 때, 호스트(20)가 제1 데이터를 전부 메모리 시스템(30)에 재전송하는 단계를 추가로 포함할 수 있다.
- [0179] 또 다른 예로, 시스템(10)의 동작 방법은, 제1 데이터를 메모리 장치(32)에 저장하는 동작이 실패했다는 것을 지시하는 제2 타입 응답을 호스트(20)가 수신할 때, 호스트(20)가 제1 커맨드에 대응하는 도어벨 정보를 클리어하고 메모리 시스템(30)에 제1 커맨드를 재전송하는 단계를 추가로 포함할 수 있다.
- [0180] 도 13는 본 발명의 실시예들에 따른 컴퓨팅 시스템(1300)의 구성도이다.
- [0181] 도 13을 참조하면, 본 발명의 실시예들에 따른 컴퓨팅 시스템(1300)은 시스템 버스(1360)에 전기적으로 연결되는 시스템(10), 컴퓨팅 시스템(1300)의 전반적인 동작을 제어하는 중앙처리장치(CPU, 1310), 컴퓨팅 시스템(1300)의 동작과 관련한 데이터 및 정보를 저장하는 램(RAM, 1320), 사용자에게 사용 환경을 제공하기 위한 UI/UX (User Interface/User Experience) 모듈(1330), 외부 장치와 유선 및/또는 무선 방식으로 통신하기 위한 통신 모듈(1340), 컴퓨팅 시스템(1300)이 사용하는 파워를 관리하는 파워 관리 모듈(1350) 등을 포함할 수 있다.
- [0182] 컴퓨팅 시스템(1300)은 PC(Personal Computer)이거나, 스마트 폰, 태블릿 등의 모바일 단말, 또는 각종 전자 기기 등을 포함할 수 있다.
- [0183] 컴퓨팅 시스템(1300)은, 동작 전압을 공급하기 위한 배터리를 더 포함할 수 있으며, 응용 칩셋(Application Chipset), 그래픽 관련 모듈, 카메라 이미지 프로세서(Camera Image Processor), 디램 등을 더 포함할 수도 있다. 이외에도, 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- [0184] 한편, 시스템(10)은, 하드 디스크 드라이브(HDD: Hard Disk Drive)와 같이 자기 디스크에 데이터를 저장하는 장치뿐 아니라, 솔리드 스테이트 드라이브(SSD: Solid State Drive), UFS(Universal Flash Storage) 장치, eMMC(embedded MMC) 장치 등과 같이 비휘발성 메모리에 데이터를 저장하는 장치 등을 포함할 수 있다. 비휘발성 메모리는 ROM(Read Only Memory), PROM(Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM(Electrically Erasable and Programmable ROM), 플래시 메모리, PRAM(Phase-change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), FRAM(Ferroelectric RAM) 등을 포함할 수 있다. 이뿐만 아니라, 시스템(10)은 다양한 형태의 저장 장치로 구현되어, 다양한 전자 기기 내에 탑재될 수 있다.
- [0185] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가

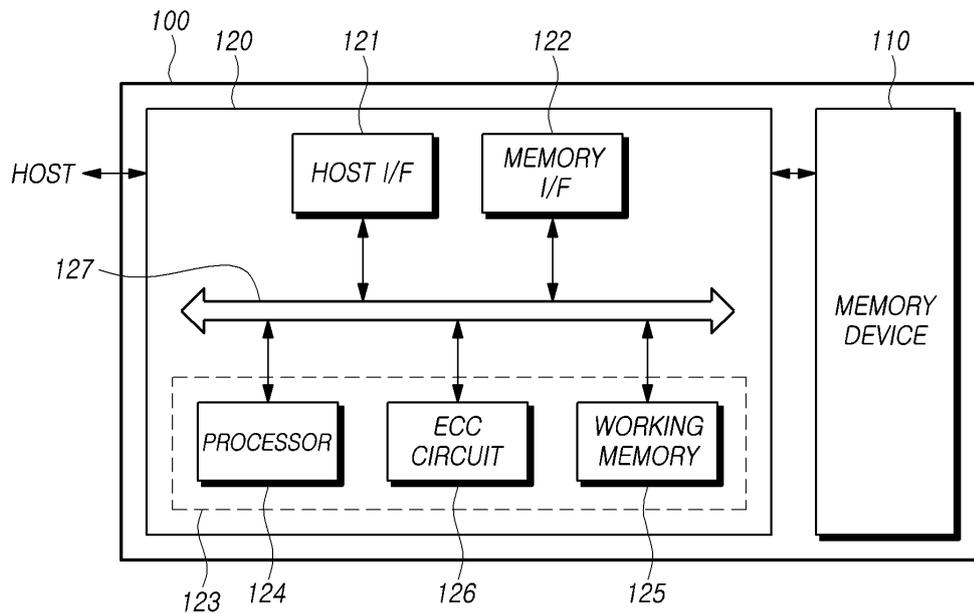
능할 것이다. 또한, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이므로 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

- 100: 메모리 시스템 110: 메모리 장치
- 120: 메모리 컨트롤러 121: 호스트 인터페이스
- 122: 메모리 인터페이스 123: 제어 회로
- 124: 프로세서 125: 워킹 메모리
- 126: 에러 검출 및 정정 회로
- 210: 메모리 셀 어레이 220: 어드레스 디코더
- 230: 리드 앤 라이트 회로 240: 제어 로직
- 250: 전압 생성 회로
- 10: 시스템 20: 호스트
- 21: 라이트 버퍼 31: 캐시

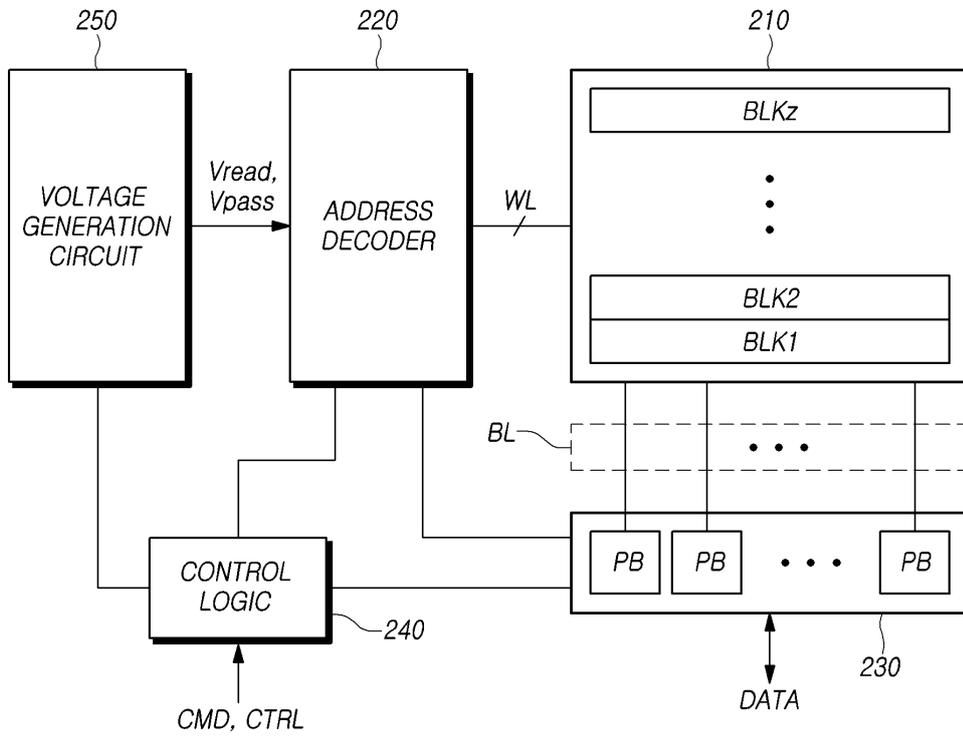
도면

도면1

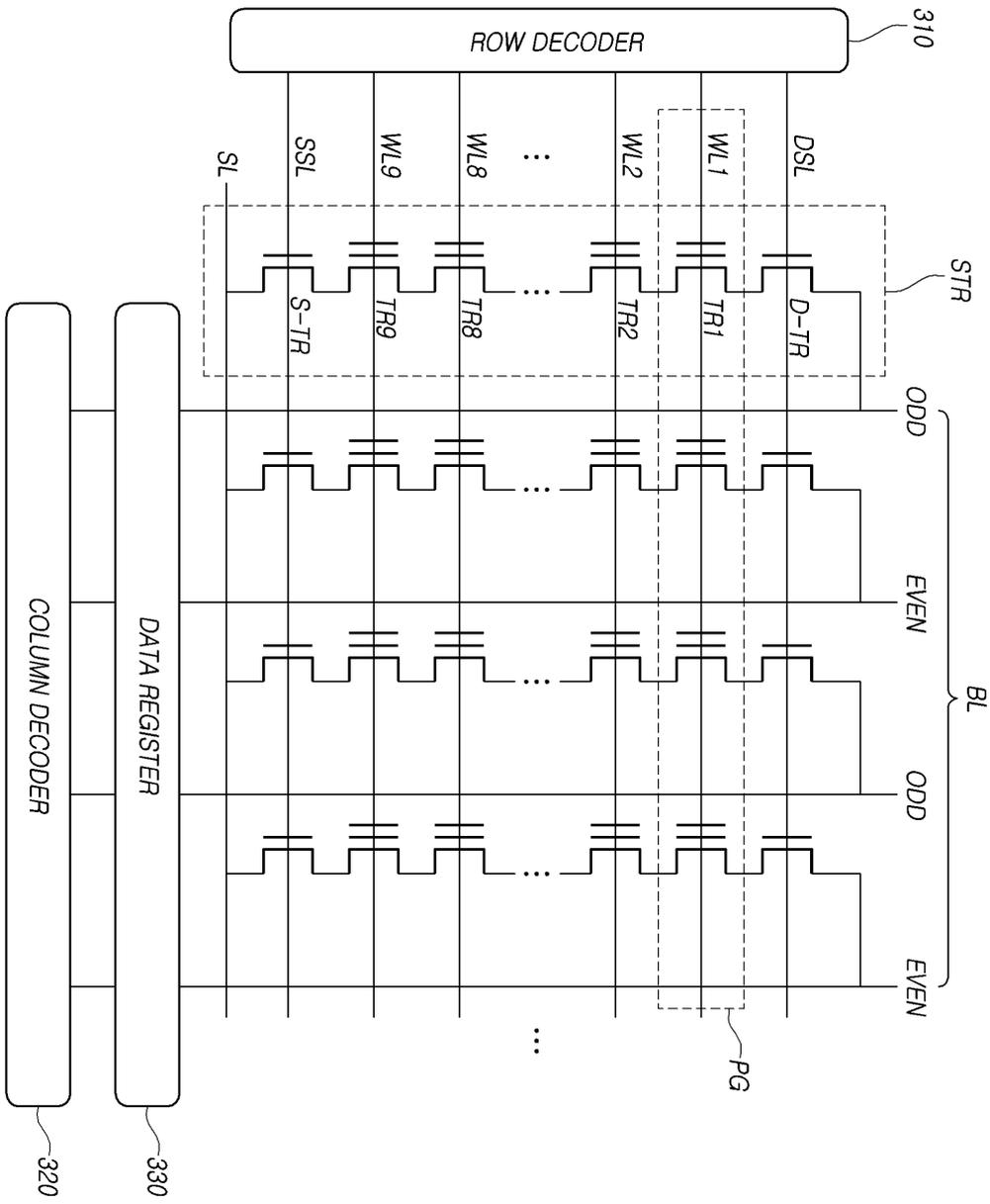


도면2

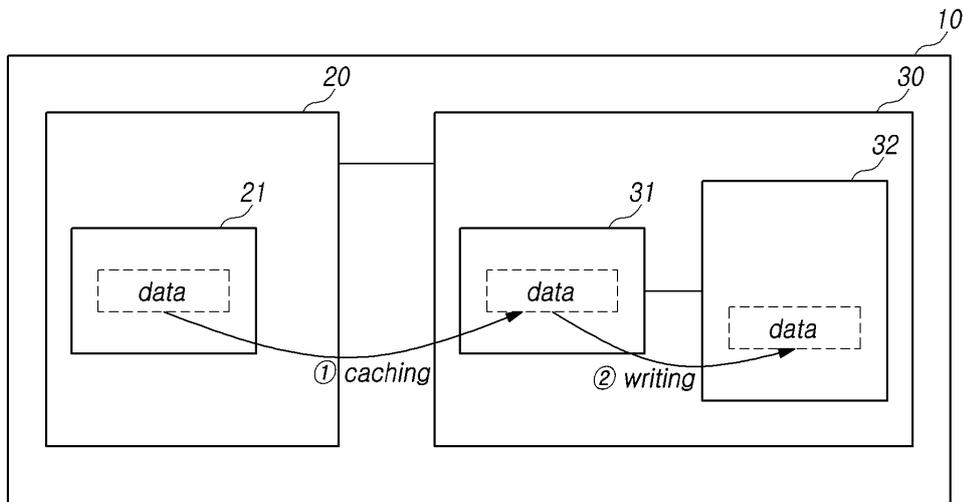
110



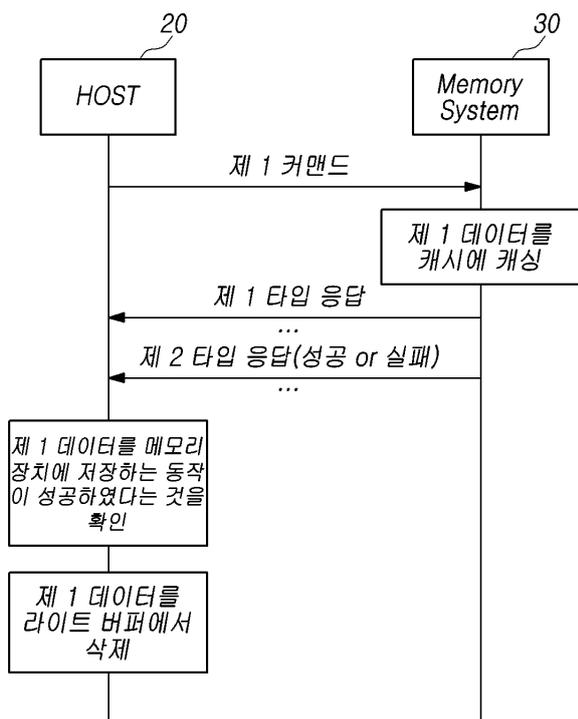
도면3



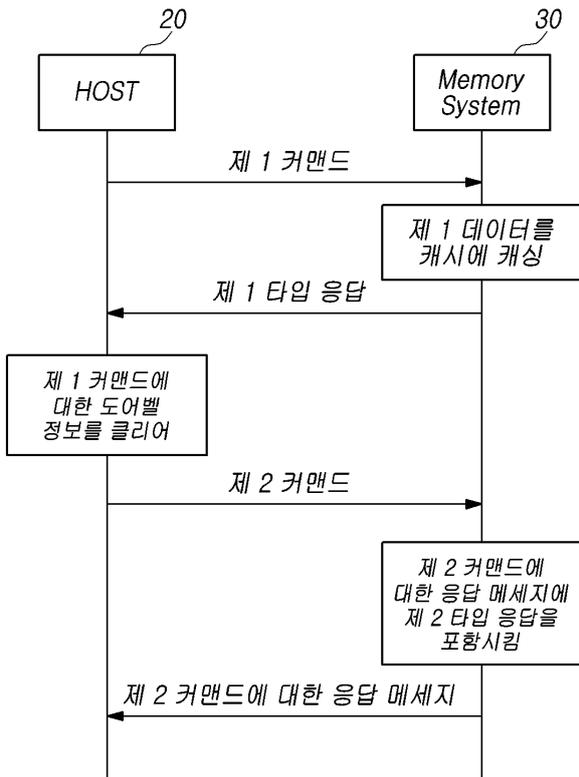
도면4



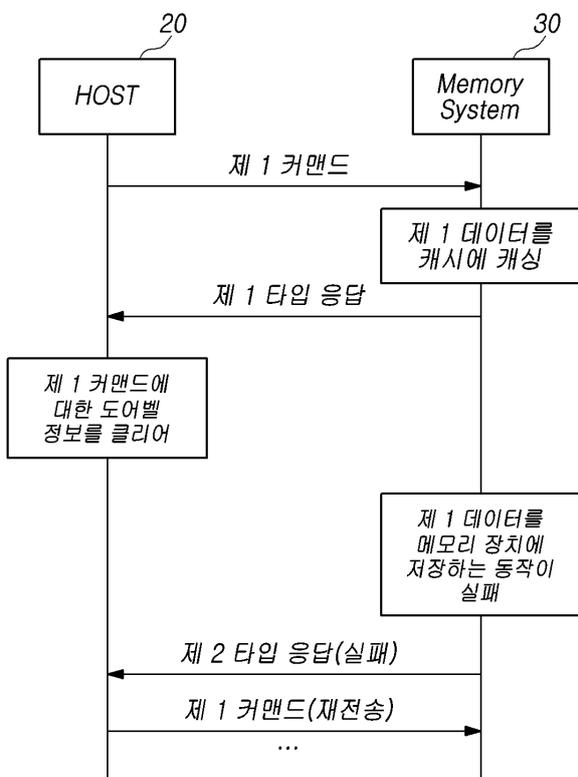
도면5



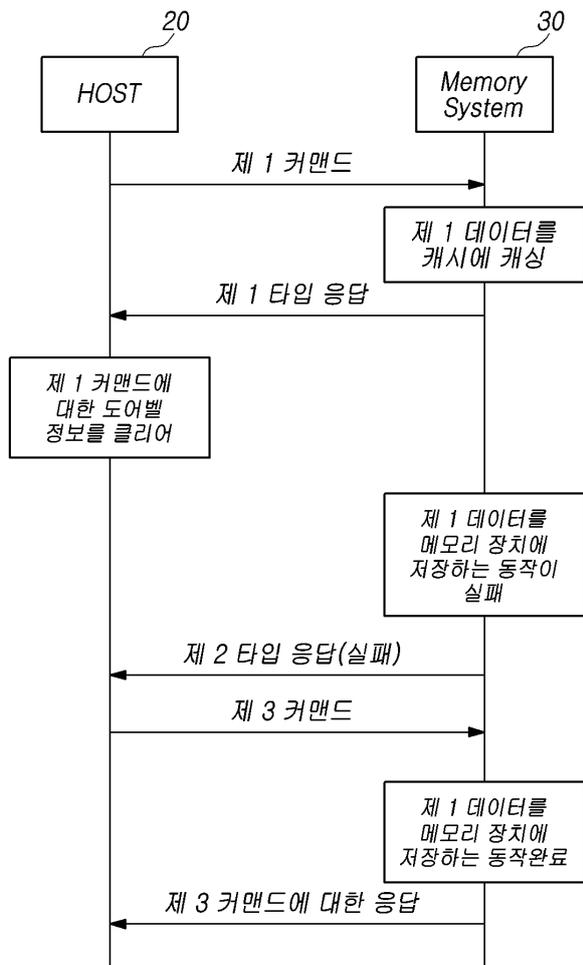
도면6



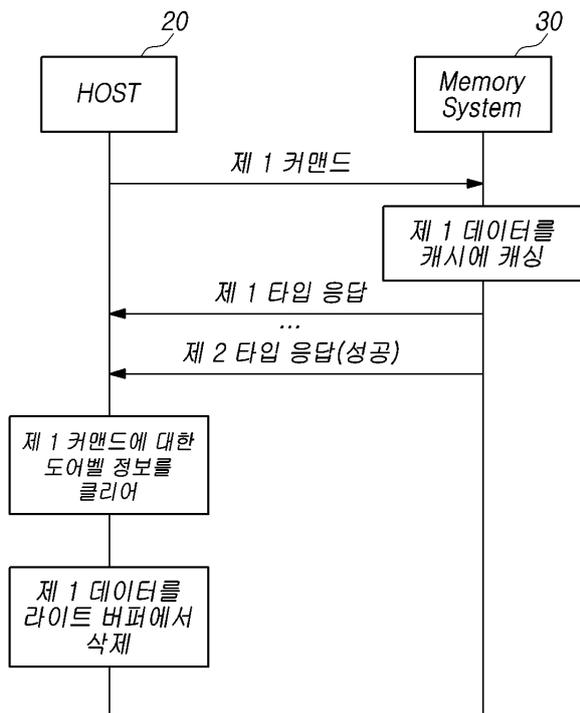
도면7



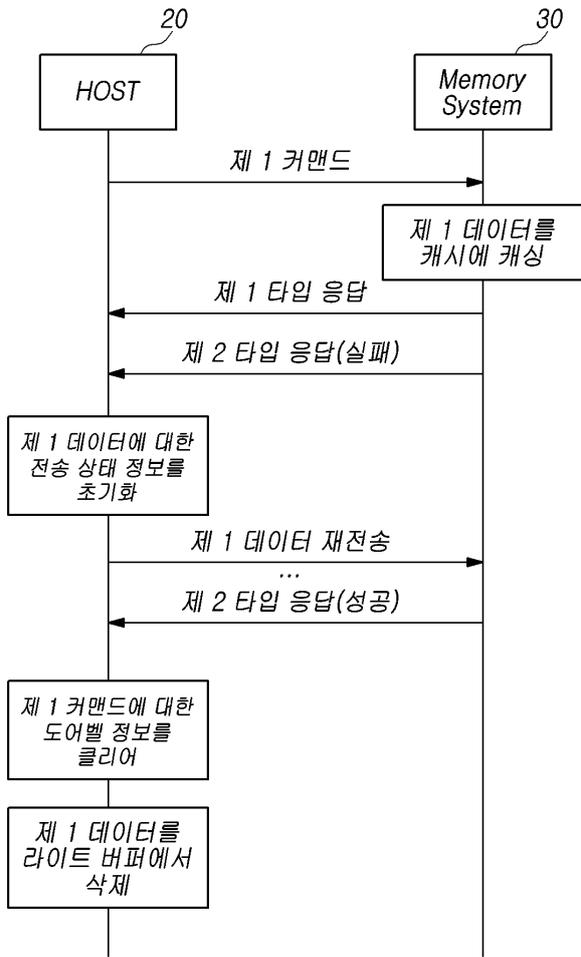
도면8



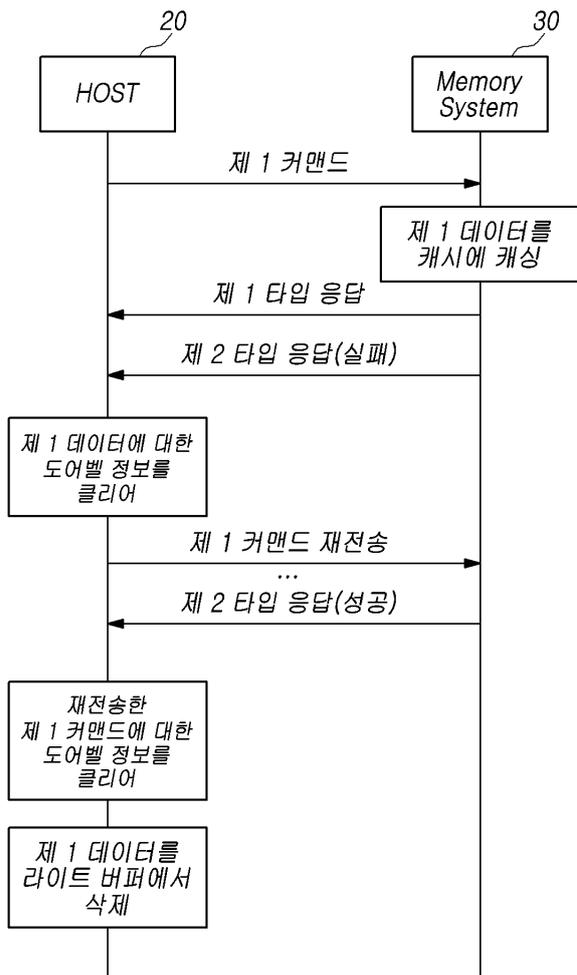
도면9



도면10



도면11



도면12



도면13

