



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년07월18일  
 (11) 등록번호 10-1879328  
 (24) 등록일자 2018년07월11일

(51) 국제특허분류(Int. Cl.)  
 H03M 1/38 (2006.01) H03M 1/12 (2006.01)  
 (52) CPC특허분류  
 H03M 1/38 (2013.01)  
 H03M 1/1245 (2013.01)  
 (21) 출원번호 10-2017-0029312  
 (22) 출원일자 2017년03월08일  
 심사청구일자 2017년03월08일  
 (56) 선행기술조사문헌  
 KR101512098 B1\*  
 KR101666575 B1\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 충북대학교 산학협력단  
 충청북도 청주시 서원구 충대로 1 (개신동)  
 (72) 발명자  
 양병도  
 대전광역시 서구 둔산남로 127(둔산동, 목련아파트) 302동 801호  
 우기찬  
 충청북도 청주시 흥덕구 풍년로 56 805동 801호  
 (가경동,가경뜨란채8차아파트)  
 (뒷면에 계속)  
 (74) 대리인  
 추혁

전체 청구항 수 : 총 4 항

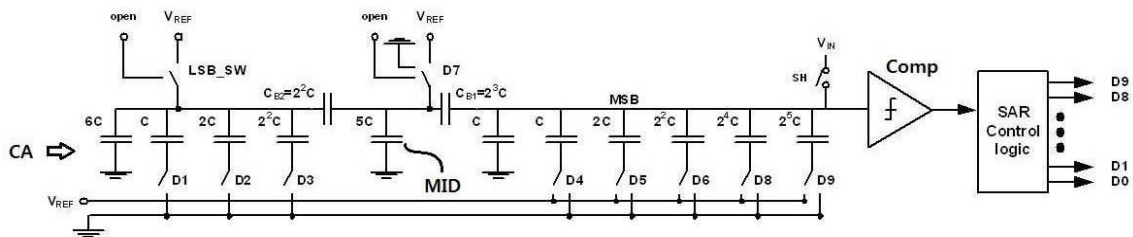
심사관 : 유선중

(54) 발명의 명칭 이중 분리형 단조 연속 근사 아날로그 디지털 변환기

(57) 요약

본 발명은 이중 분리형 단조 연속 근사 아날로그 디지털 변환기에 관한 것으로서, 연속 근사 레지스터(SAR) 제어 로직에 의해 스위칭 제어에 대응하여 입력신호인 제1입력신호(V<sub>ip</sub>)와 제2입력신호(V<sub>in</sub>)를 입력받아 샘플 동작 및 홀드 동작을 수행하는 샘플 홀드부와, 샘플 홀드 시간동안 제1입력신호와 제2입력신호에 대해 각각에 대응되는 (뒷면에 계속)

대표도



출력 전압값인 제1출력신호와 제2출력신호로 생성하며, 2개의 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ )를 이용하여 상위비트 또는 하위비트를 결정하기 위한 커패시터 어레이를 2단 구조로 형성한 커패시터 어레이와, 샘플 홀드부와 연동되어 상위비트 또는 하위비트를 결정하는 스위치(S7, LSB\_SW)와, 제1출력신호와 제2출력신호의 크기를 비교하여 비교결과에 따라 디지털 값을 출력하는 비교기와, 디지털 값에 대응하여 최종 디지털 코드값을 결과 신호로 출력하는 연속 근사 레지스터 제어 로직을 포함한다. 본 발명에 따르면, 이중 분리형과 단조를 조합하여 커패시터 개수 감소, 에너지 효율 향상, 커패시터 크기 구현 가능, 정확도 향상 등의 효과를 기대할 수 있다.

(52) CPC특허분류

H03M 2201/62 (2013.01)

H03M 2201/8152 (2013.01)

(72) 발명자

**김태우**

경기도 파주시 번영로 55 111동 2004호 (금촌동, 새  
꽃마을아파트)

**황선광**

충청남도 서천군 비인면 비인로 196

**김미정**

충청남도 금산군 제원면 제원1길 25

이 발명을 지원한 국가연구개발사업

과제고유번호 2015R1D1A3A01017756

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 기초연구사업

연구과제명 복합 센서 측정을 위한 초저전압 회로 개발

기 여 율 1/1

주관기관 충북대학교 산학협력단

연구기간 2015.06.01 ~ 2017.05.31

## 명세서

### 청구범위

#### 청구항 1

연속 근사 레지스터(SAR) 제어 로직에 의해 스위칭 제어에 대응하여 입력신호인 제1입력신호( $V_{ip}$ )와 제2입력신호( $V_{in}$ )를 입력받아 샘플 동작 및 홀드 동작을 수행하는 샘플 홀드부; 샘플 홀드 시간동안 제1입력신호와 제2입력신호에 대해 각각에 대응되는 출력 전압값인 제1출력신호와 제2출력신호로 생성하며, 2개의 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ )를 이용하여 상위비트 또는 하위비트를 결정하기 위한 커패시터 어레이를 2단 구조로 형성한 커패시터 어레이; 상기 샘플 홀드부와 연동되어 상기 상위비트 또는 상기 하위비트를 결정하는 스위치(S7, LSB\_SW); 상기 제1출력신호와 제2출력신호의 크기를 비교하여 비교결과에 따라 디지털 값을 출력하는 비교기; 및 디지털 값에 대응하여 최종 디지털 코드값을 결과 신호로 출력하는 연속 근사 레지스터 제어 로직을 포함하고,

상기 커패시터 어레이는, 상기 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ ) 및 스위치(S7, LSB\_SW)에 의해 결정되는 상위 커패시터 어레이와 하위 커패시터 어레이를 포함하고,

상기 상위 커패시터 어레이 및 하위 커패시터 어레이 각각은, 상위비트를 결정하는 제1커패시터부와, 하위비트를 결정하는 제2커패시터부와, 상기 제1커패시터부와 제2커패시터부 사이에 병렬접속된 중간커패시터(MID)를 포함하며,

상기 스위치(S7)은 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ ) 및 중간커패시터(MID)에 일단이 접속되어 있으며, 상위비트에서 레퍼런스 또는 접지에 접속되고, 하위비트에서 개방(OPEN)되며,

상기 스위치( LSB\_SW)는 제2커패시터부에 일단이 접속되어 있으며, 상위비트에서 레퍼런스 또는 접지에 타단이 접속되고, 하위비트에서 개방되는 이중 분리형 단조 연속 근사 아날로그 디지털 변환기.

#### 청구항 2

삭제

#### 청구항 3

삭제

#### 청구항 4

제1항에 있어서,

상기 제1커패시터부 및 제2커패시터부 각각은, 병렬 연결된 복수의 커패시터를 포함하며, 복수의 커패시터는 레퍼런스 전압 또는 접지되는 바닥 스위치에 일단이 접속되고 타단은 비교기에 접속되는 이중 분리형 단조 연속 근사 아날로그 디지털 변환기.

#### 청구항 5

제4항에 있어서,

상기 제1커패시터부와 제2커패시터부의 비율은  $N:N$ ,  $N:N-1$ ,  $N:N-2$ ,  $\dots$ ,  $N:1$  중에서 어느 하나인 이중 분리형 단조 연속 근사 아날로그 디지털 변환기.

#### 청구항 6

제1항에 있어서,

상기 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ )와 제1커패시터부 및 제2커패시터부 각각은 배수관계를 갖는 이중 분리형 단조 연속 근사 아날로그 디지털 변환기.

**청구항 7**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 아날로그 디지털 변환기에 관한 것으로, 더욱 상세하게는 에너지 효율이 좋은 기존 단조 연속 근사 아날로그 디지털 변환기의 커패시터 개수를 줄일 수 있도록 분리형 기법을 조합하는 이중 분리형 단조 연속 근사 아날로그 디지털 변환기에 관한 것이다.

**배경 기술**

[0002] 기존의 단조 연속 근사 아날로그 디지털 변환기(monotonic successive approximation register analog to digital converter : MSAR ADC)는 비트(N)당  $2^{N-1}$ 의 커패시터 개수가 필요하다. 따라서 10 bit의 경우 512개의 커패시터가 필요하며, 1비트 증가할수록 설계 면적이 크게 증가하게 된다. 하지만, 기존의 연속 근사 아날로그 디지털 변환기에 비해 에너지효율이 좋다는 장점이 있다.

[0003] 한편, 기존의 분리형 연속 근사 아날로그 디지털 변환기(Split successive approximation register analog to digital converter : Split SAR ADC)는 브릿지 커패시터(bridge capacitance)를 통해서 적은 개수의 커패시터 만으로도 고해상도의 아날로그 디지털 변환이 가능하다. 그러나 브릿지 커패시터의 크기(용량크기)를 정확히 조절하기 어렵기 때문에, 하위비트영역에서의 오차가 커지는 문제가 있다. 예를 들어, 10 bit의 분리형 연속 근사 아날로그 디지털 변환기에서 기본적인 커패시터의 크기를 100 fF으로 설정하면 브릿지 커패시터의 크기가 103.2 ...fF이 되는데, 이것은 현재의 공정으로 정확히 구현하기가 불가능하다. 따라서 브릿지 커패시터의 공정오차범 위에 따라 하위비트의 정확도가 결정되며, 하위비트에서의 정확도를 향상시키기 위해서는 보정회로가 추가되어야 한다.

**선행기술문헌**

**특허문헌**

[0004] (특허문헌 0001) 대한민국 공개특허공보 제2013-0045803호(공개일 2013.05.06.), "다중 비트 연속 근사 아날로그-디지털 변환"

**발명의 내용**

**해결하려는 과제**

[0005] 따라서, 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 이루어진 것으로서, 본 발명의 목적은 추가된 2 개의 브릿지 커패시터의 크기를 자연수로 구현한 분리형 기법을 조합함으로써 분리형 기법의 문제점 해결 및 커패시터 개수의 감소시킬 수 있도록 하는 이중 분리형 단조 연속 근사 아날로그 디지털 변환기를 제공하는데 있다.

**과제의 해결 수단**

[0006] 상기와 같은 목적을 달성하기 위한 본 발명의 이중 분리형 단조 연속 근사 아날로그 디지털 변환기는, 연속 근사 레지스터(SAR) 제어 로직에 의해 스위칭 제어에 대응하여 입력신호인 제1입력신호( $V_{ip}$ )와 제2입력신호( $V_{in}$ )를 입력받아 샘플 동작 및 홀드 동작을 수행하는 샘플 홀드부; 샘플 홀드 시간동안 제1입력신호와 제2입력신호에 대해 각각에 대응되는 출력 전압값인 제1출력신호와 제2출력신호로 생성하며, 2개의 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ )를

이용하여 상위비트 또는 하위비트를 결정하기 위한 커패시터 어레이를 2단 구조로 형성한 커패시터 어레이; 상기 샘플 홀드부와 연동되어 상기 상위비트 또는 상기 하위비트를 결정하는 스위치(S7, LSB\_SW); 상기 제1출력신호와 제2출력신호의 크기를 비교하여 비교결과에 따라 디지털 값을 출력하는 비교기; 및 디지털 값에 대응하여 최종 디지털 코드값을 결과 신호로 출력하는 연속 근사 레지스터 제어 로직을 포함하는 것을 특징으로 한다.

[0007] 이 때, 상기 커패시터 어레이는, 상기 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ ) 및 스위치(S7, LSB\_SW)에 의해 결정되는 상위 커패시터 어레이와 하위 커패시터 어레이를 포함한다. 상기 상위 커패시터 어레이 및 하위 커패시터 어레이 각각은, 상위비트를 결정하는 제1커패시터부와, 하위비트를 결정하는 제2커패시터부와, 상기 제1커패시터부와 제2커패시터부 사이에 병렬접속된 중간커패시터(MID)를 포함한다. 상기 제1커패시터부 및 제2커패시터부 각각은, 병렬 연결된 복수의 커패시터를 포함하며, 복수의 커패시터는 레퍼런스 전압 또는 접지되는 바닥 스위치에 일단이 접속되고 타단은 비교기에 접속된다. 상기 제1커패시터부와 제2커패시터부의 비율은 N:N, N:N-1, N:N-2, ..., N:1 중에서 어느 하나이다. 그리고, 상기 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ )와 제1커패시터부 및 제2커패시터부 각각은 배수관계를 갖는다.

[0008] 한편, 상기 스위치(S7)은 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ ) 및 중간커패시터(MID)에 일단이 접속되어 있으며, 상위비트에서 레퍼런스 또는 접지에 접속되고, 하위비트에서 개방(OPEN)되며, 상기 스위치(LSB\_SW)는 제2커패시터부에 일단이 접속되어 있으며, 상위비트에서 레퍼런스 또는 접지에 타단이 접속되고, 하위비트에서 개방된다.

**발명의 효과**

[0009] 상술한 바와 같이, 본 발명에 의한 이중 분리형 단조 연속 근사 아날로그 디지털 변환기에 따르면, 추가된 2개의 브릿지 커패시터의 크기를 자연수로 구현하여 분리형 기법의 문제점을 해결하고, 동시에 기존 단조 연속 근사 아날로그 디지털 변환기의 전체적인 커패시터 개수도 감소시킬 수 있으므로, 에너지 효율을 향상시킴과 아울러 설계 면적을 감소시킬 수 있다.

[0010] 또한, 커패시터의 크기를 현재 공정으로 정확히 구현할 수 있을 뿐 아니라, 추가적인 보정회로의 필요 없이 정확도를 향상시킬 수 있다.

[0011] 즉, 본 발명은 이중 분리형과 단조를 조합하여 커패시터 개수 감소, 에너지 효율 향상, 커패시터 크기 구현 가능, 정확도 향상 등의 효과를 기대할 수 있다.

**도면의 간단한 설명**

- [0012] 도 1은 기존의 단조 연속 근사 아날로그 디지털 변환기의 회로도이다.
- 도 2는 기존의 단조 연속 근사 아날로그 디지털 변환기의 동작을 나타낸 파형도이다.
- 도 3은 기존의 분리형 연속 근사 아날로그 디지털 변환기의 회로도이다.
- 도 4는 본 발명의 일 실시예에 의한 이중 분리형 단조 연속 근사 아날로그 디지털 변환기의 회로도이다.
- 도 5는 본 발명의 상위비트 회로도이다.
- 도 6은 본 발명의 상위비트 동작 파형도이다.
- 도 7은 본 발명의 하위비트 회로도이다.
- 도 8 내지 도 11은 본 발명의 하위비트 커패시터 값 변화 및 전압 변화 과정을 나타낸 개념도이다.
- 도 12는 본 발명의 하위비트 동작 설명도이다.

**발명을 실시하기 위한 구체적인 내용**

[0013] 이하에서는 본 발명의 바람직한 실시예 및 첨부하는 도면을 참조하여 본 발명을 상세히 설명하되, 도면의 동일한 참조부호는 동일한 구성요소를 지칭함을 전제하여 설명하기로 한다.

[0014] 상기한 바와 같이, 기존의 단조 연속 근사 아날로그 디지털 변환기는 비트 증가에 따라 커패시터 개수가 증가하고 설계 면적이 증가하는 문제가 있다. 한편, 분리형 연속 근사 아날로그 디지털 변환기는 브릿지 커패시터의 크기는 현재의 공정기술로 정확한 구현이 불가능하며, 브릿지 커패시터의 공정 오차에 따라 하위비트에서의 오차가 발생하게 되는 문제가 있다.

[0015] 이에 본 발명에서는 이중 분리형(Double split) 기법과 단조(Monotonic) 기법을 조합하여 2개의 브릿지 커패시터의 값을 자연수로 만들고 에너지 효율 또한 향상시키면서 동시에 커패시터 개수를 감소시키고자 한다. 즉, 본 발명에서는 기존의 에너지 효율이 좋은 단조 연속 근사 아날로그 디지털 변환기에 대해 커패시터 개수를 줄일 수 있는 이중 분리형 기법을 조합한다. 추가된 2개의 브릿지 커패시터의 크기를 자연수로 구현하여 분리형 기법의 문제점을 해결하고, 동시에 단조 연속 근사 아날로그 디지털 변환기의 전체적인 커패시터 개수도 줄인다. 그 결과 에너지 효율을 향상시키고, 설계 면적을 감소시킬 수 있다. 또한, 커패시터 크기를 현재 공정으로 정확히 구현할 수 있으며, 추가적인 보정회로의 필요 없이 정확도를 향상시킬 수 있다.

[0016] 먼저, 기존 기술에 대해 설명한 후, 본 발명의 이중 분리형 단조 연속 근사 아날로그 디지털 변환기에 대해 설명하기로 한다.

[0017] 도 1은 기존의 단조 연속 근사 아날로그 디지털 변환기의 회로도이다.

[0018] 도 1을 참조하면, 기존의 단조 연속 근사 아날로그 디지털 변환기로서, 10 bit를 예시하고 있다.

[0019] 기존의 단조 연속 근사 아날로그 디지털 변환기는 비교기, 커패시터, 샘플링 홀드 스위치(SH)로 구성되어 있다. 커패시터의 일단에 형성된 바닥 스위치(D<sub>p0</sub> ~ D<sub>p8</sub>, D<sub>n0</sub> ~ D<sub>n8</sub>)는 V<sub>REF</sub> 또는 GND(접지)에 접속된다. 커패시터는 비교기의 비반전 단자(+)와 반전 단자(-)에 각각 256(2<sup>N-2</sup>)개의 커패시터가 달려 있으며, 10 bit의 총 512(2<sup>N-1</sup>)개의 커패시터가 필요하게 된다. 만약 여기에 1 bit를 증가시킬 경우, 즉 11 bit를 만들 경우 총 1024개의 커패시터가 필요하게 된다.

[0020] 도 2는 기존의 단조 연속 근사 아날로그 디지털 변환기의 동작을 나타낸 파형도이다.

[0021] 도 2를 참조하면, 샘플링 홀드(SH) 시간동안 커패시터의 일단에 형성된 바닥 스위치들은(D<sub>p0</sub> ~ D<sub>p8</sub>, D<sub>n0</sub> ~ D<sub>n8</sub>) 모두 V<sub>REF</sub>에 접속되고 비교기의 비반전 단자(+)와 반전 단자(-)에 각각 V<sub>IN,P</sub>과 V<sub>IN,N</sub>이 충전된다. 비교기의 비반전 단자(+)와 반전 단자(-)에 전압이 충전된 후에 비교기가 두 값을 비교하고 그 결과('1')를 D<sub>9</sub>에 저장한다. 그 후 비교기의 비반전 단자(+)의 전압이 반전 단자(-)의 전압보다 크기 때문에 D<sub>p8</sub> 스위치는 GND에 연결되고 비교기의 비반전 단자(+)의 전압은 V<sub>REF</sub>/2 만큼의 전압이 감소하게 된다. 그리고 비교기가 두 값을 비교한다. 그 결과 비교기의 비반전 단자(+)의 전압이 반전 단자(-)의 전압보다 크기 때문에 D<sub>8</sub>은 '1'을 저장한다. 그러면 D<sub>p7</sub> 스위치는 GND에 연결되고 비교기의 비반전 단자(+)의 전압은 V<sub>REF</sub>/2<sup>2</sup> 만큼 감소하고 비교기가 두 값을 비교한다. 그 다음에는 비교기의 비반전 단자(+)의 전압이 반전 단자(-)의 전압보다 크기 때문에, D<sub>7</sub>에 '0'이라는 값이 저장되고, D<sub>n6</sub> 스위치가 GND에 연결되고 비교기의 반전 단자(-)의 전압이 V<sub>REF</sub>/2<sup>3</sup> 만큼 감소하게 된다. 같은 방식으로 D<sub>0</sub>까지 계산한다. 이와 같이, 비교기의 비반전 단자(+) 또는 반전 단자(-)의 전압이 감소하는 한쪽방향으로 움직인다. 이에 이러한 아날로그 디지털 변환기를 단조 연속 근사 아날로그 디지털 변환기라 한다.

[0022] 도 3은 기존의 분리형 연속 근사 아날로그 디지털 변환기의 회로도이다.

[0023] 도 3을 참조하면, 기존의 분리형 연속 근사 아날로그 디지털 변환기로서, 10 bit를 예시하고 있다.

[0024] 기존의 분리형 연속 근사 아날로그 디지털 변환기는 상위비트(MSB) 5 bit와 하위비트(LSB) 5 bit를 하나의 브릿지 커패시터(Bridge capacitance)로 분리시키고, 각각의 분리된 영역에서 하위비트(LSB) 5 bit(D<sub>0</sub>-D<sub>4</sub>)와 상위비트(MSB) 5 bit(D<sub>5</sub>-D<sub>9</sub>)를 결정한다. 이 때, 가장 중요한 것은 두 영역을 분리시킨 브릿지 커패시터의 크기(용량크기)이다. 도 1에서와 같이 상위 비트 영역에서 바라본 하위 비트 영역의 총 커패시터의 크기는 1C여야 한다. 브릿지 커패시터의 크기를 C<sub>B</sub>라 할 때,

$$C_B = \frac{32C \cdot C_B}{32C + C_B} = 1C$$

[0025]

[0026] 의 관계식이 성립하고, C<sub>B</sub>=(32/31)C 가 된다. 따라서 공정으로 정확히 구현하기가 불가능하며, 브릿지 커패시터의 공정오차에 따라 하위비트에서의 오차가 발생하게 된다.

- [0027] 도 4는 본 발명의 일 실시예에 의한 이중 분리형 단조 연속 근사 아날로그 디지털 변환기의 회로도이다.
- [0028] 여기서, 도 4는 비교기의 일측단자(비반전단자 또는 반전단자)에 접속되는 이중 분리형 단조 연속 근사 아날로그 디지털 변환기(Double split monotonic successive approximation register analog to digital converter)의 일측만 도시하고 있으며, 대칭되는 회로가 타측단자에 접속된다. 도 4의 회로도는 비교기의 반전단자에 접속되는 회로도를 도시하고 있다.
- [0029] 도 4를 참조하면, 본 발명의 이중 분리형 단조 연속 근사 아날로그 디지털 변환기는, 연속 근사 레지스터(SAR) 제어 로직(Control logic)에 의해 스위칭 제어에 대응하여 입력신호인 제1입력신호( $V_{ip}$ )와 제2입력신호( $V_{in}$ )를 입력받아 샘플 동작 및 홀드 동작을 수행하는 샘플 홀드부(SH 스위치)(SH)와, 샘플 홀드 시간동안 제1입력신호와 제2입력신호에 대해 각각에 대응되는 출력 전압값인 제1출력신호와 제2출력신호로 생성하며, 2개의 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ )를 이용하여 상위비트 또는 하위비트를 결정하기 위한 커패시터 어레이를 2단 구조로 형성한 커패시터 어레이(CA)와, 샘플 홀드부와 연동되어 상기 상위비트 또는 상기 하위비트를 결정하는 스위치( $S7$ ,  $LSB\_SW$ )와, 제1출력신호와 제2출력신호의 크기를 비교하여 비교결과에 따라 디지털 값을 출력하는 비교기(Comp)와, 디지털 값에 대응하여 최종 디지털 코드값을 결과 신호로 출력하는 SAR 제어 로직을 포함한다.
- [0030] 이 때, 커패시터 어레이(CA)는, 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ ) 및 스위치( $S7$ ,  $LSB\_SW$ )에 의해 결정되는 상위 커패시터 어레이와 하위 커패시터 어레이를 포함한다.
- [0031] 또한, 상위 커패시터 어레이 및 하위 커패시터 어레이 각각은, 상위비트를 결정하는 제1커패시터부와, 하위비트를 결정하는 제2커패시터부와, 제1커패시터부와 제2커패시터부 사이에 병렬접속된 중간커패시터(MID)를 포함한다. 이 때, 제1커패시터부 및 제2커패시터부 각각은 병렬 연결된 복수의 커패시터를 포함하며, 복수의 커패시터는 레퍼런스 전압 또는 접지되는 바닥 스위치에 일단이 접속되고 타단은 비교기(Comp)에 접속된다.
- [0032] 일례로서, 제1커패시터부(상위비트)는 6개의 커패시터로 구성되며, 제2커패시터부(하위비트)는 3개의 커패시터로 구성될 수 있다. 이 때, 브리지 커패시터( $C_{B1}$ )는  $2^3C$ 이고, 브리지 커패시터( $C_{B2}$ )는  $2^2C$ 다. 즉, 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ )의 용량크기는 자연수이다. 한편, 제1커패시터부와 제2커패시터부의 비율은  $N:N$ ,  $N:N-1$ ,  $N:N-2$ , ...,  $N:1$  중에서 어느 하나가 선택될 수 있다. 이 때, 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ )와 제1커패시터부 및 제2커패시터부 각각은 배수관계를 갖는다. 이에 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ )의 용량크기는 자연수 중 어느 하나의 크기로 할 수 있다.
- [0033] 한편, 스위치( $S7$ )는 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ ) 및 중간커패시터(MID)에 일단이 접속되어 있으며, 상위비트에서 레퍼런스 또는 접지에 타단이 접속되고, 하위비트에서 개방(OPEN)되며, 스위치( $LSB\_SW$ )는 제2커패시터부에 일단이 접속되어 있으며, 상위비트에서 레퍼런스 또는 접지에 타단이 접속되고, 하위비트에서 개방(OPEN)된다.
- [0034] 이와 같이 구성된 본 발명의 이중 분리형 단조 연속 근사 아날로그 디지털 변환기는, 상위비트 결정하는 부분과 하위비트를 결정하는 부분을 2개의 브리지 커패시터( $C_{B1}$ ,  $C_{B2}$ ) 및 스위치( $S7$ ,  $LSB\_SW$ )를 통해서 나눈다.  $S7$  스위치와  $LSB\_SW$  스위치가 닫히면 상위비트를 결정하는 연속 근사 아날로그 디지털 변환기가 되며,  $S7$  스위치와  $LSB\_SW$  스위치가 개방(OPEN)되면 하위비트를 결정하는 연속 근사 아날로그 디지털 변환기가 된다.
- [0035] 그러면, 여기서 상기와 같이 구성된 이중 분리형 단조 연속 근사 아날로그 디지털 변환기의 동작에 대해 설명하기로 한다.
- [0036] 도 5는 본 발명의 상위비트 회로도이다.
- [0037] 도 5를 참조하면, 도 4의  $S7$  스위치와  $LSB\_SW$  스위치가  $V_{REF}$  또는 GND에 연결했을(닫힐 때) 때, 상위비트의 회로도가 된다. 그 결과 도 5처럼 되며, 이중 분리형 단조 연속 근사 아날로그 디지털 변환기의 상위비트를 결정하는 회로도가 된다.
- [0038] 도 6은 본 발명의 상위비트 동작 파형도이다.
- [0039] 도 6을 참조하면, 처음에 SH 스위치가 닫힐 때,  $\langle S_{4p}:S_{9p} \rangle = \langle 000000 \rangle$ 과  $\langle S_{4n}:S_{9n} \rangle = \langle 000000 \rangle$ 이 되며 모두  $V_{REF}$ 에 연결된다. 그리고 커패시터 상판( $C_{top}$ )에 입력전압( $V_{IN,p}$ ,  $V_{IN,d}$ )을 샘플링한다. 입력전압이 커패시터에 샘플링되면, SH 스위치만 열린다. 그 후에, 비교기(Comp)의 비반전 단자(+)의 전압과 반전 단자(-)의 전압을 비



교한다. 비교기(Comp)의 비반전 단자(+) 전압이 반전 단자(-) 전압보다 크기 때문에,  $\langle D_{9p} \rangle = \langle 1 \rangle$ 이 되고 GND에 연결되면서, 비교기(Comp)의 비반전 단자(+)의 전압이  $V_{REF}/2$  만큼 감소한다.  $\langle D_{9n} \rangle = \langle 0 \rangle$ 으로 그대로  $V_{REF}$ 에 연결되서, 비교기(Comp)의 반전 단자(-)의 전압은 그대로 유지된다. 그 다음에도 비교기(Comp)의 비반전 단자(+)의 전압이 반전 단자(-)의 전압보다 크기 때문에,  $\langle D_{8p} \rangle = \langle 1 \rangle$ 는 GND에 연결되면서, 비교기(Comp)의 비반전 단자(+)의 전압이  $V_{REF}/2^2$  만큼 감소한다.  $\langle D_{8n} \rangle = \langle 0 \rangle$ 으로 그대로  $V_{REF}$ 에 연결되서, 비교기(Comp)의 반전 단자(-)의 전압은 그대로 유지된다. 그 다음에는 비교기(Comp)의 반전 단자(-)의 전압이 비반전 단자(+)의 전압보다 크기 때문에,  $\langle D_{7n} \rangle = \langle 1 \rangle$ 는 GND에 연결되면서, 비교기(Comp)의 반전 단자(-)의 전압이  $V_{REF}/2^3$  만큼 감소한다.  $\langle D_{7p} \rangle = \langle 0 \rangle$ 으로 그대로  $V_{REF}$ 에 연결되서, 비교기(Comp)의 비반전 단자(+)의 전압은 그대로 유지된다. 이러한 방식으로, 나머지 비트도 결정된다. 그 결과  $\langle D_{4p}:D_{9p} \rangle = \langle 110010 \rangle$ ,  $\langle D_{4n}:D_{9n} \rangle = \langle 001101 \rangle$ 이 된다. 상위 비트 6비트가 결정되면  $S_{7n}$ ,  $S_{7p}$  모두 OPEN에 연결된다.

[0040] 도 7은 본 발명의 하위비트 회로도이다.

[0041] 도 7을 참조하면, 도 4에서 S7 스위치와 SH 스위치가 모두 열렸을 때, 하위비트의 회로도가 된다. 상위 비트의 스위치  $D_9, D_8, D_7, D_6, D_5, D_4$ 는 도 6의 결과로 스위치가 GND에 연결되어 있다. 나머지  $D_1 \sim D_3$ 의 스위치 연결에 따라 하위비트 3bit가 결정된다.

[0042] 도 8 내지 도 11은 본 발명의 하위비트 커패시터 값 변화 및 전압 변화 과정을 나타낸 개념도이다.

[0043] 도 8 내지 도 11을 참조하면, 도 8에서 MSB에 해당하는 커패시터의 총합은  $56C$ 이며  $C_{B1}$ 은  $8C$ 이다. 따라서 중간커

패시터(MID)에서 MSB로 넘어가는 전압은 
$$\frac{8C}{56C+8C} \Delta V = \frac{\Delta V}{8}$$
 과 같이 1/8 만큼 감소되어 넘어간다. 도 9에서는

MSB 커패시터와  $C_{B1}$ 의 커패시터 총합을 보여준다.  $56C \parallel 8C = 7C$  가 되고, 중간커패시터(MID)에서 커패시터  $5C$

와  $7C$ 가 병렬연결이 된다. 도 10은 LSB에서 중간커패시터(MID)로 전압이 넘어가는 것을 설명하고 있다. 도 10은 앞서 도 9에서  $5C$ 와  $7C$ 가  $12C$ 로 합쳐진 회로도이다. 중간커패시터(MID)에 해당하는 커패시터의 총합은  $12C$ 이며

$C_{B2}$ 는  $4C$ 이다. 따라서 LSB에서 중간커패시터(MID)로 넘어가는 전압은 
$$\frac{4C}{12C+4C} \Delta V = \frac{\Delta V}{4}$$
 과 같이 1/4 만큼 감

소되어 넘어간다. 도 11은 LSB의 전압변화를 설명하고 있다. 앞서 도 10의  $4C$ 와  $12C$ 가 직렬 연결되어 있으므로,

$12C \parallel 4C = 3C$  가 된다.  $D_2$ 의 전압이  $\Delta V$  만큼 변할 경우 LSB의 상판의 전압은

$$\frac{2^2}{6+1+2+2^2+3} \Delta V = \frac{4}{16} \Delta V = \frac{\Delta V}{4}$$
 가 된다. 따라서  $D_1, D_2$  각각  $\frac{\Delta V}{8}, \frac{\Delta V}{16}$  만큼의 전압이 변화

게 된다.

[0044] 도 12는 본 발명의 하위비트 동작 설명도이다.

[0045] 도 12를 참조하면, 도 6에서 상위비트를 설명할 때,  $V_{REF}/2^6$ 까지 상위비트 7비트가 결정되었다. 따라서 하위비트에서는  $V_{REF}/2^7$ 부터  $V_{REF}/2^9$ 까지 결정하면 하위비트 3비트가 결정된다. 하위비트  $D_3$ 의 값 '1' → '0'으로 바뀔 때

전압이  $\Delta V$  만큼 변하면서,  $C_{LSB}$ 의 전압은 
$$\frac{2^2}{6+1+2+2^2+3} V = \frac{V}{4}$$
 만큼 변하게 된다. 그 후 브릿지 커패시

터( $C_{B1}, C_{B2}$ )에 의해서 전압이  $\frac{1}{8}, \frac{1}{4}$  만큼 감소하게 된다. 그 결과 LSB에서  $\frac{V}{4}$  만큼의 전압 변화가



MSB에서는  $\frac{V_{REF}}{4} \times \frac{1}{8} \times \frac{1}{4} = \frac{V_{REF}}{128} = \frac{V_{REF}}{2^7}$  가 만들어지면서 하위비트  $D_3$ 가 결정된다. 그 후  $D_2, D_1$ 은 커패

시터 값이 1/2 만큼 감소하기 때문에, 각각  $\frac{V_{REF}}{2^8}, \frac{V_{REF}}{2^9}$  이 만들어 진다. 따라서 하위비트 3비트가 결정 된다.

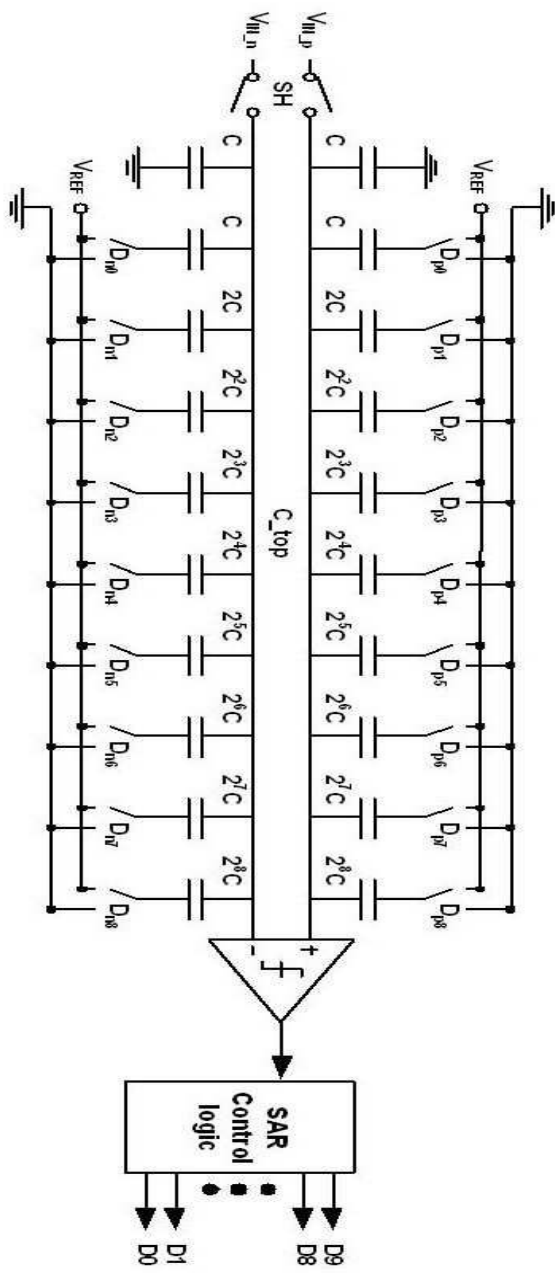
[0046] 제시된 실시예들에 대한 설명은 임의의 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 이용하거나 또는 실시할 수 있도록 제공된다. 이러한 실시예들에 대한 다양한 변형들은 본 발명의 기술 분야에서 통상의 지식을 가진 자에게 명백할 것이며, 여기에 정의된 일반적인 원리들은 본 발명의 범위를 벗어남이 없이 다른 실시예들에 적용될 수 있다. 그리하여, 본 발명은 여기에 제시된 실시예들로 한정되는 것이 아니라, 여기에 제시된 원리들 및 신규한 특징들과 일관되는 최광의의 범위에서 해석되어야 할 것이다.

**부호의 설명**

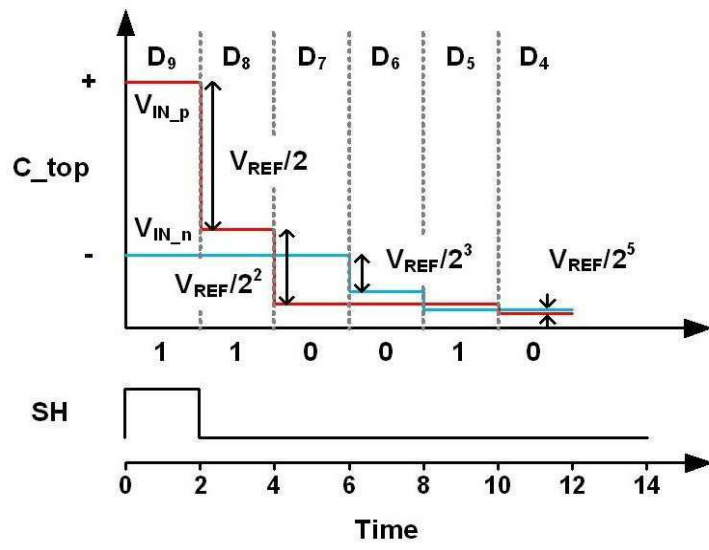
- [0047] SH : 샘플 홀드부(SH 스위치)
- CA : 커패시터 어레이
- Comp : 비교기

도면

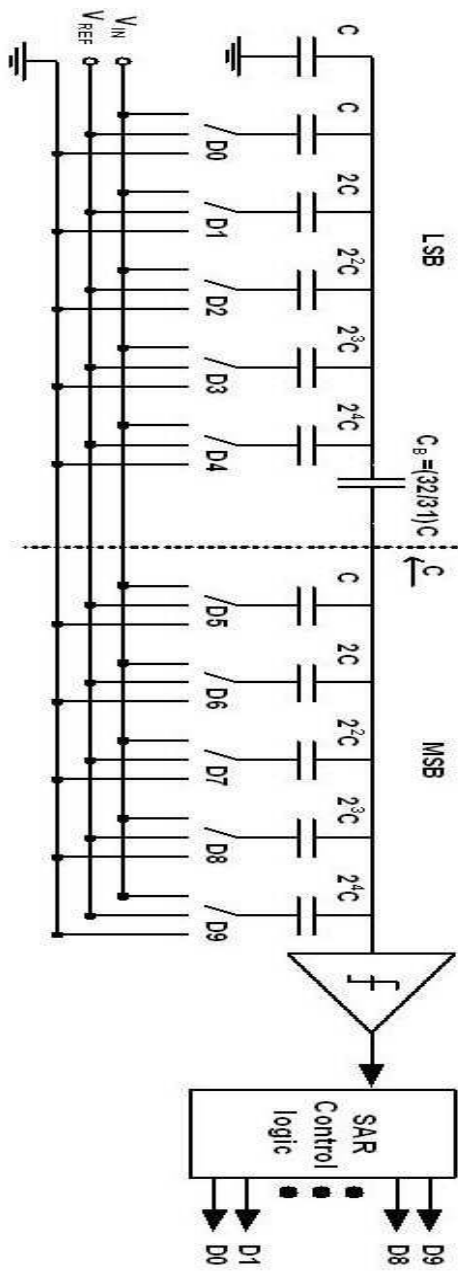
도면1



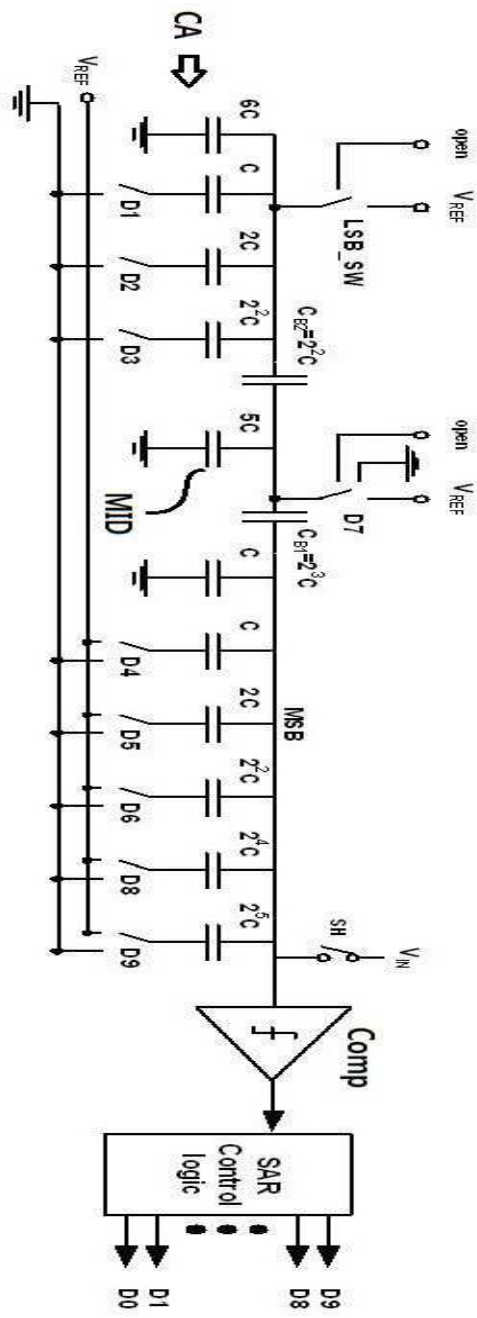
도면2



도면3

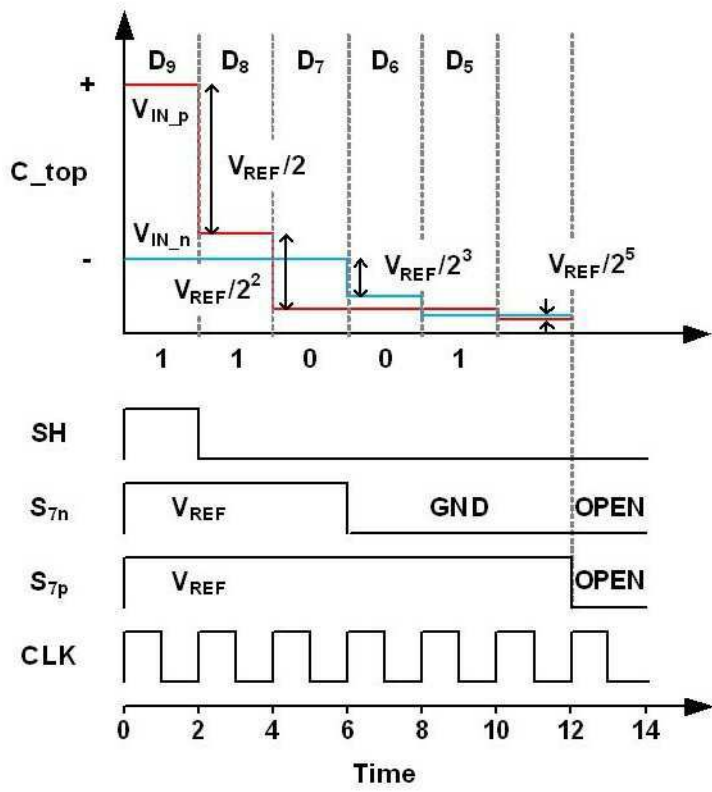


도면4



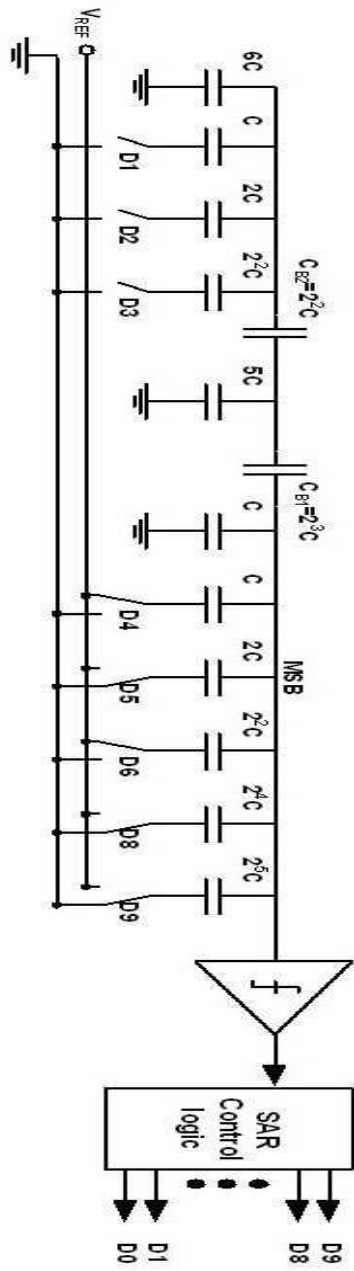


도면6

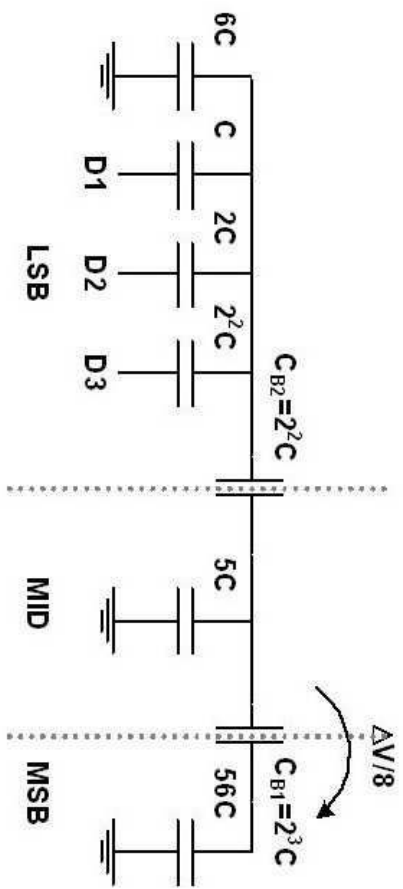




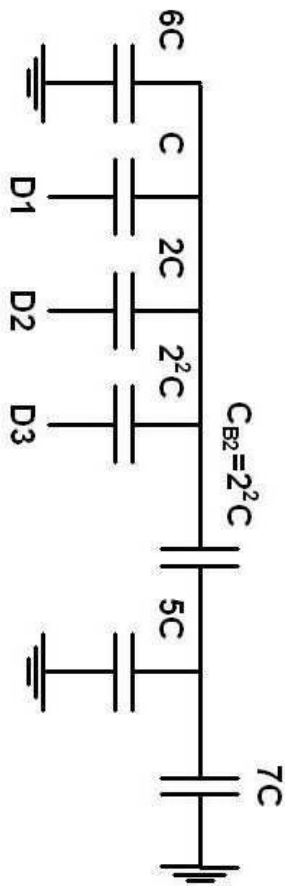
도면7



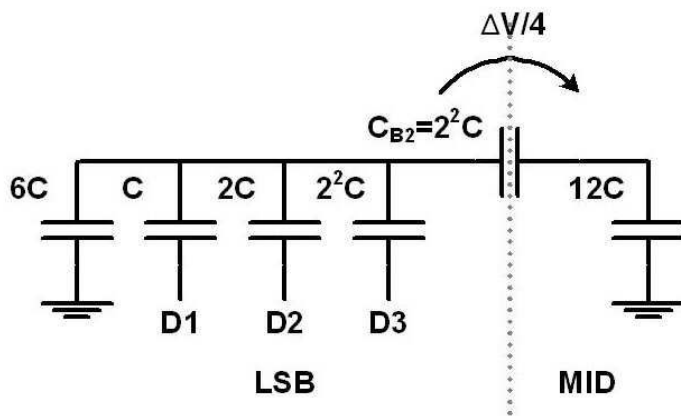
도면8



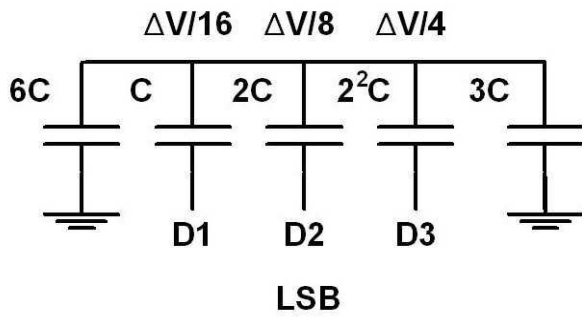
도면9



도면10



도면11



도면12

