

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

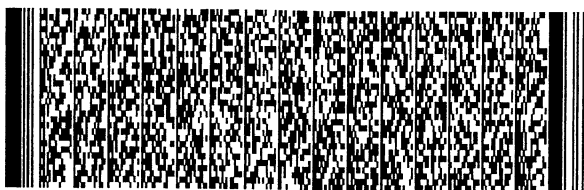
本發明係用以降低在輸出入匯流排中因複數個資料位元同時轉變為相同方向時所產生的電壓雜訊造成週期大小的變動量。

【先前技術】

在現代愈來愈講求快速的時代，資料處理趨向超高頻，而愈來愈高的輸出入 (I/O) 運作速率系統環境亦相對發展，而使同步轉換輸出 (simultaneous switching output, SSO) 成為一個重要的課題。

習用技術中，在輸出入匯流排 (I/O bus) 上設計輸出輸入緩衝器 (IO buffer) 時，會遇到由同步轉換輸出 (SSO) 造成的訊號變動雜訊，尤其是在多個資料位元同時由 1 切換到 0 或由 0 切換到 1 時 (bits toggling)，也就是由高電位轉為低電位，或由低電位轉為高電位時，因傳遞的資料訊號之電感效應 (inductance)，使流經的大電流會造成電源/接地端位準變動 (bounce)，而造成有多種的輸出輸入緩衝器之轉向速率 (slew rate)，而變動 (Jitter) 愈大，有效的資料範圍則愈小。

若以四位元輸出輸入緩衝器結構為例，第一圖顯示當一個至四個資料位元同時切換造成的位準變動雜訊，其中曲線 A 表示一個資料位元同時切換造成的電源/接地位準變動波形；曲線 B 為兩個資料位元同時切換造成的電源/接地位準變動波形；曲線 C 為三個資料位元同時切換造成的電源/接地位準變動波形；曲線 D 為四個資料位元同時切換造



五、發明說明 (2)

成的電源 / 接地位準變動波形。

輸出入資料訊號間之電感效應會因為 $L \cdot (di/dt)$ 而造成壓降，其中 L 為電感， di/dt 為單位時間之電流變動。雖然電感 L 不變，但是愈多的資料位元同時切換，壓降仍隨之愈大，如此是因為電源 / 接地位準變動係依資料型態 (data pattern) 轉換的現象造成的，因此，經由輸出輸入緩衝器輸出的轉向速率改變，而使 SS0 變動情形變大。

如第二 A 圖為一輸入至輸出輸入緩衝器的原始波形，而第二 B 圖顯示因為輸入資料位元同時切換造成的輸出轉向速率變異，此 SS0 變動如圖示之變異量 e ，其中顯示有四個曲線 A, B, C, D，分別代表不同情況下同時切換之資料位元的位準變化。曲線 A 為最少個同時切換的資料位元，曲線 B 為次多，至曲線 D 為最多的同時切換之資料位元。在 0/1 訊號切換時，電壓之位準為一漸進式地上升 (rising) 或下降 (falling)，並非急劇變化的波形，如圖示，曲線 A 有一上升過程之曲線經過一平穩訊號再成為一下降曲線，曲線 B 之位準變化為一稍微和緩的上升，經一平穩之位準，再為稍緩之下降曲線，曲線 C 為更為和緩之位準變化過程，而曲線 D 為更多的資料位元同時切換之位準變化。

上述顯示在輸入訊號為不同情況下的 0/1 切換時，造成的轉向速率變異量 e 會影響有效的資料 (valid data) 判斷，如圖示之資料段 f 。若於 CPU 的輸出入匯流排，系統記憶體的傳輸，電腦系統各周邊的 I/O 傳輸等高頻傳輸的



五、發明說明 (4)

來延遲時脈訊號，藉以解決資料位元傳達至墊片時因同步轉換產生的雜訊。

更有一種前級驅動傾斜 (pre-driver skewing) 方法係利用 RC延遲來增加前級驅動器之傾斜率，藉以防止輸出輸入緩衝器在同步轉換時產生的雜訊。

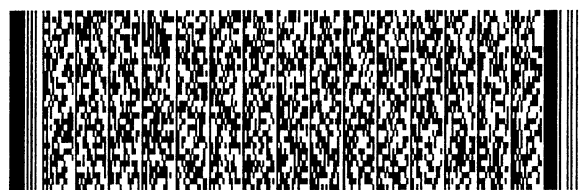
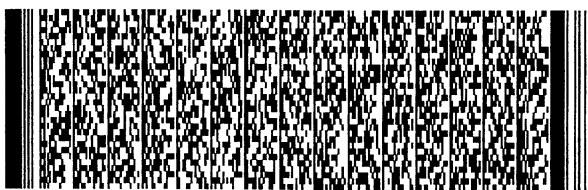
另有藉一低權重編碼 (low-weight coding) 來同時降低開關位元 (toggling bit) 的方式，來減低 SS0的影響。

而習用之輸出輸入緩衝器在正常運作時對前級驅動 (pre-driver) 或後級驅動 (post-driver) 為一固定的驅動能力，並不會消除因為多變的位元切換造成的轉向速率變異之效應，本發明即提供一種在不同資料位元切換下藉資料型態補償之動態轉向速率控制方法來補償轉向速率 (slew rate) 之變異，此方法會動態調整輸出輸入緩衝器之驅動能力來修正轉向速率，並依據資料型態來補償其中的 SS0效應。

【發明內容】

本發明為一種減少同步轉換輸出 (SS0) 變動之動態轉向速率 (slew rate) 控制裝置與方法，係於輸出入匯流排 (I/O Bus) 傳送訊號時，用以降低因為瞬間複數個資料位元 (data bit) 同時轉變為相同方向時所產生的電壓雜訊造成週期大小的變動量。

該方法係先分析資料的型態，並且根據分析的結果以一轉向速率控制對應表 (mapping table) 來決定符合該



五、發明說明 (5)

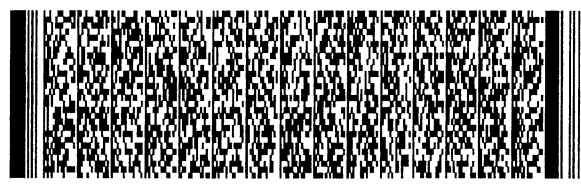
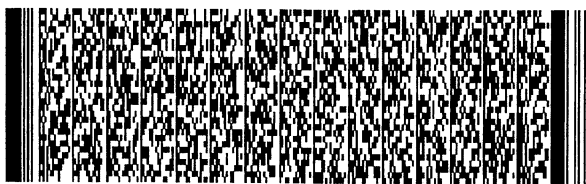
資料型態的轉向速率控制設定，並且將此設定傳送到使用相同電壓的輸出輸入緩衝器 (IO buffer)，以達到本發明降低 SS0 變動量之目的。

該裝置包括有：一資料型態偵測單元，係偵測輸入之一資料位元切換訊號；一運算單元，係電連接該資料型態偵測單元，並接收該資料型態偵測單元之輸出資料；一轉向速率控制對應表，係電連接該運算單元，並接收該運算單元之輸出資料；一轉向速率控制匯流排，係連接該轉向速率控制對應表，並接收其輸出資料；以及處於輸出輸入緩衝器中之一轉向速率控制單元，係連接該轉向速率控制匯流排，並接收其輸出資料。

【實施方式】

於一般輸出輸入系統中，在輸出匯流排 (I/O bus) 上設計輸出輸入緩衝器 (IO buffer) 時，會遇到由同步轉換輸出 (SS0) 造成的訊號變動雜訊 (Jitter)，尤其是愈多個資料位元同時 0/1 切換時 (bits toggling)，因傳遞的資料訊號之電感效應 (inductance)，使流經的大電流會造成電源/接地端位準變動 (bounce)，而降低輸出輸入緩衝器之轉向速率 (slew rate)，且變動愈大，有效的資料範圍則愈小。故本發明以漸進式地增加其輸入輸出緩衝器的驅動能力以增快其轉向速率，反之，其轉向速率較大，本發明則降低其輸出輸入緩衝器的驅動能力以減緩轉向速率。

本發明係藉控制動態轉向速率以減少同步轉換輸出



五、發明說明 (6)

(SSO) 變動，藉分析資料型態 (data pattern) 來決定轉向速率控制 (slew rate control) 之設定，並將此設定在相同的電氣環境下應用於各 IO 緩衝器 (IO buffer)，實驗結果在 800MHz 的資料傳輸率 (data rate) 下可減低 30% 的 SSO 變動。

如第四圖所示係為本發明減少 SSO 變動之動態轉向速率控制裝置示意圖，此為一資料型態補償動態轉向速率控制 (pattern compensated dynamic slew rate control, PCDSRC) 之裝置，包括有複數個相互電連接之元件，如一資料型態偵測單元 (rise/fall detector) 41、一運算單元，如加法器 (adder) 42a, 42b、一轉向速率控制對應表 (mapping table) 43 與一轉向速率控制單元 (slew rate control unit) 46，藉此裝置來分析輸出入資料型態 (data pattern)，可動態修正在一輸出入系統中輸出輸入緩衝器 (IO buffer) 之轉向速率。本發明即為修正處於輸出輸入緩衝器中處理資料輸入之前級驅動 (pre-driver) 單元 45 與資料輸出之後級驅動 (post-driver) 單元 47 間之轉向速率，以自動調整轉向速率來補償因多資料位元切換效應造成的 SSO 變動。上述之輸入輸出緩衝器係用以提供放大輸出入資料之驅動能力。

如圖所示，資料型態偵測單元 41 會偵測輸入的資料位元切換訊號，藉以得到由 0 至 1 或由 1 至 0 同時切換之數目，更包括所有使用相同電源/接地平面之資料位元資訊，分



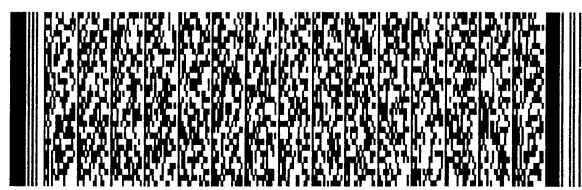
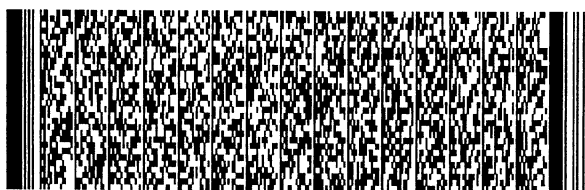
五、發明說明 (7)

析該資料型態為低電位轉為高電位之上升狀態 (rising)，如 0 切換為 1，或是由高電位轉為低電位之下降狀態 (falling)，如 1 切換為 0。其結果輸出至運算單元，此例為加法器 42a, 42b，藉以作一加總運算，如上升狀態之訊號傳送至第一加法器 42a，下降狀態之訊號傳送至第二加法器 42b。

再將運算結果傳送至轉向速率控制對應表 43，此轉向速率控制對應表 43 係為資料型態與轉向速率之對應表，在此會查表決定一轉向速率 (slew rate) 控制設定值，此設定值便符合將要輸入之資料型態，如果愈多的資料位元同時切換並擁有相同的資料型態 (即波形上升或下降)，會因為 SS0 效應造成的電源/接地位準變動現象而減低其輸出的轉向速率，而本發明則慢慢地增加輸出輸入緩衝器 (I/O buffer) 的驅動能力以增快其轉向速率；相反地，如果愈少相同型態的資料位元同時切換，因為 SS0 效應造成的位準變動現象較小，則輸出的轉向速率則會較大，本發明則需降低其輸出輸入緩衝器的驅動能力以使轉向速率較慢。

另外，此轉向速率控制對應表 43 為一可程式化 (programmable) 之轉向速率控制對應表，在不同情況下可彈性給予較好的轉向速率。

最後將針對上升與下降波形等不同資料型態產生的結果輸出至轉向速率控制匯流排 44，再傳送至轉向速率控制單元 46。故在一輸入輸出之系統中之輸出輸入緩衝器內，



五、發明說明 (8)

輸入訊號經前級驅動單元 45 至後級驅動單元 47 之過程中，經本發明之動態轉向速率控制裝置之處理後，可得大幅減少因位元資料同步轉換造成的雜訊之輸出訊號。

如前述本發明減少 SS0 變動之動態轉向速率控制之裝置係揭露一設置於前級驅動單元 45 與後級驅動單元 47 間之實施例，但實際上仍可應用於該前級驅動單元 45 或後級驅動單元 47 上，並不限於本實施例之應用。

本發明提供一種在不同資料位元切換下藉資料型態補償之動態轉向速率控制方法來補償轉向速率 (slew rate) 之變異，此方法會動態調整輸出輸入緩衝器之驅動能力來修正轉向速率，並依據資料型態來補償其中的 SS0 效應。如第五圖所示之方法流程圖，詳述如下：

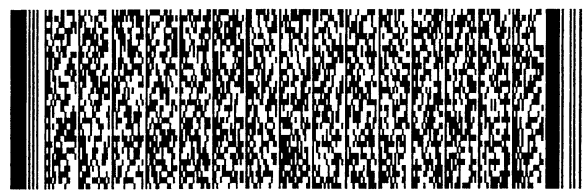
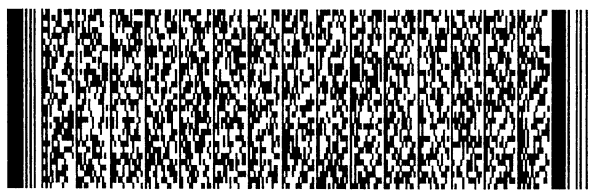
開始時，在真正作各資料位元同步轉換輸出 (SS0) 前，先行輸入各資料位元之切換訊號至一資料型態偵測單元中 (步驟 S51)；

進行分析該輸入資料之位元資料型態，分析結果判斷該訊號為上升或是下降之訊號 (步驟 S52)；

將上升與下降訊號分別於一運算單元執行運算，如一加法運算，得一加總值 (步驟 S53)；

將該加總值對照一事先製作之轉向速率控制對應表，以決定一轉向速率設定值，此轉向速率控制對應表為可程式化，依據各系統之電氣環境而有動態之調整能力 (步驟 S54)；

藉其設定值調整轉向速率，係由輸出輸入緩衝器中之



六、申請專利範圍

1、一種減少 SS0 變動之動態轉向速率控制之裝置，係於不同資料位元 (data bit) 切換下藉一資料型態 (data pattern) 補償之動態轉向速率控制來補償一轉向速率 (slew rate) 之變異，藉該裝置動態調整一輸出輸入緩衝器 (I/O buffer) 之驅動能力來修正該轉向速率，並依據該資料型態來補償其中的同步轉換輸出 (SS0) 效應，該裝置包括有：

一資料型態偵測單元，係偵測輸入之一資料位元切換訊號；

一運算單元，係電連接該資料型態偵測單元，並接收該資料型態偵測單元之輸出資料；

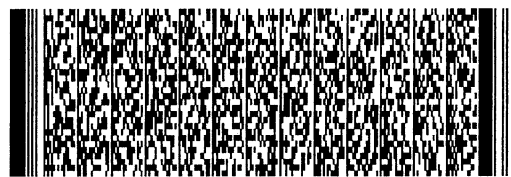
一轉向速率控制對應表，係電連接該運算單元，並接收該運算單元之輸出資料；

一轉向速率控制匯流排，係連接該轉向速率控制對應表，並接收其輸出資料；以及

一轉向速率控制單元，係設置於該輸出輸入緩衝器中，以連接該轉向速率控制匯流排，並接收其輸出資料。

2、如申請專利範圍第 1 項所述之減少 SS0 變動之動態轉向速率控制之裝置，其中該運算單元為一加法器，其中更包括有接收上升訊號之一第一加法器與接收下降訊號之一第二加法器。

3、如申請專利範圍第 1 項所述之減少 SS0 變動之動態轉向速率控制之裝置，其中該轉向速率控制對應表係為該資料型態與該轉向速率之對應表。



六、申請專利範圍

4、如申請專利範圍第1項所述之減少SSO變動之動態轉向速率控制之裝置，其中該轉向速率控制對應表係為一可程式化（programmable）之轉向速率控制對應表。

5、一種減少SSO變動之動態轉向速率控制之方法，係以動態調整一輸出輸入緩衝器（I/O buffer）之驅動能力來修正一轉向速率，並依據一資料型態之分析來補償其中的同步轉換輸出（SSO）效應，該方法之步驟流程包括有：

接收一資料位元之切換訊號，係由一資料型態偵測單元接收；

分析該資料位元之切換訊號之資料型態，係判斷該訊號為上升或是下降之訊號；

執行運算；

對照一轉向速率控制對應表，以決定一轉向速率設定值；以及

調整該轉向速率。

6、如申請專利範圍第5項所述之減少SSO變動之動態轉向速率控制之方法，其中於該執行運算之步驟中係藉一加法器執行加總。

7、如申請專利範圍第5項所述之減少SSO變動之動態轉向速率控制之方法，其中於該執行運算之步驟中係藉一第一加法器與一第二加法器分別接收上升與下降訊號。

8、如申請專利範圍第5項所述之減少SSO變動之動態轉向速率控制之方法，其中於該對照該轉向速率控制對應



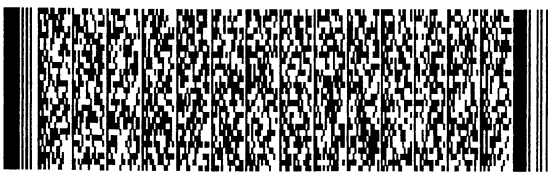
六、申請專利範圍

表之步驟中，係對應該資料型態與該轉向速率。

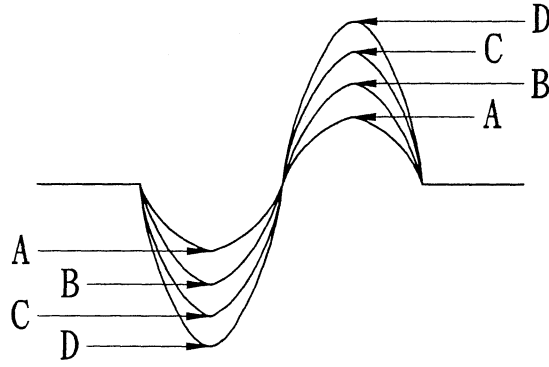
9、如申請專利範圍第5項所述之減少SS0變動之動態轉向速率控制之方法，其中於調整該轉向速率之步驟中，係由一轉向速率控制單元經由一轉向速率控制匯流排接收該轉向速率控制對應表輸出之設定值調整。

10、如申請專利範圍第5項所述之減少SS0變動之動態轉向速率控制之方法，其中該調整該轉向速率之步驟係為調整資料輸入與輸出間之該輸出輸入緩衝器之驅動能力。

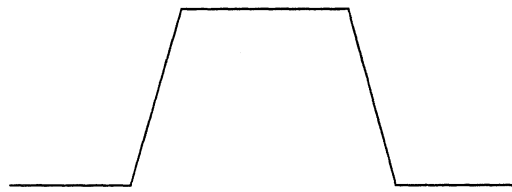
11、如申請專利範圍第5項所述之減少SS0變動之動態轉向速率控制之方法，其中該轉向速率控制對應表係為一可程式化（programmable）之轉向速率控制對應表。



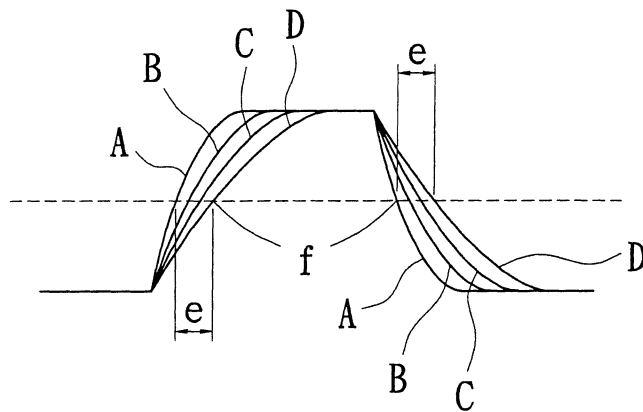
圖式



第一圖
(習知技術)

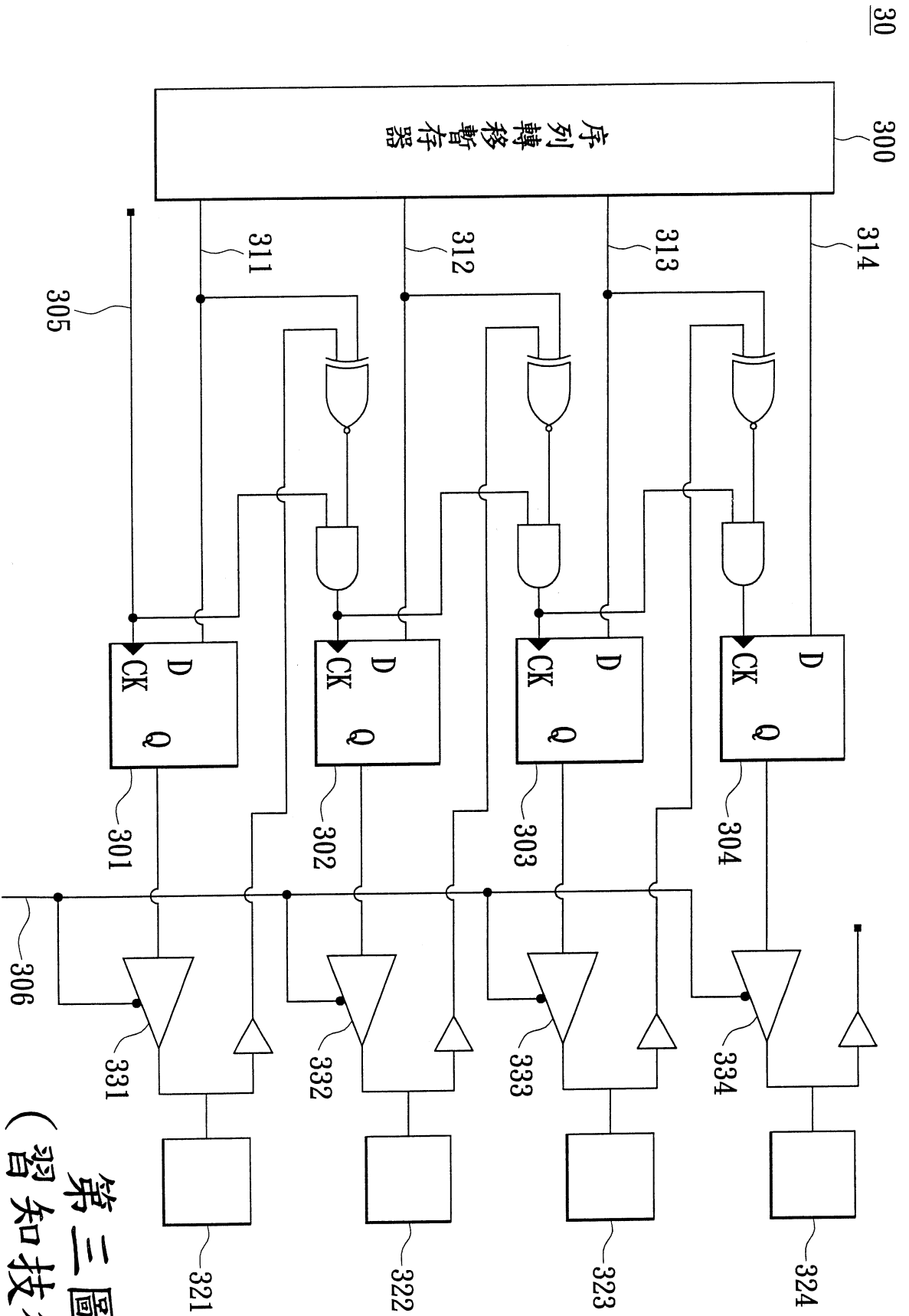


第二A圖
(習知技術)



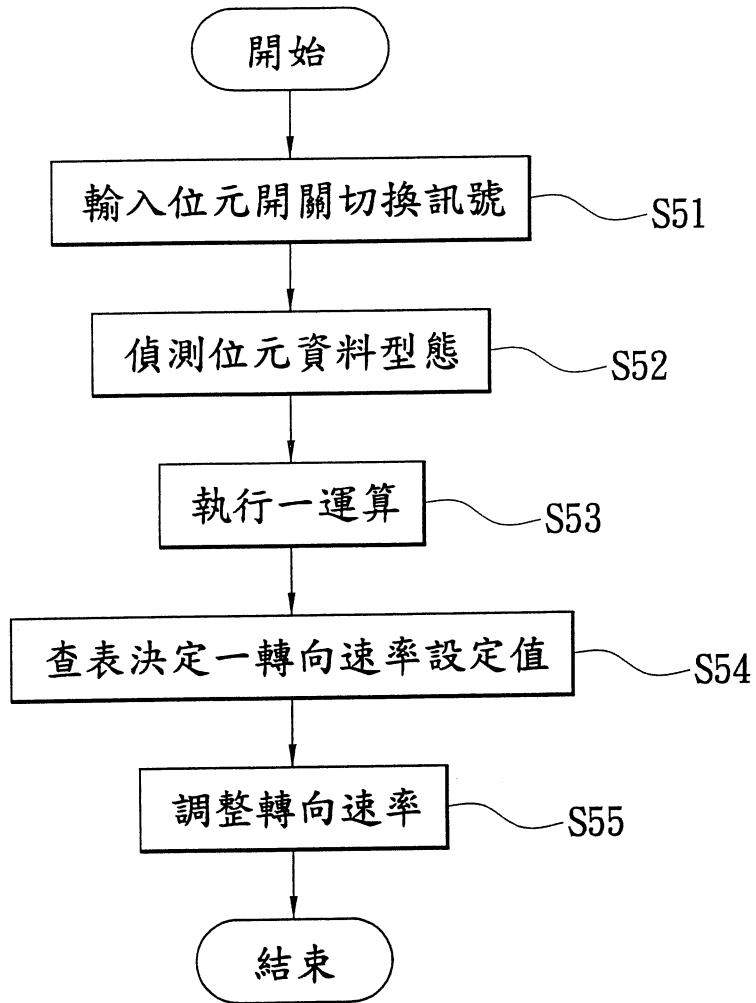
第二B圖
(習知技術)

圖式

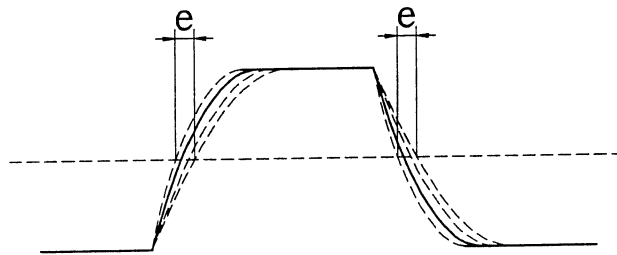


第三圖 (習知技術)

圖式



第五圖



第六圖

公告本

94.10.21

年 月 日

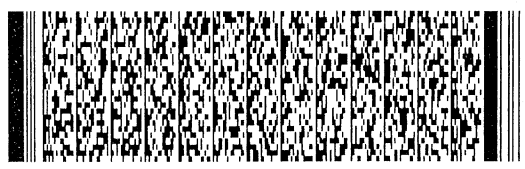
煩請委員明示 84 年 9 月 日
所擬修正本局專利法原說明書
或圖式所揭露之範圍

申請日期：93-6-18	IPC分類
申請案號：93117668	G06F 9/46

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	減少同步轉換輸出變動之動態轉向速率控制裝置與方法
	英文	
二、發明人 (共1人)	姓名 (中文)	1. 葉俊文
	姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北市內湖區內湖路1段246號2樓
	住居所 (英文)	1.
三、申請人 (共1人)	名稱或姓名 (中文)	1. 揚智科技股份有限公司
	名稱或姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北市內湖區內湖路1段246號2樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 呂理達
	代表人 (英文)	1.



五、發明說明 (3)

環境下作位元訊號同步轉換輸出 (SSO) 的動作，此資料段f更會因高頻切換的動作而被壓縮到不可判斷的情況。

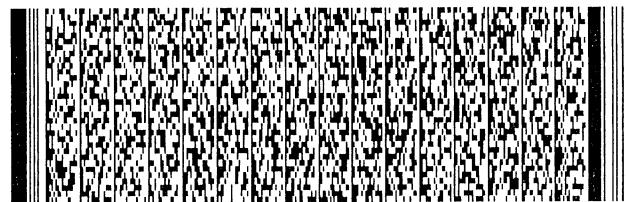
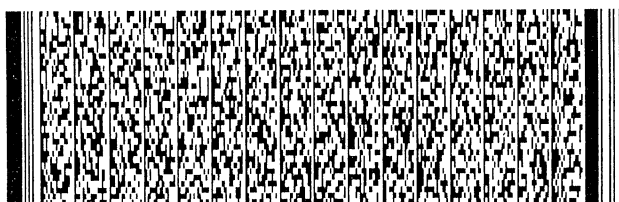
習用技術中，愈多的資料位元同時切換並擁有相同的資料型態 (即曲線上升或下降)，會因為SSO效應造成的電源/接地位準變動現象而減低其輸出的轉向速率。

在過去幾年發展出很多的方法可以減低SSO效應與SSO變動 (Jitter)。如美國專利No. 5, 229, 657所述之控制同步轉換輸出雜訊方法與裝置係為了降低在IC之輸出電路中的同步轉換雜訊 (simultaneous switching noise)。如第三圖所示之輸出保持暫存器 (output holding register) 電路圖，其為設置於一IC中的輸出保持暫存器30，其中包括有複數個正反器 (flip-flops)

301, 302, 303, 304、訊號線311, 312, 313, 314、墊片321, 322, 323, 324、三態控制器331, 332, 333, 334。

每個正反器可保有一位元之資料，並分別藉訊號線311, 312, 313, 314接收由一序列轉移暫存器 (serial shift register) 300傳送之資料。就正反器301而言，由時脈輸入端CK接收由時脈訊號線305傳輸的時脈訊號，在此電路運作時，正反器301將來自序列轉移暫存器300之資料位元由其輸入端D送至輸出端Q，並經由一三態驅動器 (tri-state driver) 331轉送至此電路之墊片 (pad) 321，此三態驅動器331之狀態由控制訊號線306來控制。

除了正反器301直接由其時脈輸入端CK接收時脈訊號外，其他正反器302, 303, 304皆透過額外的電路或邏輯閘



五、發明說明 (9)

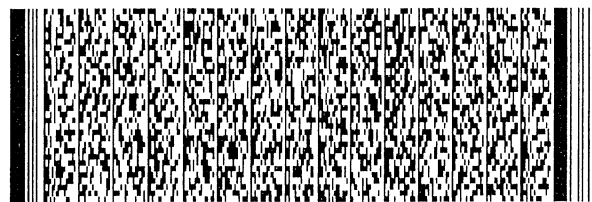
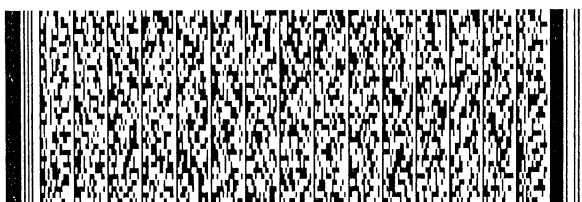
轉向速率控制單元經由轉向速率控制匯流排接收轉向速率控制對應表輸出之設定值調整之(步驟S55)。

最後，系統得藉以調整該轉向速率，達到減少SS0變動之目的。其應用上，可選定一基本的轉向速率控制設定值，再依據此設定值來調整其他情況下的轉向速率，達到補償因資料位元之切換與電源/接地的位準變動現象造成的轉向速率變異。

上述針對因SS0變動產生補償轉向速率之效果，如第六圖示意圖所示，所產生動態的轉向速率針對各樣不同的資料型態與電源/接地端位準作一補償，得到變異量e改善。

綜上所述，本發明係為一動態轉向速率(slew rate)控制裝置與方法，藉動態修正輸出輸入緩衝器之驅動能力以改變轉向速率，使改善輸出入匯流排(I/O Bus)在傳送訊號時因為瞬間資料位元同時轉變為相同方向時所產生的電壓雜訊造成週期大小的變動量，實為一不可多得之發明物品，及具產業上之利用性、新穎性及進步性，完全符合發明專利申請要件，爰依法提出申請，敬請詳查並賜準本案專利，以保障發明者權益。

惟以上所述僅為本發明之較佳可行實施例，非因此即拘限本發明之專利範圍，故舉凡運用本發明說明書及圖示內容所為之等效結構變化，均同理包含於本發明之範圍內，合予陳明。



圖式簡單說明

(1) 圖示說明：

第一圖係為當一個至四個資料位元同時切換造成的位準變動雜訊示意圖；

第二A圖係為一輸入至輸出輸入緩衝器的原始波形；

第二B圖係為因輸入資料位元同時切換造成的輸出轉向速率變異示意圖；

第三圖係為習用技術降低SSO雜訊之輸出保持暫存器電路圖；

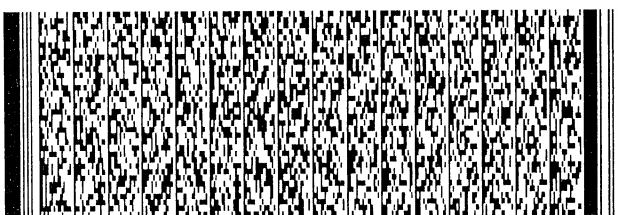
第四圖係為本發明減少SSO變動之動態轉向速率控制裝置示意圖；

第五圖係為本發明減少SSO變動之動態轉向速率控制方法流程圖；及

第六圖係為經本發明改善之輸出轉向速率變異示波形示意圖。

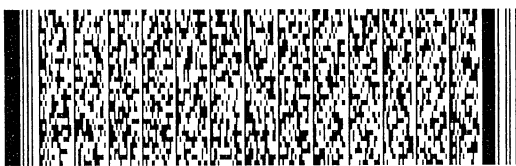
(2) 主要部份之代表符號：

曲線	A, B, C, D
變異量	e
資料段	f
輸出保持暫存器	3 0
序列轉移暫存器	3 0 0
訊號線	3 1 1, 3 1 2, 3 1 3, 3 1 4
正反器	3 0 1, 3 0 2, 3 0 3, 3 0 4
墊片	3 2 1, 3 2 2, 3 2 3, 3 2 4



圖式簡單說明

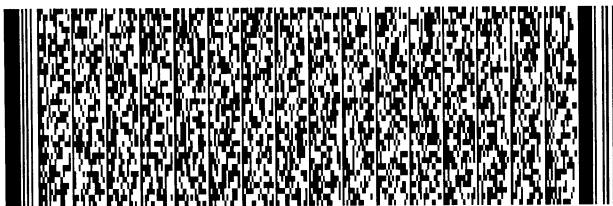
三態驅動器	3 3 1	,	3 3 2	,	3 3 3	,	3 3 4
時脈訊號端	C K		時脈訊號線				3 0 5
控制訊號線	3 0 6		輸入端				D
輸出端	Q						
資料型態偵測單元	4 1		第一加法器				4 2 a
第二加法器	4 2 b		轉向速率控制對應表				4 3
前級驅動單元	4 5		轉向速率控制單元				4 6
後級驅動單元	4 7		轉向速率控制匯流排				4 4

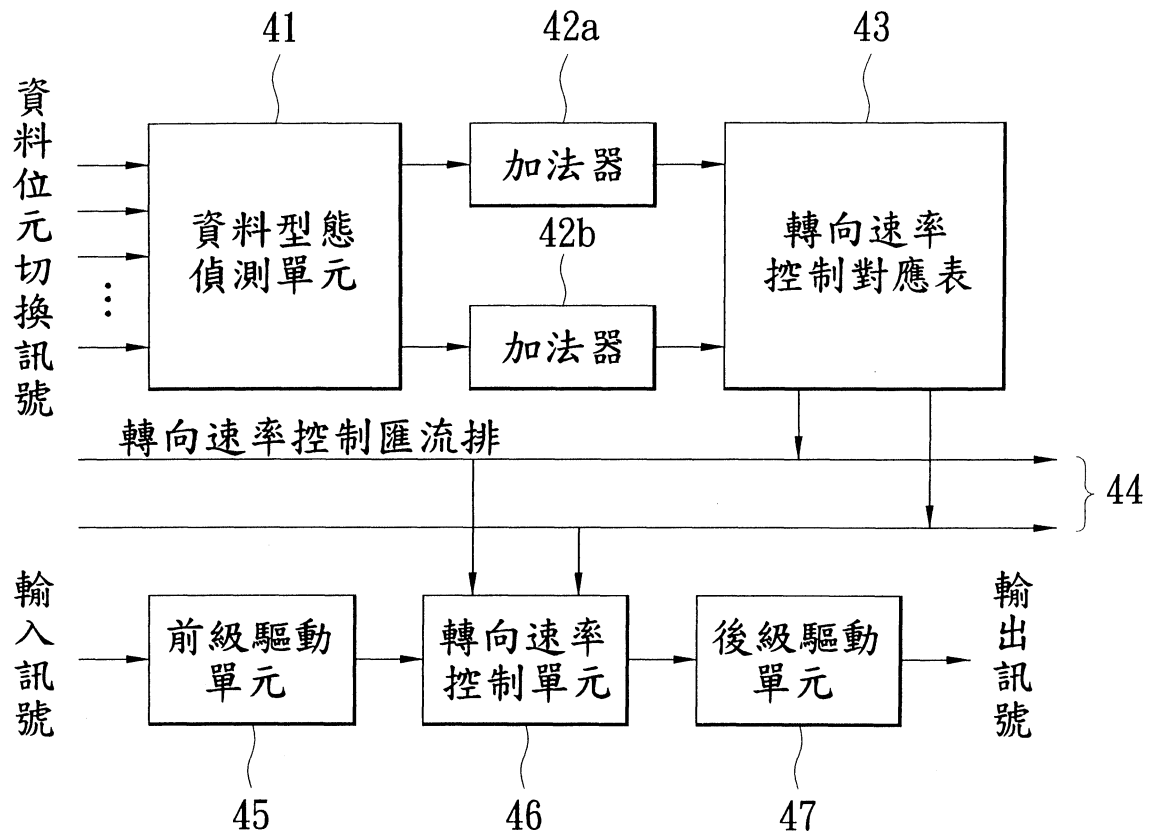


四、中文發明摘要 (發明名稱：減少同步轉換輸出變動之動態轉向速率控制裝置與方法)

本發明為一種減少同步轉換輸出 (simultaneous switching output, SSO) 變動之動態轉向速率 (slew rate) 控制裝置與方法，係於輸出入匯流排 (I/O Bus) 傳送訊號時，用以降低因為瞬間複數個資料位元 (data bit) 同時轉變為相同方向時所產生的電壓雜訊造成週期大小的變動量。該裝置與方法係先分析資料的型態，並且根據分析的結果以一轉向速率控制對應表 (mapping table) 來決定符合該資料型態的轉向速率控制設定，並且將此設定傳送到每個相同電壓的輸出輸入緩衝器 (IO buffer)，以達到本發明降低SSO變動量之目的。

五、英文發明摘要 (發明名稱：)





第四圖

六、指定代表圖

(一)、本案代表圖為：第 四 圖

(二)、本案代表圖之元件代表符號簡單說明：

資料型態偵測單元	4 1
第一加法器	4 2 a
第二加法器	4 2 b
轉向速率控制對應表	4 3
前級驅動單元	4 5
轉向速率控制單元	4 6
後級驅動單元	4 7
轉向速率控制匯流排	4 4

