

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3823318号

(P3823318)

(45) 発行日 平成18年9月20日(2006.9.20)

(24) 登録日 平成18年7月7日(2006.7.7)

(51) Int. Cl. F I
H O 1 L 21/60 (2006.01) H O 1 L 21/60 3 1 1 Q
 H O 1 L 21/92 6 0 2 D

請求項の数 8 (全 23 頁)

(21) 出願番号	特願2003-65822 (P2003-65822)	(73) 特許権者	000002369
(22) 出願日	平成15年3月11日(2003.3.11)		セイコーエプソン株式会社
(65) 公開番号	特開2004-273957 (P2004-273957A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成16年9月30日(2004.9.30)	(74) 代理人	100091292
審査請求日	平成17年2月4日(2005.2.4)		弁理士 増田 達哉
		(74) 代理人	100091627
			弁理士 朝比 一夫
		(72) 発明者	今井 英生
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	市川 篤

最終頁に続く

(54) 【発明の名称】 半導体チップの回路基板への実装方法、半導体装置、電子デバイスおよび電子機器

(57) 【特許請求の範囲】

【請求項1】

基板と、レジストを用いた無電解めっき法により前記基板の上に形成されたバンプとを有する半導体チップを、接続端子を有する回路基板に実装する方法であって、

前記回路基板の前記接続端子上にろう材を供給し、その後、

前記回路基板の前記接続端子と、前記半導体チップの前記バンプとを位置合わせして重ね合わせた状態で、加熱および/または加圧して、前記半導体チップと前記回路基板とを接合するものであり、

前記バンプは、第1のバンプ層と、前記第1のバンプ層の前記基板に対向する面とは反対の面側に形成された第2のバンプ層とを有するものであり、

前記第1のバンプ層は、前記第2のバンプ層より、前記ろう材に対する濡れ性が低いものであり、

前記第2のバンプ層の形成領域は、前記第1のバンプ層の形成領域の内側にあり、かつ、前記第1のバンプ層の形成領域の面積より、小さい面積であることを特徴とする半導体チップの回路基板への実装方法。

【請求項2】

前記半導体チップと、前記回路基板との接合をフェースダウン実装により行う請求項1に記載の半導体チップの回路基板への実装方法。

【請求項3】

前記バンプは、Ni、Cu、AuおよびSnよりなる群から選択される1種または2種

10

20

以上を含む材料で構成されたものである請求項 1 または 2 に記載の半導体チップの回路基板への実装方法。

【請求項 4】

前記パンプの側面に、前記ろう材によるフィレットを前記パンプの高さ未満の高さで形成させる請求項 1 ないし 3 のいずれかに記載の半導体チップの回路基板への実装方法。

【請求項 5】

前記半導体チップは、複数個の前記パンプを有するものであり、隣接する前記パンプのピッチが $10 \sim 250 \mu\text{m}$ である請求項 1 ないし 4 のいずれかに記載の半導体チップの回路基板への実装方法。

【請求項 6】

請求項 1 ないし 5 のいずれかに記載の方法により、半導体チップが回路基板に実装されてなることを特徴とする半導体装置。

10

【請求項 7】

請求項 6 に記載の半導体装置を備えることを特徴とする電子デバイス。

【請求項 8】

請求項 7 に記載の電子デバイスを備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体チップの回路基板への実装方法、半導体装置、電子デバイスおよび電子機器に関する。

20

【0002】

【従来の技術】

従来、半導体チップを回路基板へ実装して、半導体装置を得る場合においては、半導体チップのパンプ上にはんだを供給し、回路基板の端子と半導体チップのパンプとを位置合わせして重ね合わせ、加熱・加圧することによりはんだ接合する方法が一般的に行われている（例えば、特許文献 1）。しかし、以下のような問題点を有していた。

すなわち、半導体チップのパンプと回路基板の接続端子とを接合する際等に、高温状態のはんだが、半導体チップのパンプとパッシベーション膜との間隙等に侵入し、得られる半導体装置に悪影響（例えば、パンプ下の電極パッドにダメージを与える等の悪影響）を及ぼす場合があった。

30

【0003】

【特許文献 1】

特開 2002 - 280407 号公報

【0004】

【発明が解決しようとする課題】

本発明の目的は、信頼性の高い半導体装置を得ることができる半導体チップの回路基板への実装方法を提供すること、また、信頼性の高い半導体装置を提供すること、前記半導体装置を備えた電子デバイス、電子機器を提供することにある。

【0005】

40

【課題を解決するための手段】

このような目的は、下記の本発明により達成される。

本発明の半導体チップの回路基板への実装方法は、基板と、レジストを用いた無電解めっき法により前記基板上に形成されたパンプとを有する半導体チップを、接続端子を有する回路基板に実装する方法であって、

前記回路基板の前記接続端子上にろう材を供給し、その後、

前記回路基板の前記接続端子と、前記半導体チップの前記パンプとを位置合わせして重ね合わせた状態で、加熱および/または加圧して、前記半導体チップと前記回路基板とを接合するものであり、

前記パンプは、第 1 のパンプ層と、前記第 1 のパンプ層の前記基板に対向する面とは反

50

対の面側に形成された第2のバンプ層とを有するものであり、

前記第1のバンプ層は、前記第2のバンプ層より、前記ろう材に対する濡れ性が低いものであり、

前記第2のバンプ層の形成領域は、前記第1のバンプ層の形成領域の内側にあり、かつ、前記第1のバンプ層の形成領域の面積より、小さい面積であることを特徴とする。

これにより、信頼性の高い半導体装置を得ることが可能な半導体チップの回路基板への実装方法を提供することができる。

【0006】

本発明の半導体チップの回路基板への実装方法では、前記半導体チップと、前記回路基板との接合をフェースダウン実装により行うことが好ましい。

これにより、半導体チップと回路基板との導電性を特に優れたものとすることができる。

本発明の半導体チップの回路基板への実装方法では、前記バンプは、Ni、Cu、AuおよびSnよりなる群から選択される1種または2種以上を含む材料で構成されたものであることが好ましい。

これにより、半導体チップと回路基板との接合部における接合強度、導電性を特に優れたものとすることができる。

【0007】

本発明の半導体チップの回路基板への実装方法では、前記バンプの側面に、前記ろう材によるフィレットを前記バンプの高さ未満の高さで形成させることが好ましい。

これにより、半導体チップ等への悪影響の発生を十分に防止しつつ、半導体チップと回路基板との接合強度を特に優れたものとすることができる。

【0011】

本発明の半導体チップの回路基板への実装方法では、前記半導体チップは、複数個の前記バンプを有するものであり、

隣接する前記バンプのピッチが10～250μmであることが好ましい。

このように、本発明は、実装密度の高い半導体装置の製造に適している。

本発明の半導体装置は、本発明の方法により、半導体チップが回路基板に実装されてなることを特徴とする。

これにより、信頼性の高い半導体装置が得られる。

本発明の電子デバイスは、本発明の半導体装置を備えることを特徴とする。

これにより、信頼性の高い電子デバイスが得られる。

本発明の電子機器は、本発明の電子デバイスを備えることを特徴とする。

これにより、信頼性の高い電子機器が得られる。

【0012】

【発明の実施の形態】

以下、本発明の半導体チップの回路基板への実装方法、半導体装置、電子デバイスおよび電子機器の好適な実施形態について説明する。また、本発明における半導体チップには、ベアチップ（個別のチップおよびウェハの双方）および半導体パッケージのいずれのものをも含む。

【0013】

（第1実施形態）

まず、半導体チップの回路基板への実装方法について説明するに先立ち、半導体チップについて、図1に基づいて説明する。図1は、本実施形態の実装方法で用いられる半導体チップを示す断面図である。なお、以下の説明では、図1中の上側を「上」、下側を「下」と言う。なお、図1においては、バンプ5Aは一つのみしか示していないが、半導体チップ1Aには、複数個のバンプ5Aが形成されているのが好ましい。後に詳述するように、複数個のバンプを有し、かつバンプ-バンプ間のピッチが小さい半導体チップであっても、回路基板上に確実に接合することができ、信頼性の高い半導体装置を得ることができる。以下の説明では、半導体チップ1Aは、複数個のバンプ5Aを有するものとして説明する。

10

20

30

40

50

【0014】

図1に示す半導体チップ1Aは、基板(半導体基板)2と、基板2上に形成された電極パッド3と、パッシベーション膜4と、バンプ5Aとを備える。なお、半導体チップ1Aにおいて、電極パッド3が形成される側の面を能動面という。基板2は、例えば、Si、GaAs、GaP、AlGaAs、GaN、SiGe等の半導体材料で構成されている。また、基板2は、単層で構成されたもののみならず、複数の層の積層体で構成されたものでもよい。

【0015】

この基板2の一方の面21には、集積回路(図示せず)が形成され、この集積回路の配線パターンの一部に接触するように電極パッド3が配設されている。電極パッド3は、例えば、Al、Al-Cu、Al-Si-Cu、Cu等の導電性材料で構成されている。電極パッド3は、基板2の端部又は中央部に配置されていてもよく、あるいは、エリアアレイ状に複数行、複数列に配置されてもよい。電極パッド3は集積回路が形成された領域の内側又は外側、あるいはその両方に形成されてもよい。

10

【0016】

パッシベーション膜4は、例えば、半導体チップ1Aを腐食等から保護する保護膜として機能するものである。パッシベーション膜4の構成材料としては、例えば、SiO₂、SiN等が挙げられる。パッシベーション膜4は、基板2の面21のうち電極パッド3で覆われていない部分を覆うとともに、電極パッド3の外周部付近を覆っている。パッシベーション膜4は、単層で構成されたもののみならず、複数の層の積層体で構成されたものでもよい。

20

【0017】

バンプ5Aは、レジストを用いた無電解めっき法により形成されたものである。このように、レジストを用いた無電解めっきでバンプ5Aを形成することにより、微細な形状のバンプ(電極膜)を高精度で形成することができる。このバンプ5Aは、半導体チップ1Aを、後述するような回路基板7に接合する際の接合端子となるものであり、パッシベーション膜4から露出している電極パッド3を覆うように形成されている。

【0018】

バンプ5Aの構成材料は、特に限定されないが、例えば、ニッケル(Ni)、銅(Cu)、金(Au)および錫(Sn)よりなる群から選択される1種または2種以上を含む材料で構成されたものであるのが好ましい。これにより、半導体チップ1Aと回路基板7との接合部における接合強度、導電性を特に優れたものとすることができる。

30

【0019】

また、本実施形態では、バンプ5Aは、第1のバンプ層51と、第1のバンプ層51の外表面側に形成された第2のバンプ層52とを有する積層体として構成されている。このように、バンプ5Aが複数の層からなる積層体であると、導電性、耐食性、機械的強度等のような、バンプに求められる特性を同時に優れたものとすることができる。第1のバンプ層51の構成材料と、第2のバンプ層52の構成材料との組合せは、特に限定されないが、本実施形態の以下の説明では、第1のバンプ層51が主としてNiで構成され、かつ、第2のバンプ層52が主としてAuで構成されたものとする。第1のバンプ層51および第2のバンプ層52が、このような材料で構成されていると、バンプ5Aは、それ全体として、導電性、耐食性、機械的強度が優れたものとなる。

40

【0020】

次に、このバンプ5Aの形成方法の一例について説明する。

図2は、バンプの形成方法を示す工程図(断面図)、図3は、バンプの形成方法を示す工程図(断面図)、図4は、バンプの形成に用いる水洗槽の一例を模式的に示す図である。バンプ5Aは、パッシベーション膜4に開口部を形成して、当該開口部から各電極パッド3の少なくとも一部を露出させる工程と、電極パッド3上に無電解めっきによりバンプ5Aを形成する工程とを有する方法により形成することができる。

【0021】

50

パッシベーション膜 4 への開口部の形成と、電極パッド 3 上へのバンプ 5 A の形成とは、それぞれレジスト層を用いて行う。ここで、このレジスト層は、それぞれ別個に形成、すなわち、第 1 のレジスト層を用いてパッシベーション膜 4 に開口部を形成した後、当該第 1 のレジスト層を除去し、その後、新しく第 2 のレジスト層を形成し、電極パッド 3 上へバンプを形成してもよい。また、同一のレジスト層を用いて、すなわち、パッシベーション膜 4 への開口部形成用のレジスト層をそのまま用いてバンプ 5 A を形成しても構わない。ここでは、同一のレジスト層を用いた場合を例に挙げて説明する。

【 0 0 2 2 】

なお、前記工程に先立ち、図 2 (a) に示すように、電極パッド 3 およびパッシベーション膜 4 が形成された基板 2 の裏面 2 2 および端面 (図示せず) にレジスト 2 2 1 を塗布して、基板 2 の裏面 2 2 および端面を絶縁することが好ましい。これにより、無電解めっき時に基板 2 の裏面 2 2 や端面にめっき層が形成されることを防止することができる。さらに、Si 等の半導体材料と直接導通している端子 (GND 電極) を同電位にすることができる。

10

【 0 0 2 3 】

< 1 > まず、図 2 (b) に示すように、電極パッド 3 を覆って形成されたパッシベーション膜 4 上にレジスト層 6 を形成する。半導体チップ 1 A の電極パッド 3 の形成された面に、すなわちパッシベーション膜 4 上に、レジスト層 6 を形成する。レジスト層 6 は、電極パッド 3 の上方に開口部 6 1 を有する。なお、レジスト層 6 の厚みは、特に限定されないが、例えば、30 μ m 程度であるのが好ましい。

20

【 0 0 2 4 】

開口部 6 1 は、電極パッド 3 の外周を超えない形状で形成することが好ましい。これにより、狭ピッチで設けられた複数の電極パッド 3 のそれぞれに、バンプ 5 A を形成することができる。また、開口部 6 1 は、半導体チップのバンプが形成される面に対して、略垂直に立ち上がる壁面にて形成されることが好ましい。これにより、垂直に立ち上がるバンプを形成することができる。

【 0 0 2 5 】

また、開口部 6 1 の平面形状は、特に限定されないが、例えば、四角形、六角形、八角形あるいはそれ以上の多角形、楕円形、円形等が挙げられる。この開口部の形状により、形成されるバンプ 5 A の平面形状が決定される。バンプ 5 A の形状としては、角数の多い多角形が好ましく、円形がより好ましい。バンプ 5 A を円形に近い形状とすることで (角数を多くすることで)、バンプ 5 A に加わる応力集中をより効果的に少なくすることができる。

30

【 0 0 2 6 】

このようなレジスト層 6 および開口部 6 1 の形成方法は、特に限定されないが、例えば、フォトリソグラフィ技術を適用して開口部 6 1 を形成してもよい。すなわち、マスクを介して感光性のレジスト層 6 にエネルギーを照射、現像して開口部 6 1 を形成してもよい。このときに、レジスト層 6 はポジ型及びネガ型レジストであることを問わない。あるいは、非感光性のレジスト層 6 をエッチングして開口部 6 1 を形成してもよい。また、レジスト層 6 は、スクリーン印刷またはインクジェット方式を適用して形成してもよい。

40

【 0 0 2 7 】

< 2 > 次に、図 2 (c) に示すように、レジスト層 6 をマスクとして、開口部 6 1 内のパッシベーション膜 4 の部分を除去して、電極パッド 3 の少なくとも一部を露出させる開口部 4 1 を形成する。開口部 4 1 は、エッチングによって形成することができる。エッチングの方法は、特に限定されず、化学的エッチング、物理的エッチングまたはこれらの方法を組み合わせて利用したもののいずれであっても構わない。また、エッチングは、等方性エッチング、異方性エッチングのいずれであってもよい。

【 0 0 2 8 】

図 2 (c) に示すように、本実施形態では、開口部 4 1 を、平面視において開口部 6 1 の形状の範囲内に形成する。このような開口部 4 1 は、例えば、異方性のエッチングにより

50

、好適に形成することができる。これにより、開口部 6 1 内に第 1 のパンプ層 (Ni 層) 5 1 を形成すれば、電極パッド 3 の表面を露出させないようにすることができる。また、レジスト層 6 に形成した開口部 6 1 を使用することで、パッシベーション膜 4 の開口部 4 1 を容易に形成することができる。

【0029】

< 3 > 次に、図 3 (d) に示すように、開口部 6 1 に、主として Ni で構成された第 1 のパンプ層 5 1 を形成する。開口部 6 1 は開口部 4 1 に連通しているため、開口部 6 1 に第 1 のパンプ層 5 1 を形成することで、電極パッド 3 に電氣的に接続されたパンプ 5 A を形成することができる。

第 1 のパンプ層 5 1 は、例えば、以下のようにして形成することができる。

【0030】

< 4 > まず、無機残渣除去液中に基板 (チップ本体) 2 を浸漬し、電極パッド 3 表面やパッシベーション膜 4 表面の無機残渣を除去する (無機残渣除去工程)。

無機残渣除去液は、特に限定されないが、例えば、フッ化水素 (HF)、硫酸 (H_2SO_4)、塩化水素 (HCl) を含有する溶液等を好適に用いることができる。当該溶液中におけるフッ化水素の含有量は、0.01 ~ 0.1 vol % 程度であるのが好ましい。フッ化水素や硫酸の含有量を上記範囲とすることで、基板 (チップ本体) 2 への悪影響の発生を十分に防止しつつ、無機残渣を効率よく除去することができる。

【0031】

無機残渣除去液の pH は、特に限定されないが、1 ~ 5 程度であるのが好ましい。無機残渣除去液の pH が前記範囲内の値であると、無機残渣の除去を効率よく行うことができる。

また、無機残渣除去液への浸漬時間は、特に限定されないが、1 ~ 5 分間とするのが好ましい。無機残渣除去液への浸漬時間を前記範囲内の値とすることで、無機残渣の除去を好適に行うことができる。これに対し、浸漬時間が前記下限値未満であると、無機残渣を短時間で、十分に除去するのが困難になる場合がある。また、浸漬時間が前記上限値を超えると、パッシベーション膜 4 にダメージを与える可能性がある。

【0032】

以上のようにして、電極パッド 3 やパッシベーション膜 4 表面の無機残渣が除去される。本実施形態では、酸性水溶液を用いているが、例えば、水酸化ナトリウムなどのアルカリ性水溶液を用いてもよい。また、有機化合物等の残渣 (有機残渣) がある場合には、エタノール、IPA、アセトン等の溶液中に浸漬し、電極パッド表面やパッシベーション膜表面の有機残渣を除去してもよい。

【0033】

< 5 > その後、図 4 に示すような水洗槽 1 2 を用いて、基板 (チップ本体) 2 を水洗する (水洗処理工程)。

水洗槽 1 2 は、オーバーフロー機構 1 2 1 を備えたオーバーフロー構造を有しているのが好ましい。これにより、基板 2 への処理液の残渣や異物の付着を効率よく低減させることができる。

基板 2 は、治具 1 4 に収納された状態で水洗槽 1 2 中の洗浄液 (水) に浸漬されることにより水洗される。

【0034】

また、水洗処理のとき、不活性ガスによるバブリングを行うのが好ましい。これにより、短時間で効率よく十分に水洗を行うことができる。バブリングの方法は、特に限定されないが、例えば、水洗槽 1 2 の内側、例えば底面部や側面部に、多数の孔 1 3 1 が形成されたチューブ 1 3 を配しておき、当該孔 1 3 1 から不活性ガスを噴出させる方法等が挙げられる。チューブ 1 3 を構成する材料としては、例えば、ポリテトラフルオロエチレン (PTFE) 等のフッ素樹脂材料等が挙げられる。

【0035】

また、このチューブ 1 3 には、ガスポンプ等の図示しない不活性ガス供給手段が接続され

10

20

30

40

50

ている。この不活性ガス供給手段によりチューブ13に不活性ガスを供給することで、当該チューブ13に形成された孔131から不活性ガスをバブル（気泡）132として噴出させる。不活性ガスとしては、例えば、 N_2 、He、Ar等が好適なものとして挙げられる。

【0036】

形成されるバブル（気泡）132の大きさは、チューブ13に形成された孔131の大きさ（面積）等に依存する。孔131の1個当たりの面積（開口面積）は、特に限定されないが、 $0.1 \sim 2 \text{ mm}^2$ であるのが好ましい。孔131の面積を前記範囲内の値とすることで、好適にバブリングを行うことができ、水洗をさらに効率よく行うことができる。これに対し、孔131の面積が前記下限値未満であると、形成されるバブル132が小さく
10
なり、不活性ガスの吹き出し圧力を高圧にする必要があり、配管等に不具合を生じる可能性がある。また、孔131の面積が前記上限値を超えると、形成されるバブル132が大きくなり、洗浄効果が低下する可能性がある。

【0037】

不活性ガスの吹き出し量は、特に限定されないが、 $0.1 \sim 2 \text{ L / 秒}$ であるのが好ましい。不活性ガスの吹き出し量を前記範囲内の値とすることで、より効率よく短時間で水洗を行うことができる。これに対し、不活性ガスの吹き出し量が前記下限値未満であると、前記効果が十分に得られない可能性がある。また、吹き出し量が前記上限値を超えると、基板2を破損する可能性がある。

【0038】

なお、上記の説明では、複数の孔131を開けたチューブ13を水洗槽12の底面部に配し、当該孔131から不活性ガスを吹き出させることによりバブリングを行う場合を例に挙げて説明したが、バブリングの方法はこれに限定されない。例えば、チューブ13は、水洗槽12の側面部に配してもよいし、チューブ13ではなく水洗槽12の壁面にガス吹き出し用の孔を設け、そこから不活性ガスを吹き出すような構成にしてもよい。また、焼結体などの多孔質体を水洗槽12の内部に配置し、当該多孔質体を介して不活性ガスを吹き出すことによりバブリングを行うこともできる。

【0039】

<6>次に、アルカリ性水溶液からなる酸化膜除去処理液に基板（チップ本体）2を浸漬し、電極パッド3の表面に自然に形成された自然酸化膜（Al酸化膜）を除去する（Al酸化膜除去工程）。

アルカリ性水溶液としては、例えば、水酸化ナトリウム等を含む溶液（水溶液）を用いることができる。

【0040】

酸化膜除去処理液のpHは、特に限定されないが、 $9 \sim 13$ であるのが好ましい。酸化膜除去処理液のpHが前記範囲内の値であると、自然酸化膜を効率よく除去することができる。これに対し、pHが前記下限値未満であると、化学反応が進行しない可能性がある。また、pHが前記上限値を超えると、電極パッド3表面が過度にエッチングされ、電極パッド3が必要以上に薄くなる可能性がある。

【0041】

また、酸化膜除去処理液の温度は、特に限定されないが、 $25 \sim 60$ であるのが好ましい。酸化膜除去処理液の温度が前記範囲内の値であると、自然酸化膜を効率よく除去することができる。これに対し、温度が前記下限値未満であると、化学反応が十分速やかに進行せず、自然酸化膜の除去に時間がかかってしまう場合がある。また、温度が前記上限値を超えると、電極パッド3表面が過度にエッチングされ、電極パッド3が必要以上に薄くなる可能性がある。

【0042】

また、酸化膜除去処理液への基板2の浸漬時間は、特に限定されないが、 $0.5 \sim 5$ 分間とするのが好ましい。酸化膜除去処理液への浸漬時間を前記範囲内の値とすることにより、自然酸化膜の除去を好適に行うことができる。これに対し、浸漬時間が前記下限値未満
50

であると、酸化膜除去処理液の組成、温度等によっては、自然酸化膜が十分に除去されずに残存してしまう可能性がある。また、浸漬時間が前記上限値を超えると、電極パッド3表面が過度にエッチングされ、電極パッド3が必要以上に薄くなる可能性がある。なお、本実施形態では、アルカリ水溶液を用いているが、リン酸などの酸性水溶液を用いてもよい。

以上のようにして電極パッド3表面の自然酸化膜が除去される。

【0043】

<7>その後、上記<5>と同様にして水洗処理を行う。

<8>次に、ジンケート処理液に基板(チップ本体)2を浸漬し、電極パッド3表面にZn膜を形成する(ジンケート処理工程)。これにより、後述する<10>無電解Niめっき工程において、Niを好適に析出させることができる。

10

まず、ジンケート液中に基板2を浸漬し、電極パッド3表面の酸化膜を除去する。その後、さらにジンケート液中に浸漬することにより、電極パッド3表面にZn膜を形成する。

【0044】

ジンケート液は、Znを含有するものであれば、特に限定されないが、酸化亜鉛(ZnO)を含有するものであるのが好ましい。

ジンケート液のpHは、特に限定されないが、11~13.5であるのが好ましい。ジンケート液のpHが前記範囲内の値であると、ジンケート処理を効率よく行うことができる。これに対し、pHが前記下限値未満であると、Zn置換が促進されない可能性がある。また、pHが前記上限値を超えると、電極パッド3表面が過度にエッチングされ、電極パッド3が必要以上に薄くなる可能性がある。

20

【0045】

ジンケート液の温度は、特に限定されないが、20~30であるのが好ましい。ジンケート液の温度が前記範囲内の値であると、ジンケート処理を効率よく行うことができる。これに対し、温度が前記下限値未満であると、ジンケート液の組成等によっては、ジンケート処理に要する時間が長くなる可能性がある。また、温度が前記上限値を超えると、電極パッド3表面が過度にエッチングされ、電極パッド3が必要以上に薄くなる可能性がある。

【0046】

また、ジンケート液への基板2の浸漬時間は、特に限定されないが、10秒~2分間であるのが好ましい。ジンケート液への浸漬時間を前記範囲内の値とすることで、ジンケート処理を好適に行うことができる。これに対し、浸漬時間が前記下限値未満であると、ジンケート液の組成、温度等によっては、ジンケート処理(化学反応)が十分に進行しない可能性がある。一方、浸漬時間が前記上限値を超えると、電極パッド3表面が過度にエッチングされ、電極パッド3が必要以上に薄くなる可能性がある。なお、本実施形態では、アルカリ性水溶液を用いているが、酸性で活性度が高い処理液を用いてもよい。

30

【0047】

なお、Zn膜を形成した後、当該Zn膜を剥離して、その後再びジンケート処理を行い、新しくZn膜を形成してもよい。これにより、緻密なZn粒子をAl表面に析出させることができる。

40

Zn膜の剥離は、例えば、5~30vol%の硝酸水溶液に、基板2を10~60秒間浸漬することにより行うことができる。そして再度、上記のような条件でジンケート浴中に基板2を浸漬し、Zn粒子をAl表面に析出させる。このとき析出されるZn粒子は、緻密なものとなる。これにより無電解Niめっき工程において、Niをより好適に析出させることができる。また、必要に応じて、当該Zn膜を再度剥離して、その後再びジンケート処理を行い、新たにZn膜を形成する処理を繰り返してもよい。

以上のようにして電極パッド3の表面にZn膜が形成される。

【0048】

<9>その後、上記<5>と同様にして水洗処理を行う。

<10>次に、無電解Niめっき液に基板(チップ本体)2を浸漬し、図3(d)に示す

50

ように、無電解めっきにより、主としてNiで構成された第1のバンプ層51を形成する(無電解Niめっき工程)。

Niめっき液としては、例えば、次亜リン酸を還元剤として含有する溶液等を用いることができる。このような溶液を用いた場合、通常、めっき時にPが共析することとなる。

【0049】

Niめっき液のpHは、特に限定されないが、4~5であるのが好ましい。Niめっき液のpHが前記範囲内の値であると、Niめっきを効率よく行うことができる。

また、Niめっき液の温度は、特に限定されないが、70~95であるのが好ましい。Niめっき液の温度が前記範囲内の値であると、Niめっきを効率よく行うことができる。

10

【0050】

第1のバンプ層51の高さは、特に限定されず、例えば、開口部61の高さを超えないで、すなわち開口部61の内側のみに形成してもよいし、開口部61の高さを超えるものであってもよいし、あるいは、レジスト層6と面位置となってもよい。

上述したように、第1のバンプ層51は、開口部61の形状に応じて第1のバンプ層51を形成することができる。すなわち、金属が等方成長する無電解めっきを適用しても、横(幅)方向への拡がりを抑えて高さ方向に第1のバンプ層51を形成することができる。したがって、狭ピッチで複数の電極パッド3が形成されていても、隣接する電極パッド3同士のショートを防止することができる。以上のようにして第1のバンプ層51が形成される。第1のバンプ層51の具体的な高さ(厚み)は、特に限定されないが、10~30

20

【0051】

<11>その後、上記<5>と同様にして水洗処理を行う。

<12>次に、図3(e)に示すように、レジスト層6を除去する。レジスト層6の除去は、例えば、硫酸過水溶液中に基板2を浸漬することにより行う。

<13>次に、図3(f)に示すように、Niで構成された第1のバンプ層51の表面に、主としてAuで構成された第2のバンプ層(Au層)52を形成する。第2のバンプ層52は、第1のバンプ層51を覆うように形成する。これにより、第1のバンプ層51の酸化を防止できる。また、第2のバンプ層52を形成することによって、配線パターン等との電氣的接続をさらに確実にすることができる。

30

【0052】

第2のバンプ層52の形成は、Auめっき液中に基板(チップ本体)2を浸漬することにより行う。

Auめっき液は、特に限定されないが、シアンフリータイプのもの(シアン化物イオンを実質的に含まないもの)であるのが好ましい。これにより、環境や人体に対する悪影響の発生を好適に防止し、作業をより安全に行うことができる。

【0053】

Auめっき液のpHは、特に限定されないが、6~8であるのが好ましい。Auめっき液のpHが前記範囲内の値であると、第2のバンプ層52を効率よく形成することができる。

40

また、Auめっき液の温度は、特に限定されないが、50~80であるのが好ましい。Auめっき液の温度が前記範囲内の値であると、第2のバンプ層52を効率よく形成することができる。

【0054】

また、Auめっき液への浸漬時間は、特に限定されないが、1~30分間であるのが好ましい。Auめっき液への浸漬時間が前記範囲内の値であると、第2のバンプ層52の形成を好適に行うことができる。これに対し、浸漬時間が前記下限値未満であると、Auめっき液の組成、温度等によっては、十分な厚みの第2のバンプ層52を形成することが困難になる可能性がある。一方、浸漬時間が前記上限値を超えると、めっき析出が十分に進行しない可能性がある。

50

【0055】

このようにして形成される第2のバンプ層52の厚みは、特に限定されないが、0.01~0.3 μ m程度であるのが好ましく、0.05~0.25 μ m程度であるのがより好ましい。第2のバンプ層52の厚みが前記下限値未満であると、第1のバンプ層51の酸化を十分に防止することが困難になる可能性がある。また、電極膜上にバンプを形成する際の濡れ性が低下してしまう。一方、厚みが前記上限値を超えると、はんだの機械的強度が低下する可能性がある。

以上のようにして第2のバンプ層52が形成される。

【0056】

<14>その後、上記<5>と同様にして水洗処理を行う。

<15>次に、基板2の裏面22および端面に塗布されたレジスト221を除去する。レジスト221の除去方法としては、例えば、硫酸過水溶液中に基板2を浸漬する方法等が挙げられる。

<16>最後に、第1のバンプ層51と第2のバンプ層52とからなるバンプ5Aが形成された基板2を前記<5>と同様にして水洗し、その後乾燥させる。

【0057】

以上のような方法により、電極パッド3上にバンプ5Aが形成される。上記のような無電解めっきによりバンプ5Aを形成することで、微細な形状のバンプ5Aを高精度で形成することができるという利点がある。

上記のようにして形成されるバンプ5Aは、そのピッチ(隣接するバンプ-バンプ間のピッチ)が10~250 μ mであるのが好ましい。このように、比較的容易に、バンプのピッチを十分に小さいものとすることができる。これにより、実装密度の高い半導体装置の製造を好適に製造することができる。

【0058】

本実施形態によれば、一度形成したレジスト層6を用いて、パッシベーション膜4に開口部41を形成し、電極パッド3と接続する金属層(第1のバンプ層51、第2のバンプ層52)を形成するので、簡単な工程でバンプ5Aを形成することができる。パッシベーション膜4の開口部41内に金属層(例えば、第2のバンプ層52)を形成した場合には、開口部41の大きさに応じた形状で、すなわち、所望の幅でバンプ5Aを形成することができる。

【0059】

以上の工程によって、電極パッド3上に、第1のバンプ層51と第2のバンプ層52とからなるバンプ5Aを形成することができる。この半導体チップ1Aは、フリップチップとして、回路基板にフェースダウン実装(フェースダウンボンディング)することができる。フェースダウン実装により、半導体チップ1Aと回路基板7とを接合することにより、半導体チップ1A等への悪影響の発生をより確実に防止しつつ、半導体チップ1Aと回路基板との接合強度を特に優れたものとすることができる。なお、本明細書中において、「フェースダウン実装」とは、図6に示すように、半導体チップのバンプが形成されている面と回路基板端子面とを相対して実装する方法のことを指す。

なお、上述した実施形態では、第1のバンプ層51上に第2のバンプ層52を形成した場合を例に挙げて説明したが、第2のバンプ層52は、必要に応じて形成すればよく、必ずしも形成しなくてもよい。

【0060】

次に、このような半導体チップが実装される回路基板7の一例について、図5に基づいて説明する。なお、以下の説明では、図5中の上側を「上」、下側を「下」と言う。

図5に示す回路基板7は、基板8と、基板8の一方の面(上面)81に設けられた複数の端子(接続端子)9とを有している。

【0061】

基板8は、例えば、各種ガラス、各種セラミックス、Si等の半導体材料、各種樹脂材料、またはこれらを任意に組み合わせたもの等で構成されている。基板8の厚さ(平均)は

10

20

30

40

50

、特に限定されないが、通常、0.1～3mm程度とされる。

また、基板8は、単層で構成されたもののみならず、複数の層の積層体で構成されたものでもよい。

【0062】

この基板8の一方の面81には、例えば、Au、Cu、Ni、Ag、Snのうちの少なくとも1種の金属、該金属を含む合金等の導電性材料で構成される配線パターン（図示せず）が形成されている。そして、この配線パターンの端部付近に電極が形成されて、端子9を構成している。

なお、配線パターンは、基板8が複数の層の積層体で構成される場合には、基板8の内部に形成されていてもよい。

【0063】

次に、半導体チップ1Aの回路基板7への実装について説明する。図6は、半導体チップの実装方法を示す工程図（断面図）、図7は、回路基板に半導体チップが実装された状態を示す断面図である。

そして、半導体チップ1Aを、回路基板7に実装するには、まず、図6に示すように、回路基板7の端子9上に、ろう材10を供給する。

【0064】

ろう材としては、例えば、Pb-Sn系はんだ等のPb含有はんだや、Sn、Ag、Cu、Bi、In、Zn、Ge、Ni、AuおよびSbからなる群より選択される少なくとも2種以上を含み、かつ、実質的にPbを含まないPb不含はんだ（Pbフリーはんだ）、銀ろう、銅ろう、リン銅ろう、黄銅ろう、アルミろう、ニッケルろう等を用いることができる。これらのものは、導電性に優れ、また、配線パターンの構成材料との密着性も高い。また、上記ろう材の中でも、接合強度と環境に対する影響との両立の観点から、実質的にPbを含まないPb不含はんだ（Pbフリーはんだ）が好ましい。

ろう材10の供給方法としては特に限定されるものではないが、例えば印刷法、ディップ法、はんだレベラー法（ろう材レベラー法）、めっき法等が挙げられる。また、ろう材表面をフラットニングしてもよい。

【0065】

次に、図6に示すように、回路基板7に半導体チップ1Aを積層して、半導体チップ1Aのバンプと、これに対応する回路基板7の端子9とが、接触するよう位置決めする。

次に、対応する端子同士を（半導体チップのバンプと対応する回路基板の端子とを）接合する。

【0066】

この接合方法としては、ボンディングツールによる加熱・加圧による方法やリフロー炉等による雰囲気加熱による方法等が選択出来る。

半導体チップ1Aのバンプと、回路基板7の端子9とを、加熱・加圧により一体化して接合する場合、無電解めっきで形成された半導体チップ1Aのバンプ5Aがコアとなるため、加熱・加圧してもバンプ5Aが潰れることがなく、加熱加圧やリフロー方式による実装が容易となる。また、半導体チップ1Aと回路基板7とのギャップ管理が容易になる。

【0067】

この場合、加熱の温度は、特に限定されないが、100～400程度であるのが好ましく、200～350程度であるのがより好ましい。また、加熱の時間は、特に限定されないが、1秒～60秒程度であるのが好ましく、5秒～30秒程度であるのがより好ましい。

また、加圧により接合を行う場合、押し付け圧力は、特に限定されないが、0.1～4kgf/mm²程度であるのが好ましい。圧力が前記範囲内の値であると、半導体チップ1Aへのダメージをより確実に防止しつつ、信頼性の高い接合とすることができる。

【0068】

加熱・加圧条件（処理条件）を前記のようなものとすることにより、半導体チップ1Aのバンプ5Aと、対応する回路基板7の端子9とをより強固に接合することができる。

10

20

30

40

50

また、この接合は、必要に応じて、例えば、高周波、超音波等を照射しつつ行うようにしてもよい。

【0069】

以上のようにして、半導体チップ1Aのバンプ5Aと、対応する回路基板7の端子9とを一体化させることにより、図7に示すような接合部が形成される。すなわち、対応する端子同士が接合される。これにより、半導体チップ1Aが回路基板7に実装される（半導体装置が得られる）。

このとき、図7に示すように、ろう材10がバンプ5Aに沿って吸い上げられて、バンプ5Aの側面にフィレット101が形成される。これにより、接合強度が向上し、より信頼性の高い接合が可能になる。なお、図示の構成では、フィレット101は、回路基板7から半導体チップ1Aの方向に向けて、幅が小さくなっているが、フィレットの幅は、回路基板側と半導体チップ側とで、ほぼ等しいものであってもよいし、半導体チップから回路基板の方向に向けて、幅が小さくなるものであってもよい。

10

【0070】

そして、半導体チップ1A側ではなく、回路基板7側にろう材10を供給した状態で、半導体チップ1A側と回路基板7とを接合するので、フィレット101が半導体チップ1A側（基材2やパッシベーション膜4）にまで到達してしまうことが効果的に防止される。これにより、パッシベーション膜4とバンプ5Aとの接合強度が劣化することなく、信頼性の高いものとなる。

【0071】

以上のようにして、半導体チップ1Aのバンプ5Aと、対応する回路基板7の端子9とを接合することにより、半導体チップ1Aと回路基板7の優れた接合信頼性が得られる。さらに、接合部分に樹脂を供給し、硬化させることにより、当該接合部分を樹脂で封止してもよい。この場合、樹脂をろう材よりも先塗りすることもできる。すなわち、半導体チップ1Aおよび/または回路基板7に樹脂材料を付与した状態で、半導体チップ1Aと回路基板7とを接合してもよい。これにより、実装工程を簡略化することができるとともに、半導体チップと回路基板との接合部における接合強度を特に優れたものとすることができる。

20

【0072】

なお、半導体チップ1Aの回路基板7への実装については、上述した例に限定されるものではなく、例えば、樹脂をあらかじめ基板に塗布しておき、そこへチップを加熱加圧ボンディングし、接合と樹脂封止を一度に行うNCP（Non Conductive Paste）実装、TAB（Aape Amounted Bonding）実装、COF（Chip On Flex）実装、COG（Chip On Glass）実装等、各種FCB実装工程を採用することができる。

30

【0073】

（第2実施形態）

次に、第2実施形態について説明する。

図8は、本実施形態の実装方法で用いられる半導体チップを示す断面図である。以下、第2実施形態について、前記第1実施形態との相違点を中心に説明し、同様の事項の説明については、その説明を省略する。

40

【0074】

半導体チップ1Bでは、第1のバンプ層51の上面（基板2に対向する面とは反対の面側）のみに、第2のバンプ層53が形成されている。このような構成のバンプ5Bは、以下のような方法により好適に形成することができる。

すなわち、上述した第1実施形態では、第1のバンプ層51を形成した後に、レジスト層6を除去し、第2のバンプ層52を第1のバンプ層51の外表面側に形成していたが、本実施形態では、第1のバンプ層51を形成した後、レジスト層6を除去せずに、続けて第2のバンプ層53を無電解めっきにより形成する。これにより、第1のバンプ層51の上面側のみに、第2のバンプ層53を好適に形成することができる。

【0075】

50

本実施形態においても、前記第1実施形態と同様に、第1のバンプ層の構成材料と、第2のバンプ層の構成材料との組合せは、特に限定されないが、第1のバンプ層51は、第2のバンプ層53より、ろう材10に対する濡れ性が低いものであるのが好ましい。このような関係を満足する場合、後に詳述するように、ろう材10は、第1のバンプ層51よりも第2のバンプ層53の部分によく流れるため、半導体チップ1Bの実装時において、ろう材10を第2のバンプ層53の側面に優先的に付着させ、フィレット101を第2のバンプ層53の高さを超えないものとして、好適に形成することができる。すなわち、第1のバンプ層51が、第2のバンプ層53より、ろう材10に対する濡れ性の低いものであると、フィレット101の高さを容易に調節することができる。これにより、フィレット101が半導体チップ1B側にまで到達してしまうことがより確実に防止される。その結果、パッシベーション膜4とバンプ5Bとの接合強度等が劣化するのを効果的に防止することができ、半導体チップ1Aと回路基板7との接合信頼性がさらに向上する。特に、回路基板側にろう材を付与した状態で、半導体チップと回路基板との接合を行うため、前述した効果は顕著なものとなる。

10

【0076】

本実施形態の以下の説明では、第1のバンプ層51が主としてNiで構成され、かつ、第2のバンプ層53が主としてCuで構成されたものとする。第1のバンプ層51および第2のバンプ層53がこのような材料で構成されていると、上述したような効果に加えて以下のような効果も得られる。すなわち、例えば、ろう材10がはんだのようなSnを含む材料である場合、該Snがろう材10中に拡散したCuとの間で合金を形成することにより、ろう材10は、高強度で、特に優れた接合信頼性を有するものとなる。その結果、バンプのろう付け性（はんだ付け性）が向上する。これにより、信頼性の高い半導体チップを提供することができる。

20

【0077】

また、Cuは、Niに比べてやわらかいため、主としてCuで構成された第2のバンプ層（Cu層）53を形成することで、バンプ5Bに加わる応力を緩和することができる。このような応力緩和の効果は、第2のバンプ層53の厚みが大きいほど顕著なものとなる。また、無電解めっきにより第2のバンプ層53を形成する場合、その成膜速度が速いため、比較的厚い層を短時間で形成することができる。このように、第2のバンプ層53が比較的厚い層であると、ろう材10中に拡散するCuの量が比較的多い場合であっても、第2のバンプ層53を確実に残存させることができる。これにより、半導体チップ1Bと回路基板7との接合信頼性を特に優れたものとすることができる。

30

【0078】

さらに、Cuで構成された第2のバンプ層53は、その表面の少なくとも一部にプリフラックス処理が施されたものであるのが好ましい。プリフラックス処理を行うことで、第2のバンプ層53の酸化膜を除去するとともに、第2のバンプ層53の再酸化を防止することができる。

また、プリフラックス処理を行うことで、ろう材10を形成する際に、第2のバンプ層53の表面にろう材（はんだ）をよりよく流すことができ、これにより、ろう付け性（はんだ付け性）が向上する。すなわち接合強度が強く良好な合金が形成される。

40

【0079】

第2のバンプ層53の厚み（高さ）は、特に限定されないが、5～50μm程度であるのが好ましい。第2のバンプ層53が前記範囲内の値であると、好適な高さのフィレット101を容易に形成することができる。

このような半導体チップ1Bを、回路基板7に実装したときの様子を図9に示す。実装の際には、上述したのと同様に、半導体チップ1B側ではなく、回路基板7側にろう材10を供給して接合する。これにより、ろう材がバンプ5Bの側面に沿って吸い上げられて、フィレット101が半導体チップ1C側（基材2やパッシベーション膜4）にまで到達してしまうことが効果的に防止される。これにより、パッシベーション膜4とバンプ5Bとの接合強度が劣化することなく、信頼性の高いものとなる。

50

【0080】

また、本実施形態では、半導体チップ1Bにおいて、第1のバンプ層51の側面部には第2のバンプ層が形成されず、第1のバンプ層51が露出しているため、この部分には酸化被膜が形成され易い。このように酸化被膜が形成されると、その部分は、ろう材10に対する濡れ性が低下する。一方、第2のバンプ層53は、ろう材10に対する濡れ性が高い。すなわち、バンプ5Bの側面において、第1のバンプ層51の部分と第2のバンプ層53の部分との、ろう材10に対する濡れ性の差はさらに大きくなる。これにより、半導体チップ1Bの実装時において、ろう材10を第2のバンプ層53の側面に優先的に付着させ、フィレット101を第2のバンプ層53の高さを超えないものとして、好適に形成することができる。すなわち、フィレット101の高さを容易に調節することができる。その結果、フィレット101が半導体チップ1B側にまで到達してしまうことがより確実に防止される。したがって、パッシベーション膜4とバンプ5Bとの接合強度等が劣化するのを効果的に防止することができ、半導体チップ1Bと回路基板7との接合信頼性がさらに向上する。

10

なお、上記の説明では、バンプ5Bを2層構造とした場合を例に挙げて説明したが、これに限定されるものではなく、3層あるいはそれ以上の層構造とすることもできる。

【0081】

(第3実施形態)

次に、本発明としての第3実施形態について説明する。

図10は、本実施形態の実装方法で用いられる半導体チップを示す断面図である。以下、本発明としての第3実施形態について、前記第1実施形態、第2実施形態との相違点を中心に説明し、同様の事項の説明については、その説明を省略する。

20

【0082】

半導体チップ1Cでは、第1のバンプ層51の上面のみに、第2のバンプ層54が、第1のバンプ層51よりも小さくなるように形成されている。すなわち、第2のバンプ層54の形成領域は、第1のバンプ層51の形成領域の内側にあり、かつ、第1のバンプ層51の形成領域の面積より、小さい面積である。これにより、バンプ5Cは段差部59を有するものとなる。このような段差部59を有することにより、後に詳述するように、半導体チップ1Cの実装時において、フィレット101の高さを容易に調節することができる。これにより、フィレット101が半導体チップ1C側にまで到達してしまうことがより確実に防止される。その結果、パッシベーション膜4とバンプ5Cとの接合強度等が劣化するのを効果的に防止することができ、半導体チップ1Cと回路基板7との接合信頼性がさらに向上する。特に、本発明では、回路基板側にろう材を付与した状態で、半導体チップと回路基板との接合を行うため、前述した効果は顕著なものとなる。

30

【0083】

なお、ここでは、第2のバンプ層54として、主としてCuで構成されたCu層を形成した場合を例に挙げて説明するが、第2のバンプ層54は、例えば、Au、Ni、Sn等のCu以外の材料で構成されたものであってもよい。

このようなバンプは、上述した方法と同様にして第1のバンプ層51を形成した後に、レジスト層を除去する。その後、さらに新しいレジスト層を形成する。このレジスト層が有する開口部は、第1のバンプ層51よりも小さくされている。そして当該レジスト層を用いて、第2のバンプ層54を無電解めっきにより形成する。これにより、第1のバンプ層51の上面に、当該第1のバンプ層51の面積(平面視したときの面積)よりも小さい面積(平面視したときの面積)の第2のバンプ層(Cu層)54を、好適に形成することができる。

40

【0084】

第2のバンプ層54の厚み(高さ)は、特に限定されないが、5~50 μ m程度であるのが好ましい。第2のバンプ層54が前記範囲内の値であると、好適な高さのフィレット101を容易に形成することができる。

このような半導体チップ1Cを、回路基板7に実装したときの様子を図11に示す。実装

50

の際には、上述したのと同様に、半導体チップ1C側ではなく、回路基板7側にろう材10を供給して接合する。これにより、ろう材10がバンプ5Cの側面に沿って吸い上げられて、フィレット101が半導体チップ1C側（基材2やパッシベーション膜4）にまで到達してしまうことが効果的に防止される。これにより、パッシベーション膜4とバンプ5Cとの接合強度が劣化することなく、信頼性の高いものとなる。

【0085】

また、本実施形態では、半導体チップ1Cにおいて、第2のバンプ層54が第1のバンプ層51よりも小さく形成されることにより、バンプ5Cは段差部59を有する2段構造となっている。これにより、フィレット101の高さを容易に調節することができる。すなわち、バンプ5Cの側面に沿って吸い上げられたろう材10が、段差部59付近で確実に止まり、フィレット101が半導体チップ1C側にまで到達してしまうのをより確実に防止することができる。このように、バンプを2段構造（多段構造）とした場合、形成する第2のバンプ層（Cu層）の高さにより、フィレットの高さを容易かつ確実に調節することができる。したがって、パッシベーション膜4とバンプ5Cとの接合強度等が劣化するのを効果的に防止することができ、半導体チップ1Cと回路基板7との接合信頼性がさらに向上する。

10

【0087】

また、本発明では、必要に応じて、第1のバンプ層および第2のバンプ層の外側を、異なる第3のバンプ層で覆ってもよい。

また、上記の説明では、バンプ5Cを2層構造とした場合を例に挙げて説明したが、本発明はこれに限定されるものではなく、3段あるいはそれ以上の多段構造とすることもできる。

20

【0088】

次に、上述したような半導体チップの実装方法により半導体チップが実装された回路基板を備える電子デバイス、すなわち、本発明の電子デバイスについて説明する。

以下では、本発明の電子デバイスを液晶表示装置に適用した場合を一例に説明する。

【0089】

図12は、本発明の電子デバイスを液晶表示装置に適用した場合の実施形態を示す断面図である。なお、以下の説明では、図12中の上側を「上」、下側を「下」と言う。なお、図12では、前述した第3実施形態で説明した半導体チップ1Cを備えるものとして説明する。

30

【0090】

図12に示す液晶表示装置（電気光学装置）100は、液晶パネル200と、本発明の半導体チップの実装方法により、半導体チップ1Cが回路基板7である可撓性回路基板に実装されてなる可撓性回路基板300とを有している。すなわち、液晶表示装置（電気光学装置）100は、本発明の半導体装置（半導体実装基板）を備えている。

【0091】

液晶パネル200は、枠状のシール材230を介して貼りあわされた第1パネル基板220と、第1パネル基板220に対向する第2パネル基板240と、これらで囲まれる空間に封入された液晶270とを有している。

40

第1パネル基板220および第2パネル基板240は、それぞれ、例えば、ガラス基板で構成されている。これらのパネル基板220、240の液晶270側の面には、それぞれ、例えばITO等で構成される透明電極210、250が設けられている。これらの透明電極210、250を介して、液晶270に電圧が印加される。

また、第2パネル基板240の上面には、偏光板260が設けられている。

なお、第1パネル基板220は、第2パネル基板240から張り出した部分（張出領域201）を有している。この張出領域201にまで、各透明電極210、250が延在して設けられている。

【0092】

回路基板（可撓性回路基板）7の基板8の一方の面81には、配線パターン（リード）

50

93が形成されている。この回路基板7は、その一端側(図中左側)において、配線パターン93が下方を向くように長手方向の途中で折り曲げられている。そして、この一端側において、配線パターン93と張出領域201に延在する各透明電極210、250の端部とが、導電性粒子410を含む異方性導電性材料(異方性導電性ペースト、異方性導電性膜)400を介して接続されている。また、配線パターン93の中央付近の端部が端子9を構成しており、この端子9に半導体チップ1Cの bumps が接合(接続)されている。

これにより、各透明電極210、250と半導体チップ1Cとの電氣的導通が得られている。

【0093】

半導体チップ1Cは、液晶パネル200の駆動用ICとして設けられており、各透明電極210、250への電圧の印加量、印加パターン等を制御する。この半導体チップ1Cの制御により、液晶パネル200では、所望の情報(画像)が表示される。

なお、本発明の電子デバイスは、図示の液晶表示装置100への適用に限定されず、例えば、有機EL表示装置、電気泳動表示装置等の各種表示装置、インクジェット記録ヘッド等の液滴吐出用ヘッド等に適用することもできる。

そして、このような電子デバイスを備える本発明の電子機器は、各種の電子機器に適用することができる。

【0094】

以下、本発明の電子機器について、図13~図15に示す実施形態に基づき、詳細に説明する。

図13は、本発明の電子機器を適用したモバイル型(またはノート型)のパーソナルコンピュータの構成を示す斜視図である。

この図において、パーソナルコンピュータ1100は、キーボード1102を備えた本体部1104と、表示ユニット1106とにより構成され、表示ユニット1106は、本体部1104に対しヒンジ構造部を介して回動可能に支持されている。

このパーソナルコンピュータ1100は、本発明の電子デバイスとして、表示ユニット1106に液晶表示装置100が組み込まれ、また、その内部に、例えば、CPU(中央演算処理装置)等が内蔵されている。

【0095】

図14は、本発明の電子機器を適用した携帯電話機(PHSも含む)の構成を示す斜視図である。

この図において、携帯電話機1200は、複数の操作ボタン1202、受話口1204および送話口1206とともに、本発明の電子デバイスとして液晶表示装置100を備えている。

また、この携帯電話機1200では、液晶表示装置100の他、その内部に、本発明の電子デバイスとして、例えば、メモリ等が内蔵されている。

【0096】

図15は、本発明の電子機器を適用したデジタルスチルカメラの構成を示す斜視図である。なお、この図には、外部機器との接続についても簡易的に示されている。

ここで、通常のカメラは、被写体の光像により銀塩写真フィルムを感光するのに対し、デジタルスチルカメラ1300は、被写体の光像をCCD(Charge Coupled Device)などの撮像素子により光電変換して撮像信号(画像信号)を生成する。

【0097】

デジタルスチルカメラ1300におけるケース(ボディー)1302の背面には、本発明の電子デバイスとして液晶表示装置(電気光学装置)100が設けられ、CCDによる撮像信号に基づいて表示を行う構成になっており、液晶表示装置100は、被写体を電子画像として表示するファインダとして機能する。

ケース1302の内部には、本発明の電子デバイスとして、例えば、撮像信号を格納(記憶)し得るメモリ1308等が内蔵されている。

【0098】

10

20

30

40

50

また、ケース1302の正面側(図15においては裏面側)には、光学レンズ(撮像光学系)やCCDなどを含む受光ユニット1304が設けられている。

撮影者が液晶表示装置100に表示された被写体像を確認し、シャッターボタン1306を押下すると、その時点におけるCCDの撮像信号が、メモリ1308に転送・格納される。

【0099】

また、このデジタルスチルカメラ1300においては、ケース1302の側面に、ビデオ信号出力端子1312と、データ通信用の入出力端子1314とが設けられている。そして、図15に示されるように、ビデオ信号出力端子1312にはテレビモニタ1430が、データ通信用の入出力端子1314にはパーソナルコンピュータ1440が、それぞれ必要に応じて接続される。さらに、所定の操作により、メモリ1308に格納された撮像信号が、テレビモニタ1430や、パーソナルコンピュータ1440に出力される構成になっている。

10

【0100】

なお、本発明の電子機器は、図13のパーソナルコンピュータ、図14の携帯電話機、図15のデジタルスチルカメラの他にも、例えば、インクジェット式吐出装置(例えばインクジェットプリンタ)、テレビ、ビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳(通信機能付も含む)、電卓、電子ゲーム機器、ワードプロセッサ、ワークステーション、テレビ電話、防犯用テレビモニタ、電子双眼鏡、POS端末、医療機器(例えば電子体温計、血圧計、血糖計、心電図計測装置、超音波診断装置、電子内視鏡)、魚群探知機、各種測定機器、計器類(例えば、車両、航空機、船舶の計器類)、フライトシュミレータ等に適用することができる。

20

【0101】

以上、本発明の半導体チップの回路基板への実装方法、半導体装置、電子デバイスおよび電子機器について、図示の実施形態に基づいて説明したが、本発明は、これらに限定されるものではない。

例えば、本発明の半導体チップの実装方法では、必要に応じて、任意の目的の工程を追加することもできる。

【0102】

また、本発明の半導体チップの実装方法は、複数の半導体チップを積層するのに用いてもよい。

30

また、本発明において実装される半導体チップは、予め複数の半導体チップを積層した積層体であってもよい。

また、上記の説明では、化学処理と化学処理との間に、水洗工程を有するものとして説明したが、このような水洗工程は、その少なくとも一部を省略してもよい。また、水洗工程において用いる洗浄液としては、水(純水)のほか、界面活性剤を含む液体や、アルカリ溶液、酸溶液等を用いてもよい。また、水洗工程の代わりに、有機溶媒(有機溶剤)等の水以外の洗浄液を用いる洗浄工程を有していてもよい。

【0103】

【実施例】

40

(参考例1)

まず、電極パッド(A1パッド)およびパッシベーション膜が形成された基板の裏面および端面にレジストを塗布した。次に、前記実施形態で説明した方法により、Ni層、Au層を形成した。

【0104】

なお、各化学処理の間には、水洗槽において水洗処理を行った。このとき、水洗槽の内部に配された、複数の孔が形成されたポリテトラフルオロエチレン(PTFE)製のチューブから、吹き出し圧力: $1 \sim 3 \text{ kg/cm}^2$ 、吹き出し量: $0.5 \sim 1 \text{ L/秒}$ で N_2 ガスを吹き出すことによりバブリングを行った。

次に、硫酸過水溶液中に基板を浸漬して、基板の裏面および端面に塗布されたレジストを

50

除去した。

【0105】

以上のようにして無電解めっきによりNi層とAu層とからなるバンプ(厚さ:20 μ m)を形成して、半導体チップを得た。得られた半導体チップにおいて、隣接するバンプのピッチは40 μ mであった。

得られた半導体チップを、はんだ接合(ろう材接合)により回路基板に実装した。半導体チップと回路基板との接合は、フェースダウン実装により行った。このとき、はんだを、半導体チップ側ではなく、回路基板の端子上に供給した。はんだとしては、Sn:96.5wt%、Ag:3wt%、Cu:0.5wt%の組成を有するSn-Ag-Cu系はんだを用いた。回路基板への半導体チップの実装は、半導体チップを位置合わせして重ね合わせ、250、3kgf/mm²で、加熱・加圧することにより行った。

10

【0106】

(参考例2)

本参考例では、前記参考例1と同様にしてNi層を形成した後に、レジスト層(Ni層形成用レジスト層)を除去せずに、続けてCu層を無電解めっきにより形成した。これにより、Ni層の上面のみに、Cu層を形成してバンプとした。

その後、塩酸溶液中に基板を浸漬して、Cu層表面の酸化膜を除去し、さらに、プリフラックス溶液に基板を浸漬することにより、プリフラックス処理を行った。

その後、レジストを前記参考例1と同様にして除去することにより、半導体チップを得た。そして、得られた半導体チップを、前記参考例1と同様にしてはんだ接合することにより、半導体チップを回路基板に実装した。

20

【0107】

(実施例1)

本実施例では、前記参考例1と同様にしてNi層を形成した後に、レジスト層を除去し、その後、開口部を有する、新たなレジスト層を形成して、該レジスト層を用いて、Ni層の上面に、Ni層よりも面積(平面視したときの面積)の小さいCu層を形成することにより、段差形状を有するバンプを形成した。

その後、レジストを前記参考例1と同様にして除去することにより、半導体チップを得た。そして、得られた半導体チップを、前記参考例1と同様にしてはんだ接合することにより、半導体チップを回路基板に実装した。

30

【0108】

(比較例)

参考例1と同様にして半導体チップを作製した。

得られた半導体チップをはんだ接合により回路基板に実装した。このとき、はんだを、回路基板側ではなく、半導体チップのバンプ上に供給した。

以上のようにして回路基板に実装された半導体チップの、回路基板との接合部分を観察した。その結果、参考例、実施例、比較例のいずれもが、バンプ側面にはんだが吸い上げられてフィレットが形成されていた。

【0109】

はんだを回路基板側に供給した実施例1では、フィレットの高さを好適に制御することができ、高くなりすぎることはなかった。また、バンプをNi層とCu層との2層構造とした実施例1では、はんだがCu層側に流れ、フィレットがCu層の高さを越えることなく形成されていた。さらに、バンプを段差形状を有する2層構造とした実施例1では、当該段差部分ではんだが止められ、フィレットが段差部分を越えることなく形成されていた。

40

【0110】

このように、実施例1では、はんだフィレットの高さを制御することができるため、半導体チップのパッシベーション膜にはんだが付着することを好適に防止することができた。その結果、パッシベーション膜とバンプとの接合強度等が劣化するのを効果的に防止することができ、半導体チップと回路基板との接合信頼性を優れたものとすることができた

50

。

【0111】

これに対し、はんだを半導体チップ側に供給した比較例では、フィレットの高さが高くなり、半導体チップのパッシベーション膜にまで、はんだフィレットが到達してしまっていた。その結果、パッシベーション膜にはんだが付着し、パッシベーション膜とバンプとの接合が劣化してしまい、半導体チップと回路基板との接合信頼性に劣っていた。

【図面の簡単な説明】

- 【図1】 半導体チップの第1実施形態を示す断面図である。
- 【図2】 バンプの形成方法を示す工程図(断面図)である。
- 【図3】 バンプの形成方法を示す工程図(断面図)である。
- 【図4】 バンプの形成に用いる水洗槽の一例を模式的に示す図である。
- 【図5】 半導体チップが実装される回路基板の一例を示す断面図である。
- 【図6】 半導体チップの実装方法を示す工程図(断面図)である。
- 【図7】 回路基板に半導体チップが実装された状態を示す断面図である。
- 【図8】 半導体チップの第2実施形態を示す断面図である。
- 【図9】 回路基板に半導体チップが実装された状態を示す断面図である。
- 【図10】 半導体チップの第3実施形態を示す断面図である。
- 【図11】 回路基板に半導体チップが実装された状態を示す断面図である。
- 【図12】 本発明の電子デバイスを液晶表示装置に適用した場合の実施形態を示す断面図である。
- 【図13】 本発明の電子デバイスを備える電子機器(ノート型パーソナルコンピュータ)である。
- 【図14】 本発明の電子デバイスを備える電子機器(携帯電話機)である。
- 【図15】 本発明の電子デバイスを備える電子機器(デジタルスチルカメラ)である。

10

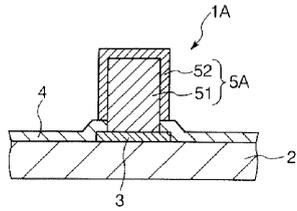
20

。

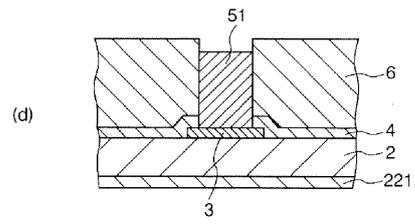
【符号の説明】

- 1 A, 1 B, 1 C 半導体チップ 2 基板 2 1 面 2 2 裏面 2 2 1
- レジスト 3 電極パッド 4 パッシベーション膜 4 1 開口部 5 A、
- 5 B、5 C バンプ 5 1 第1のバンプ層(Ni層) 5 2 第2のバンプ層(Au層)
- 5 3 第2のバンプ層(Cu層) 5 4 第2のバンプ層(Cu層) 5 30
- 9 段差部 6 レジスト層 6 1 開口部 7 回路基板 8 基板 8 1
- 面 9 端子(接続端子) 9 3 配線パターン 1 0 ろう材 1 0 1
- フィレット 1 2 水洗槽 1 2 1 オーバーフロー機構 1 3 チューブ 1 3
- 1 孔 1 3 2 バブル 1 4 治具 1 5 洗浄液 1 0 0 液晶表示装置
- 2 0 0 液晶パネル 2 0 1 張出領域 2 1 0 透明電極 2 2 0 第1パ
- ネル基板 2 3 0 シール材 2 4 0 第2パネル基板 2 5 0 透明電極 2 6
- 0 偏光板 2 7 0 液晶 3 0 0 可撓性回路基板 4 0 0 異方性導電性材
- 料 4 1 0 導電性粒子 1 1 0 0 パーソナルコンピュータ 1 1 0 2 キーボ
- ード 1 1 0 4 本体部 1 1 0 6 表示ユニット 1 2 0 0 携帯電話機 1 2
- 0 2 操作ボタン 1 2 0 4 受話口 1 2 0 6 送話口 1 3 0 0 デジタル 40
- ルスチルカメラ 1 3 0 2 ケース(ボディー) 1 3 0 4 受光ユニット 1 3 0
- 6 シャッターボタン 1 3 0 8 メモリ 1 3 1 2 ビデオ信号出力端子 1 3 1
- 4 データ通信用の入出力端子 1 4 3 0 テレビモニタ 1 4 4 0 パーソナル
- コンピュータ

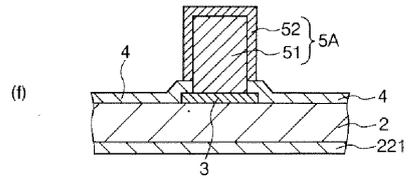
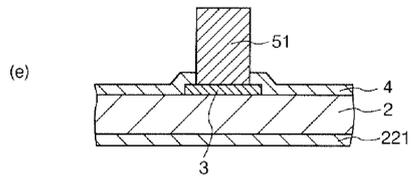
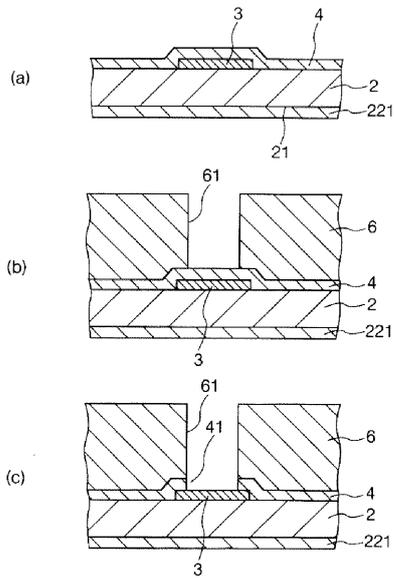
【 図 1 】



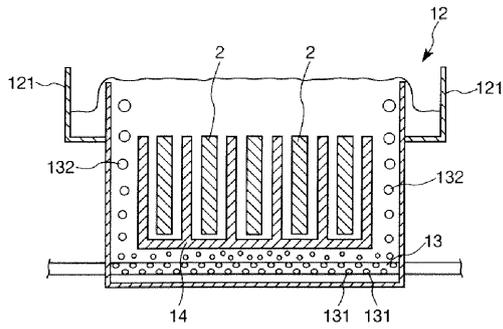
【 図 3 】



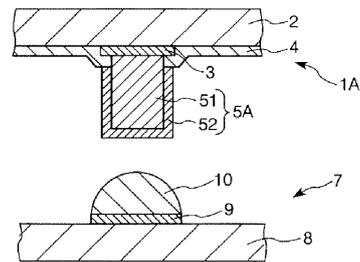
【 図 2 】



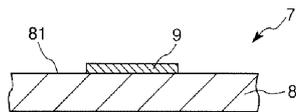
【 図 4 】



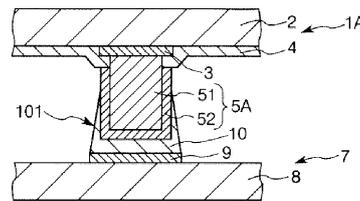
【 図 6 】



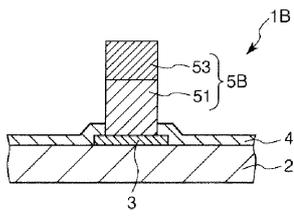
【 図 5 】



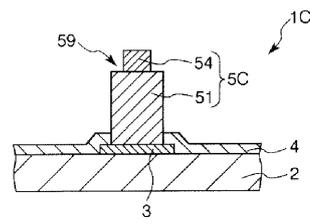
【 図 7 】



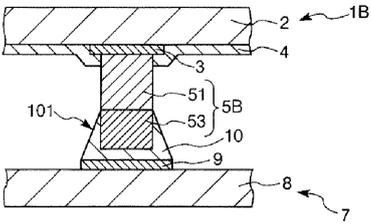
【 図 8 】



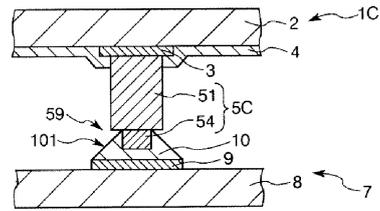
【 図 10 】



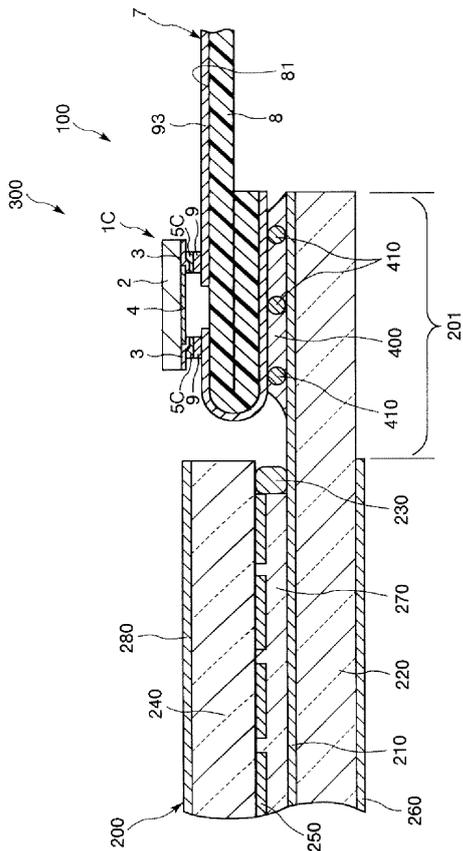
【 図 9 】



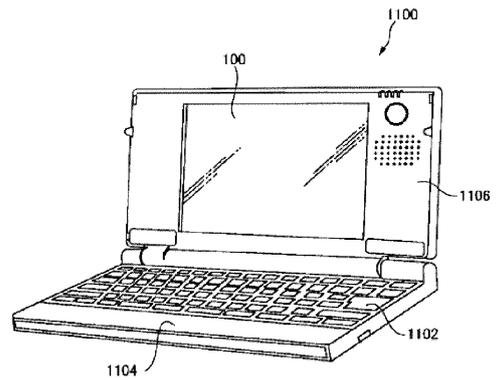
【 図 11 】



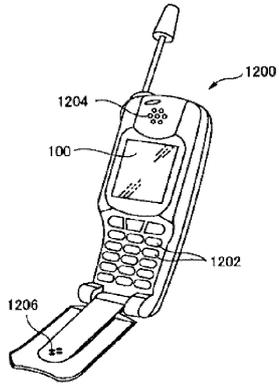
【 図 12 】



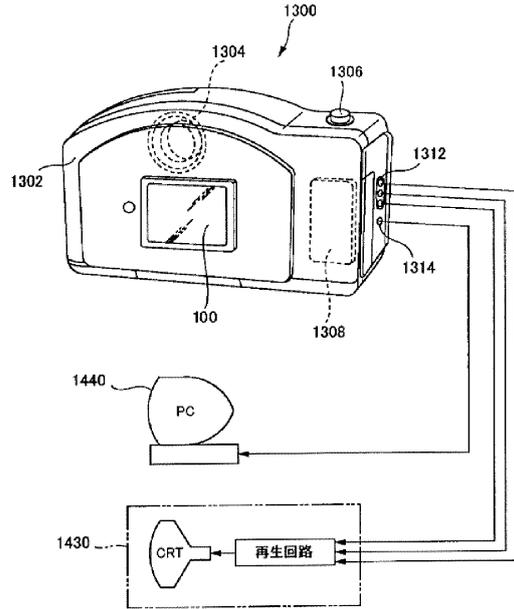
【 図 13 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

- (56)参考文献 特開平10-321633(JP,A)
特開昭62-117346(JP,A)
特開2002-016096(JP,A)
実開昭56-056656(JP,U)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/60