



(12)发明专利

(10)授权公告号 CN 104931778 B

(45)授权公告日 2017.09.12

(21)申请号 201510311887.0

(22)申请日 2015.06.09

(65)同一申请的已公布的文献号
申请公布号 CN 104931778 A

(43)申请公布日 2015.09.23

(73)专利权人 浙江大学
地址 310027 浙江省杭州市西湖区浙大路
38号

(72)发明人 何乐年 殷樱 孙可旭 奚剑雄

(74)专利代理机构 杭州天勤知识产权代理有限公司 33224

代理人 胡红娟

(51)Int.Cl.
G01R 23/09(2006.01)

(56)对比文件

CN 102692563 A, 2012.09.26,

CN 103197139 A, 2013.07.10,

CN 102565529 A, 2012.07.11,

CN 102754348 A, 2012.10.24,

US 5359727 A, 1994.10.25,

CN 103308763 A, 2013.09.18,

CN 102169140 A, 2011.08.31,

陈东坡等.一种高稳定度片内时钟发生器的研究与设计.《电路与系统学报》.2006,第11卷(第03期),

沈亚丹等.基于类状态机的检测时间自调整的频率检测器.《机电工程》.2013,第30卷(第08期),

审查员 马佳伟

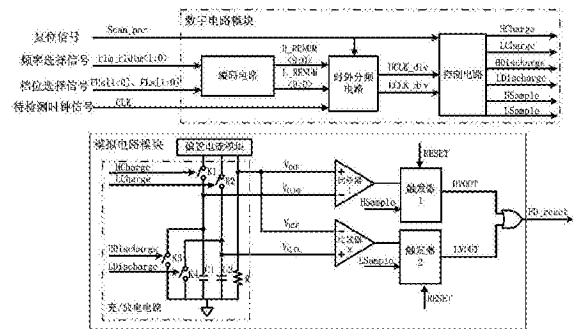
权利要求书2页 说明书7页 附图3页

(54)发明名称

一种时钟频率检测电路

(57)摘要

本发明公开了一种时钟频率检测电路,由数字电路模块和模拟电路模块组成;数字电路模块由编码电路、时钟分频电路和充放电控制电路组成;模拟电路模块由偏置电流模块、充放电电路、比较器模块和触发器模块组成;档位选择信号进入编码电路,待检测的时钟信号和编码电路输出的编码信号进入时钟分频电路,时钟分频电路的输出信号进入充放电控制电路,充放电控制电路输出的高低频充电信号进入充放电电路,采样信号分别进入触发器模块;充放电电路三个输出引脚分别连接比较器模块;比较器模块输出信号至触发器模块,通过或门输出。本发明时钟频率检测电路以数字集成电路与模拟集成电路相结合,减小了芯片面积,拓展性强,检测范围广。



1. 一种时钟频率检测电路,其特征在于:包括数字电路模块和模拟电路模块;所述的数字电路模块包括:

编码电路,接收给定的频率选择信号以及对应高低频的两个档位选择信号,分别使频率选择信号与高频档位选择信号进行混合编码,使频率选择信号与低频档位选择信号进行混合编码,得到对应高低频的两路二进制编码信号;

时钟分频电路,受控于两路二进制编码信号,对待检测的时钟信号CLK进行分频,得到频率归一化后对应高低频的两路分频时钟信号CLK_div;

控制电路,根据两路分频时钟信号CLK_div通过逻辑组合生成对应高低频的两路充电控制信号、两路放电控制信号以及两路采样信号;

所述的模拟电路模块包括:

偏置电流产生电路,用于产生偏置电流;

充放电电路,根据对应高低频的两路充电控制信号和两路放电控制信号,控制偏置电流对内部电容进行充放电,从而得到电容的高频充电电压、低频充电电压以及基准电压;

比较电路,用于使高频充电电压和低频充电电压分别与基准电压进行比较,得到高频比较信号和低频比较信号;

触发电路,以两路采样信号作为时钟,在高频充电电压和低频充电电压峰值状态下,对应将比较电路产生的高频比较信号和低频比较信号直通输出;

或门电路,对触发电路输出的高频比较信号和低频比较信号进行或运算,输出用于判断时钟频率是否异常的复位信号。

2. 根据权利要求1所述的时钟频率检测电路,其特征在于:所述的时钟分频电路包括对应高低频的两组时钟分频子电路,任一组时钟分频子电路包括n个D触发器、n个同或门以及n个与门,n为二进制编码信号的位数;其中,所述D触发器的D输入端与Q输出端相连,第i+1个D触发器的时钟端与第i个D触发器的Q输出端以及第i个同或门的第二输入端相连,第i个同或门的第一输入端接收对应二进制编码信号的第i位编码;第1个D触发器的时钟端接收待检测的时钟信号CLK,第n个D触发器的Q输出端与第n个同或门的第二输入端相连并输出对应的分频时钟信号CLK_div;第1个与门的第一输入端与第1个同或门的输出端相连,第二输入端与第2个同或门的输出端相连;第i+1个与门的第一输入端与第i个与门的输出端相连,第二输入端与第i+2个同或门的输出端相连,输出端与第i+2个与门的第一输入端相连;第n个与门输出端的输出信号与外部给定的复位信号scan_por经数字逻辑整合后输出为各D触发器复位端共同提供的复位信号。

3. 根据权利要求1所述的时钟频率检测电路,其特征在于:所述的控制电路包括对应高低频的两组控制子电路,任一组控制子电路包括六个D触发器U1~U6、三个多路选择器J1~J3、三个与非门A1~A3、两个或非门B1~B2以及八个反相器E1~E8;其中,D触发器U1的时钟端与反相器E1的输入端、D触发器U5的时钟端以及D触发器U6的时钟端相连并接收对应的分频时钟信号CLK_div;D触发器U1的D输入端与D触发器U1的Q输出端、或非门B1的第二输入端、或非门B2的第二输入端以及与非门A2的第一输入端相连,D触发器U1的Q输出端与D触发器U2的时钟端以及多路选择器J1的选控端相连,D触发器U2的D输入端与D触发器U2的Q输出端以及或非门B2的第一输入端相连,D触发器U2的Q输出端与或非门B1的第一输入端相连,反相器E1的输出端与D触发器U3的时钟端以及与非门A2的第二输入端相连,D触发器U3的D

输入端与多路选择器J1的输出端相连,D触发器U3的Q输出端与多路选择器J1的第二输入端相连,D触发器U3的Q输出端与多路选择器J1的第一输入端以及与非门A1的第一输入端相连,D触发器U4的D输入端接电源电压VDD,D触发器U4的时钟端与多路选择器J2的第二输入端以及D触发器U5的Q输出端相连,D触发器U4的Q输出端与与非门A1的第二输入端相连,多路选择器J2的第一输入端接电源电压VDD,多路选择器J2的选控端与或非门B1的输出端相连,D触发器U5的D输入端与多路选择器J2的输出端相连,D触发器U5的Q输出端与反相器E5的输入端相连,多路选择器J3的第一输入端接电源电压VDD,多路选择器J3的选控端与或非门B2的输出端相连,多路选择器J3的第二输入端与D触发器U6的Q输出端以及反相器E7的输入端相连,D触发器U6的D输入端与多路选择器J3的输出端相连,D触发器U1~U4的复位端以及反相器E2的输入端接收外部给定的复位信号scan_por,与非门A2的输出端与与非门A3的第一输入端相连,反相器E2的输出端与与非门A3的第二输入端相连,与非门A3的输出端与D触发器U5和U6的复位端相连,与非门A1的输出端与反相器E3的输入端相连,反相器E3的输出端与反相器E4的输入端相连,反相器E4的输出端输出对应的采样信号,反相器E5的输出端与反相器E6的输入端相连,反相器E6的输出端输出对应的充电控制信号,反相器E7的输出端与反相器E8的输入端相连,反相器E8的输出端输出对应的放电控制信号。

4. 根据权利要求1所述的时钟频率检测电路,其特征在于:所述的充放电电路包括两个PMOS管K1~K2、两个NMOS管K3~K4、两个电容C1~C2和电阻R;其中,PMOS管K1的源端和PMOS管K2的源端分别接收偏置电流产生电路提供的两路充电偏置电流,电阻R的一端接收偏置电流产生电路提供的基准偏置电流并产生所述的基准电压,PMOS管K1的漏端与NMOS管K3的漏端以及电容C1的一端相连并产生所述的高频充电电压,PMOS管K2的漏端与NMOS管K4的漏端以及电容C2的一端相连并产生所述的低频充电电压,NMOS管K3和K4的源端、电容C1和C2的另一端以及电阻R的另一端共同接地,PMOS管K1的栅端接收高频充电控制信号,PMOS管K2的栅端接收低频充电控制信号,NMOS管K3的栅端接收高频放电控制信号,NMOS管K4的栅端接收低频放电控制信号。

5. 根据权利要求1所述的时钟频率检测电路,其特征在于:所述的比较电路由两个比较器构建;所述的触发电路由两个D触发器构建。

一种时钟频率检测电路

技术领域

[0001] 本发明属于模数集成电路技术领域,具体涉及一种时钟频率检测电路。

背景技术

[0002] 时钟频率检测器电路一般用于对芯片工作时钟频率进行检测,当时钟频率高于(低于)设置的高(低)频报警检测值,则输出高(低)频报警信号,以保证芯片工作的安全性和稳定性。

[0003] 目前,时钟频率检测器电路多用模拟集成电路设计实现的,包括参考时钟源、鉴频电路及输出电路三部分。参考时钟源为一定频率的方波发生器,鉴频电路完成输入时钟频率与参考时钟频率的比较,由比较高低分别输出零电平或脉冲波,令该信号通过输出传输门,可得相应高低电平。但由于模拟电路所占芯片面积大,增加了制造成本,而且其检测精度不仅与参考时钟源设计相关,还依赖于鉴频电路的设计,相对受工艺、环境影响较大等诸多问题,在实际应用中会带来不便。

[0004] 在发展过程中,出现了一些改进后基于数字集成电路设计的频率检测器的设计,其采用计数器代替模拟鉴频电路,用数字逻辑实现输入时钟与参考时钟的频率进行比较,将计数结果进行比较输出。它虽然减小了芯片的面积,降低了成本,但仍需要内部产生一个参考时钟频率,影响检测精度,且能检测的频率范围受影响。

发明内容

[0005] 针对现有技术所存在的上述技术问题,本发明提供了一种时钟频率检测电路,以数字集成电路为主,数字集成电路与模拟集成电路相结合的电路设计,并可根据用户设置多报警频率的检测,实现了减小芯片面积,拓展性强,检测范围广的效果。

[0006] 一种时钟频率检测电路,包括数字电路模块和模拟电路模块;

[0007] 所述的数字电路模块包括:

[0008] 编码电路,接收给定的频率选择信号以及对应高低频的两个档位选择信号,分别使频率选择信号与高频档位选择信号进行混合编码,使频率选择信号与低频档位选择信号进行混合编码,得到对应高低频的两路二进制编码信号;

[0009] 时钟分频电路,受控于两路二进制编码信号,对待检测的时钟信号CLK进行分频,得到频率归一化后对应高低频的两路分频时钟信号CLK_div;

[0010] 控制电路,根据两路分频时钟信号CLK_div通过逻辑组合生成对应高低频的两路充电控制信号、两路放电控制信号以及两路采样信号;

[0011] 所述的模拟电路模块包括:

[0012] 偏置电流产生电路,用于产生偏置电流;

[0013] 充放电电路,根据对应高低频的两路充电控制信号和两路放电控制信号,控制偏置电流对内部电容进行充放电,从而得到电容的高频充电电压、低频充电电压以及基准电压;

[0014] 比较电路,用于使高频充电电压和低频充电电压分别与基准电压进行比较,得到高频比较信号和低频比较信号;

[0015] 触发电路,以两路采样信号作为时钟,在高频充电电压和低频充电电压峰值状态下,对应将比较电路产生的高频比较信号和低频比较信号直通输出;

[0016] 或门电路,对触发电路输出的高频比较信号和低频比较信号进行或运算,输出用于判断时钟频率是否异常的复位信号。

[0017] 所述的时钟分频电路包括对应高低频的两组时钟分频子电路,所述的时钟分频子电路包括n个D触发器、n个同或门以及n个与门,n为二进制编码信号的位数;其中,所述D触发器的D输入端与Q输出端相连,第i+1个D触发器的时钟端与第i个D触发器的Q输出端以及第i个同或门的第二输入端相连,第i个同或门的第一输入端接收对应二进制编码信号的第i位编码;第1个D触发器的时钟端接收待检测的时钟信号CLK,第n个D触发器的Q输出端与第n个同或门的第二输入端相连并输出对应的分频时钟信号CLK_div;第1个与门的第一输入端与第1个同或门的输出端相连,第二输入端与第2个同或门的输出端相连;第i+1个与门的第一输入端与第i个与门的输出端相连,第二输入端与第i+2个同或门的输出端相连,输出端与第i+2个与门的第一输入端相连;第n个与门输出端的输出信号与外部给定的复位信号scan_por经数字逻辑整合后输出为各D触发器复位端共同提供的复位信号。

[0018] 所述的控制电路包括对应高低频的两组控制子电路,所述的控制子电路包括六个D触发器U1~U6、三个多路选择器J1~J3、三个与非门A1~A3、两个或非门B1~B2以及八个反相器E1~E8;其中,D触发器U1的时钟端与反相器E1的输入端、D触发器U5的时钟端以及D触发器U6的时钟端相连并接收对应的分频时钟信号CLK_div;D触发器U1的D输入端与D触发器U1的Q输出端、或非门B1的第二输入端、或非门B2的第二输入端以及与非门A2的第一输入端相连,D触发器U1的Q输出端与D触发器U2的时钟端以及多路选择器J1的选控端相连,D触发器U2的D输入端与D触发器U2的Q输出端以及或非门B2的第一输入端相连,D触发器U2的Q输出端与或非门B1的第一输入端相连,反相器E1的输出端与D触发器U3的时钟端以及与非门A2的第二输入端相连,D触发器U3的D输入端与多路选择器J1的输出端相连,D触发器U3的Q输出端与多路选择器J1的第二输入端相连,D触发器U3的Q输出端与多路选择器J1的第一输入端以及与非门A1的第一输入端相连,D触发器U4的D输入端接电源电压VDD,D触发器U4的时钟端与多路选择器J2的第二输入端以及D触发器U5的Q输出端相连,D触发器U4的Q输出端与与非门A1的第二输入端相连,多路选择器J2的第一输入端接电源电压VDD,多路选择器J2的选控端与或非门B1的输出端相连,D触发器U5的D输入端与多路选择器J2的输出端相连,D触发器U5的Q输出端与反相器E5的输入端相连,多路选择器J3的第一输入端接电源电压VDD,多路选择器J3的选控端与或非门B2的输出端相连,多路选择器J3的第二输入端与D触发器U6的Q输出端以及反相器E7的输入端相连,D触发器U6的D输入端与多路选择器J3的输出端相连,D触发器U1~U4的复位端以及反相器E2的输入端接收外部给定的复位信号scan_por,与非门A2的输出端与与非门A3的第一输入端相连,反相器E2的输出端与与非门A3的第二输入端相连,与非门A3的输出端与D触发器U5和U6的复位端相连,与非门A1的输出端与反相器E3的输入端相连,反相器E3的输出端与反相器E4的输入端相连,反相器E4的输出端输出对应的采样信号,反相器E5的输出端与反相器E6的输入端相连,反相器E6的输出端输出对应的充电控制信号,反相器E7的输出端与反相器E8的输入端相连,反相器E8的输

出端输出对应的放电控制信号。

[0019] 所述的充放电电路包括两个PMOS管K1~K2、两个NMOS管K3~K4、两个电容C1~C2和电阻R；其中，PMOS管K1的源端和PMOS管K2的源端分别接收偏置电流产生电路提供的两路充电偏置电流，电阻R的一端接收偏置电流产生电路提供的基准偏置电流并产生所述的基准电压，PMOS管K1的漏端与NMOS管K3的漏端以及电容C1的一端相连并产生所述的高频充电电压，PMOS管K2的漏端与NMOS管K4的漏端以及电容C2的一端相连并产生所述的低频充电电压，NMOS管K3和K4的源端、电容C1和C2的另一端以及电阻R的另一端共同接地，PMOS管K1的栅端接收高频充电控制信号，PMOS管K2的栅端接收低频充电控制信号，NMOS管K3的栅端接收高频放电控制信号，NMOS管K4的栅端接收低频放电控制信号。

[0020] 所述的比较电路由两个比较器构建；所述的触发电路由两个D触发器构建。

[0021] 本发明首先通过外部选择时钟频率检测值，并选择高频、低频检测报警档位，由编码电路生成2路十位编码控制时钟分频电路，不同报警档位的频率检测可复用数字电路模块，高频检测和低频检测可同时进行；

[0022] 然后，由外部输入scan_por开关信号对频率检测器内部模块进行初始化；外部输入频率为 f_{CLK} 的待检测时钟信号，进入时钟分频电路后，输出分频后的时钟频率信号 $f_{CLK'}$ ；当进行高频检测时，若 f_{CLK} 大于高频检测报警频率点 f_{FH} ，分频后的时钟频率信号 $f_{CLK'}$ 大于设定好的基准频率 f_{REF} ；当进行低频检测时，若 f_{CLK} 小于低频检测报警频率点 f_{FL} ，分频后的时钟频率信号 $f_{CLK'}$ 小于设定好的基准频率 f_{REF} ；

[0023] 分频后的时钟频率信号同时输入到充放电控制电路，高频检测分频后的时钟信号可控制生成高频充电控制信号和高频放电控制信号，这两个信号分别输入到充放电电路高频检测单元中控制充电、放电的两个开关管的栅端，控制高频充、放电时间；低频检测分频后的时钟信号可控制生成低频充电控制信号和低频放电控制信号，这两个信号分别输入到充、放电电路低频检测单元中控制充电、放电的两个开关管的栅端，控制低频充、放电时间；

[0024] 充放电电路的基准电压单元的充电电流、基准偏置电流均由偏置电流模块生成，当高频充电控制信号为低电平时，PMOS管K1导通，电流通过PMOS管K1给电容C1进行充电，当高频充电控制信号跳变为高电平时，PMOS管K1关断，充电过程停止，此时电容C1电压即为充电时间 $t_{CHARGE} = \frac{1}{f_{CLK'}}$ 内充电峰值 $V_{C,peak} = \frac{I_{CHARGE} * t_{CHARGE}}{C}$ ，即将频率转换为电压进行比较，

基准电压 $V_{REF} = I_{REF} R = \frac{I_{CHARGE} * t_{REF}}{C}$ ，其中 $t_{REF} = \frac{1}{f_{REF}}$ ；

[0025] 当低频充电控制信号为低电平时，PMOS管K2导通，电流通过PMOS管K2给电容C2进行充电，当低频充电控制信号跳变为高电平时，PMOS管K2关断，充电过程停止，此时电容C2

电压即为充电时间 $t_{CHARGE} = \frac{1}{f_{CLK'}}$ 内充电峰值 $V_{C,peak} = \frac{I_{CHARGE} * t_{CHARGE}}{C}$ ，即将频率转换为电

压进行比较，基准电压 $V_{REF} = I_{REF} R = \frac{I_{CHARGE} * t_{REF}}{C}$ ，其中 $t_{REF} = \frac{1}{f_{REF}}$ ；

[0026] 高频电容电压信号输出至第一比较器负输入端，低频电容电压信号输出至第二比较器正输入端，基准电压信号分别输出至第一比较器正输入端和第二比较器负输入端；

[0027] 若 $f_{CLK} > f_{FH}$, 即 $f_{CLK}' > f_{REF}$, $t_{CHARGE} < t_{REF}$, $V_{C, peak} < V_{REF}$, 则此时第一比较器输出为高电平, 发出报警信号; 若 $f_{CLK} < f_{FL}$, 即 $f_{CLK}' < f_{REF}$, $t_{CHARGE} > t_{REF}$, $V_{C, peak} > V_{REF}$, 则此时第一比较器输出为低电平;

[0028] 若 $f_{CLK} > f_{FL}$, 即 $f_{CLK}' > f_{REF}$, $t_{CHARGE} < t_{REF}$, $V_{C, peak} < V_{REF}$, 则第二比较器输出为低电平; 若 $f_{CLK} < f_{FL}$, 即 $f_{CLK}' < f_{REF}$, $t_{CHARGE} > t_{REF}$, $V_{C, peak} > V_{REF}$, 则第二比较器输出高电平, 发出报警信号;

[0029] 由充放电控制电路生成的采样信号连接到触发器的时钟输入端, 控制将电容充电峰值与基准电压的比较值输出;

[0030] 低频检测比较器和高频检测比较器结果通过或门输出, 即为FD_reset复位信号, 当FD_reset复位信号为高电平, 即时钟频率异常, 将对整个芯片进行复位, 强制停止工作, 以保证芯片安全; 若FD_reset复位信号为低电平, 则芯片正常工作。

[0031] 相对于现有技术, 本发明以数字集成电路为主, 数字集成电路与模拟集成电路相结合的电路设计, 并可根据用户设置多报警频率的检测, 实现了减小芯片面积, 拓展性强, 检测范围广的效果。

附图说明

[0032] 图1为本发明时钟频率检测电路的结构示意图。

[0033] 图2为时钟分频电路的结构示意图。

[0034] 图3为控制电路的结构示意图。

[0035] 图4为本发明时钟频率检测电路的引脚示意图。

[0036] 图5为本发明时钟频率检测电路各信号的时序关系示意图。

具体实施方式

[0037] 为了更为具体地描述本发明, 下面结合附图及具体实施方式对本发明的技术方案进行详细说明。

[0038] 如图1所示, 本发明时钟频率检测电路, 包括数字电路模块和模拟电路模块; 其中, 数字电路模块由编码电路、时钟分频电路和充放电控制电路组成; 模拟电路模块由偏置电流模块、充放电电路、比较器模块和触发器模块组成; 比较器模块由第一比较器和第二比较器组成; 触发器模块由第一触发器和第二触发器组成。用户设置的档位选择信号进入编码电路的输入端, 待检测的时钟信号和编码电路输出的编码信号均输出至进入时钟分频电路的输入端, 时钟分频电路的输出信号输出至充放电控制电路的输入端, 充放电控制电路有三个输出引脚, 高、低频充放电信号连接充放电电路, 采样信号分别输出至第一触发器和第二触发器的时钟输入端; 充放电电路有三个输出引脚, 高频电容电压信号输出至第一比较器负输入端, 低频电容电压信号输出至第二比较器正输入端, 基准电压信号分别输出至第一比较器正输入端和第二比较器负输入端; 第一比较器的输出信号输出至第一触发器的信号输入端, 第二比较器的输出信号输出至第二触发器的信号输入端, 第一触发器和第二触发器的输出信号通过或门输出。

[0039] 充放电电路包括依次串联在偏置电流模块与地之间的第一开关管K1和第三开关管K3、第二开关管K2和第四开关管K4、电阻R, 第一电容C1两端分别与第三开关管K3源漏端

相连;第二电容C2两端分别与第四开关管K4源漏端相连。

[0040] 图4为本实施方式频率检测器的引脚图,CLK为待检测时钟信号,scanpor为外部模块输出的一个开关信号,对频率检测器内部模块进行初始化后不使能,保证芯片正常工作。Rim_rfdtm<1:0>为待检测频率选择信号,FHs<1:0>为高频报警档位选择信号,FLs<1:0>为低频报警档位选择信号。ipp_do_hfd为高频比较信号,ipp_do_lfd为低频比较信号,FD_reset为最终输出的复位信号。

[0041] 数字电路模块主要由编码电路、时钟分频电路和充放电控制电路组成。其中编码电路是用于实现对用户选择的高、低频率报警档位进行编码,主要由与、或、非门等基本逻辑门电路组成,其输入为用户选择的待检测频率选择信号rim_rfdtm<1:0>、高频报警档位选择信号FHs<1:0>和低频报警档位选择信号FLs<1:0>。时钟分频电路输入待检测的时钟信号和编码电路产生的编码信号,用于对待检测的时钟信号进行N分频,分频次数N由编码信号控制,对待检测的时钟信号进行归一化。充放电控制电路由逻辑门电路组成,根据时钟分频电路产生的分频后时钟信号进行控制,输出HCharge和HDischarge、LCharge和LDischarge信号分别用于控制高频电容充/放电电路和低频电容充/放电电路的开关管,控制充放电时间。本实施方式中,时钟分频电路由对应高低频的两组时钟分频子电路(如图2所示)组成,控制电路由对应高低频的两组控制子电路(如图3所示)组成。

[0042] 模拟电路模块包括由电容、开关管等组成的充放电电路,偏置电流模块、比较器模块以及触发器模块。其中充放电电路输入为高频、低频充放电控制的HCharge和HDischarge、LCharge和LDischarge信号,控制电容充电、放电时间。比较器模块由第一比较器模块和第二比较器模块,分别用于比较高频HCharge、低频LCharge信号控制时间内的充电电压与基准电压之间的值,并输出HVOUT高频比较信号、LVOUT低频比较信号连接至触发器模块。偏置电流模块产生用于充、放电的偏置电流以及基准电压。

[0043] 触发器模块由第一触发器和第二触发器组成,均采用D触发器,由充放电控制电路生成的sample信号控制,将比较器模块的HVOUT、LVOUT输出信号分别连接至两个D触发器的信号输入端,两个D触发器分别输出ipp_do_hfd高频比较信号和ipp_do_lfd低频比较信号。

[0044] ipp_do_hfd高频比较信号和ipp_do_lfd低频比较信号至少有一个为高电平信号,则发生报警,触发器输出的FD_reset信号跳变为高电平,使芯片复位停止工作,防止时钟信号异常导致芯片异常工作,等待时钟频率修复。ipp_do_hfd高频比较信号和ipp_do_lfd低频比较信号均为低电平,则不报警,芯片正常工作。

[0045] 以下,以基准频率为0.1MHZ为例,本实施方式具体包括以下步骤:

[0046] 1、外部选择时钟频率检测值,rim_rfdtm<1:0>值有00、01、10、11四种取值,通过设置rim_rfdtm<1:0>值选取四种可供检测时钟频率值;每个频率检测值有四档高频、低频检测报警档位,通过FHs<1:0>和FLs<1:0>进行任意组合高频、低频报警档。根据用户设置的rim_rfdtm<1:0>、FHs<1:0>、FLs<1:0>通过编码模块中进行逻辑组合,输出2个十位编码code_H、code_L到时钟分频电路,不同报警档位的频率检测可复用数字电路模块,高频检测和低频检测可同时进行;

[0047] 2、外部输入scan_por开关信号对频率检测器内部模块进行初始化;

[0048] 3、外部输入fclk时钟频率信号,进入时钟分频电路后,输出分频后的检测信号;当进行高频检测时,若fclk大于高频检测报警频率点f_{FH},分频后的高频检测信号大于0.1MHZ,

当进行低频检测时,若 f_{CLK} 小于低频检测报警频率点 f_{FL} ,分频后的低频检测信号小于0.1MHZ;

[0049] 4、分频后的时钟频率为 $f_H = \frac{f_{clk}}{M_{FH}}$ 、 $f_L = \frac{f_{clk}}{M_{FL}}$,取 $M_{FH} = \frac{f_{FH}}{0.1MHZ}$ 、 $M_{FL} = \frac{f_{FL}}{0.1MHZ}$,

其中: f_{FH} 、 f_{FL} 分别为用户选择的高频、低频检测频率值, M_{FL} 、 M_{FH} 分别为高频、低频检测频率值对应的模值,即实现对待检测的时钟频率进行归一化分频;分频后的时钟信号经过一个1/2分频器进行调频,使其占空比为1/2。

[0050] 高低频检测信号同时输入到充放电控制电路,高频检测信号生成HCHARGE高频充电控制信号和HDISCHARGE高频放电控制信号,这两个信号分别输入到充放电电路高频检测单元中控制充电、放电的第一开关管K1和第三开关管K3的栅端,控制充、放电时间;低频检测信号生成LCHARGE低频充电控制信号和LDISCHARGE低频放电控制信号,这两个信号分别输入到充、放电电路低频检测单元中控制充电、放电的第二开关管K2和第四开关管K4的栅端,控制充、放电时间;

[0051] 5、充放电电路的基准电压单元的ICHARGE充电电流、IREF基准偏置电路均由偏置电流模块生成,当HCHARGE高频充电控制信号为低电平时,第一开关管K1导通,电流通过第一开关管K1给第一电容C1进行充电,当HCHARGE高频充电控制信号跳变为高电平时,第一开关管K1关断,充电过程停止,此时第一电容C1电压即为充电时间 $t_{CHARGE} = \frac{1}{f_{CLK}}$ 内充电峰值

$$V_{C,peak} = \frac{I_{CHARGE} * t_{CHARGE}}{C}, \text{ 即将频率转换为电压进行比较,基准电压 } V_{REF} = I_{REF} R = \frac{I_{CHARGE} * 10ms}{C};$$

[0052] 当LCHARGE低频充电控制信号为低电平时,第二开关管K2导通,电流通过第二开关管K2给第二电容C2进行充电,当LCHARGE低频充电控制信号跳变为高电平时,第二开关管K2关断,充电过程停止,此时第二电容C2电压即为充电时间 $t_{CHARGE} = \frac{1}{f_{CLK}}$ 内充电峰值

$$V_{C,peak} = \frac{I_{CHARGE} * t_{CHARGE}}{C}, \text{ 即将频率转换为电压进行比较,基准电压 } V_{REF} = I_{REF} R = \frac{I_{CHARGE} * 10ms}{C};$$

[0053] 6、高频电容电压信号输出至第一比较器负输入端,低频电容电压信号输出至第二比较器正输入端,基准电压信号分别输出至第一比较器正输入端和第二比较器负输入端;

[0054] 若 $f_{CLK} > f_{FH}$,即 $f_{CLK}' > 0.1MHZ$, $t_{CHARGE} < 10ms$, $V_{C,peak} < V_{REF}$,则此时第一比较器输出为高电平,发出报警信号;若 $f_{CLK} < f_{FH}$,即 $f_{CLK}' < 0.1MHZ$, $t_{CHARGE} > 10ms$, $V_{C,peak} > V_{REF}$,则此时第一比较器输出为低电平;

[0055] 若 $f_{CLK} > f_{FL}$,即 $f_{CLK}' > 0.1MHZ$, $t_{CHARGE} < 10ms$, $V_{C,peak} < V_{REF}$,则第二比较器输出为低电平;若 $f_{CLK} < f_{FL}$,即 $f_{CLK}' < 0.1MHZ$, $t_{CHARGE} > 10ms$, $V_{C,peak} > V_{REF}$,则第二比较器输出高电平,发出报警信号。由充放电控制电路生成的sample采样信号连接到触发器的时钟输入端,控制将电容充电峰值与基准电压的比较值输出。

[0056] 7、低频检测比较器和高频检测比较器结果通过或门输出,即为FD_reset复位信号,当FD_reset复位信号为高电平,即时钟频率异常(高频报警或低频报警),将对整个芯片进行复位,强制停止工作,以保证芯片安全;若FD_reset复位信号为低电平,则芯片正常工作。

作。

[0057] 如图5所示,本实施方式在0~t0阶段,开关信号scan_por为高电平,将芯片初始化;

[0058] t1~t2阶段,充电控制信号CHARGE和放电控制信号DISCHARGE为高电平,此时充电开关管断开,放电开关管导通,通过放电回路使电容内储存的电量全部释放进行初始化;

[0059] t3~t4阶段,CHARGE信号为低电平,DISCHARGE信号为低电平,此时充电开关管导通,放电开关管断开,通过充电回路给电容充电,充电时间为:

$$[0060] \quad t_{CHARGE} = \frac{1}{f_{CLK}} = \frac{M_F}{f_{CLK}} = \frac{f_F}{f_{CLK} * 0.1MHZ}$$

[0061] 电容充电峰值电压为:

$$[0062] \quad V_{C,peak} = \frac{I_{CHARGE} t_{CHARGE}}{C} = \frac{I_{CHARGE} f_F}{0.1Cf_{CLK}}$$

[0063] 其中:f_F为对应的高频、低频检测报警频率阈值f_{FH}、f_{FL},电阻上产生的基准电压为:

$$[0064] \quad V_{REF} = IR = \frac{I_{CHARGE}}{0.1C}$$

[0065] 即基准电压对应输入时钟频率f_{CLK}=f_F时的电容充电电压,将电容充电电压与基准电压输入到比较器进行比较,输出比较结果HVOUT和LVOUT;

[0066] 在t5时刻,采样信号Sample由低电平跳变为高电平,触发D触发器将比较结果输出,输出ipp_do_hfd和ipp_do_lfd。此时电容充电过程已结束,采样到的是电容充电峰值电压V_{C,peak}与基准电压V_{REF}的比较结果,若HVOUT或LVOUT有一个为高电平,则复位信号FD_reset为高电平,发出时钟异常报警信号,并将芯片复位保护芯片。

[0067] t5~t6阶段为放电过程,同t1~t2阶段,电容放电至0,为下次充电过程做准备。t3~t6过程即为一个检测周期,t6以后即为重复过程。

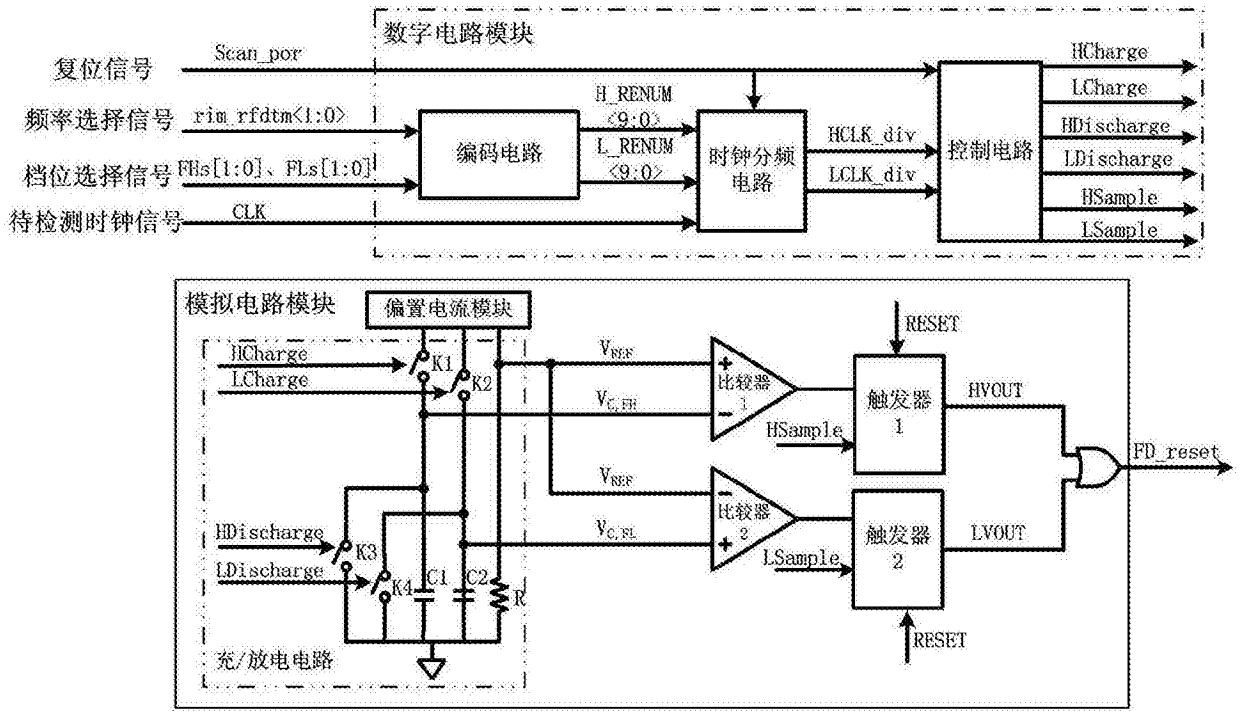


图1

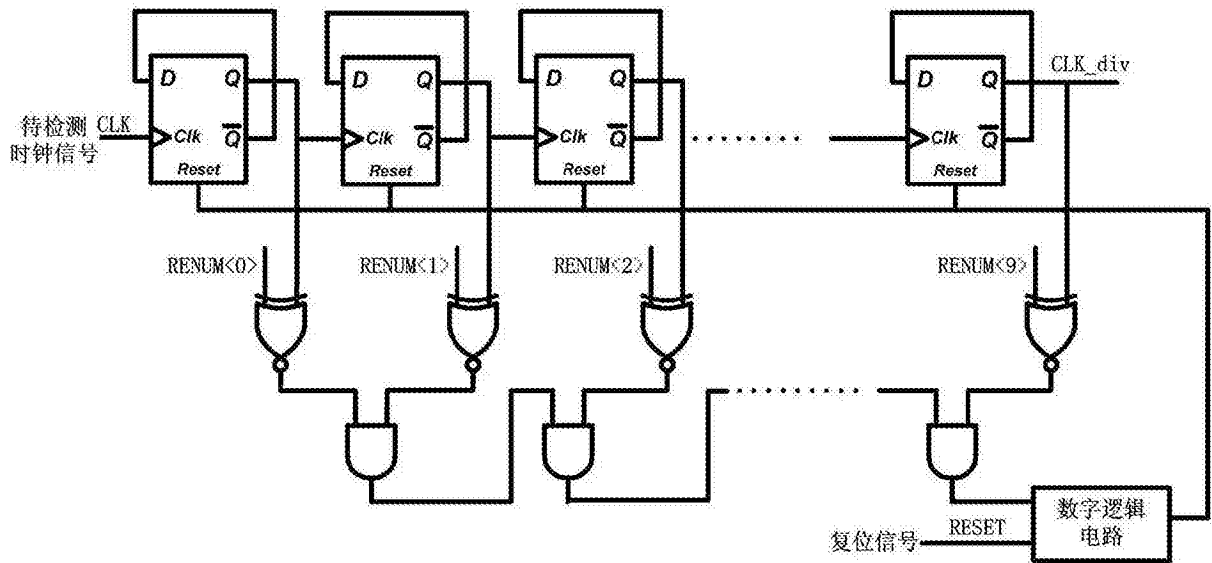


图2

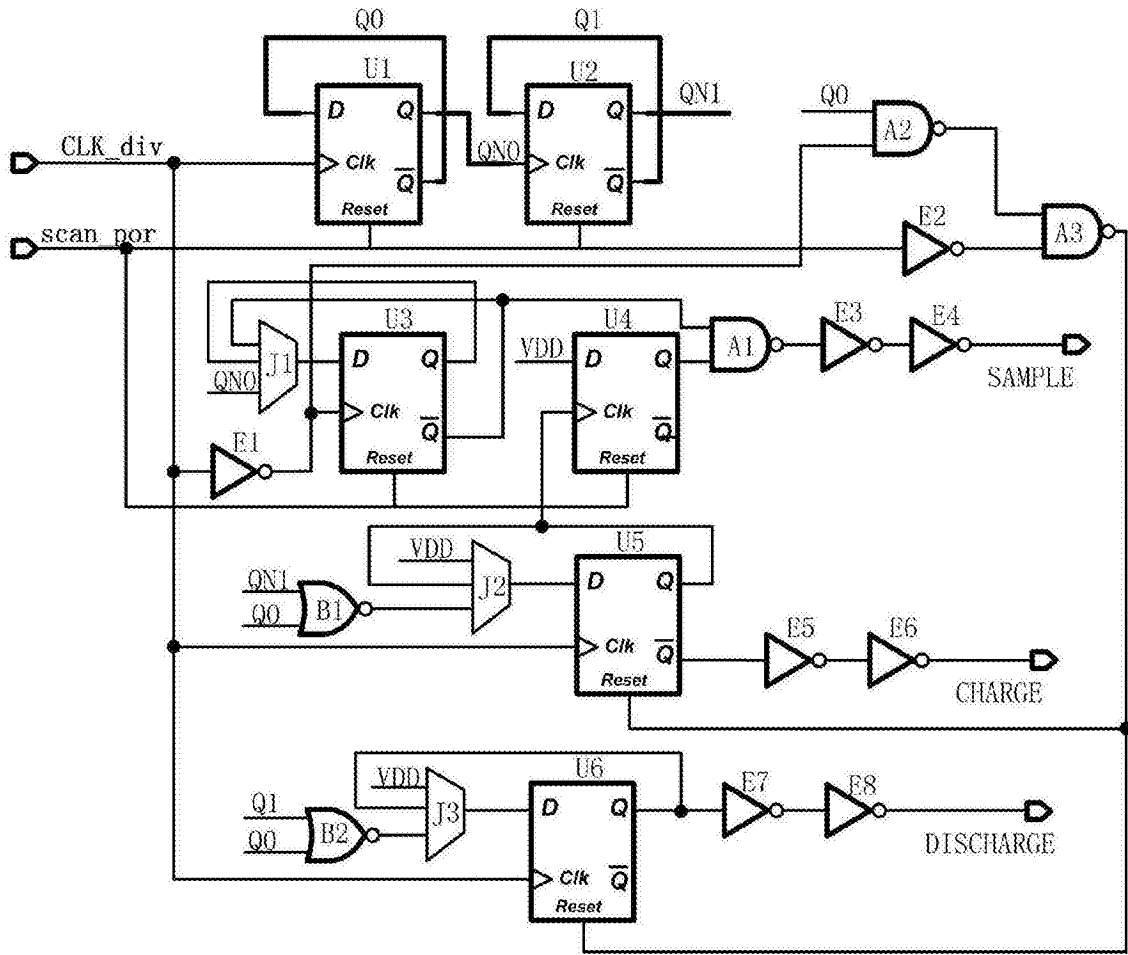


图3

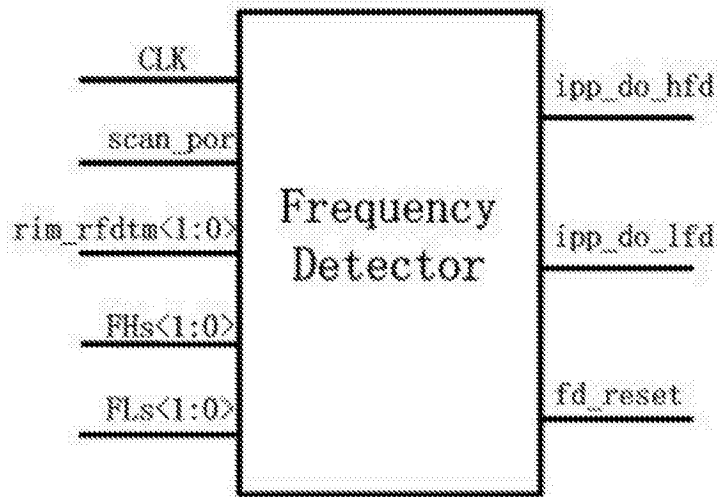


图4

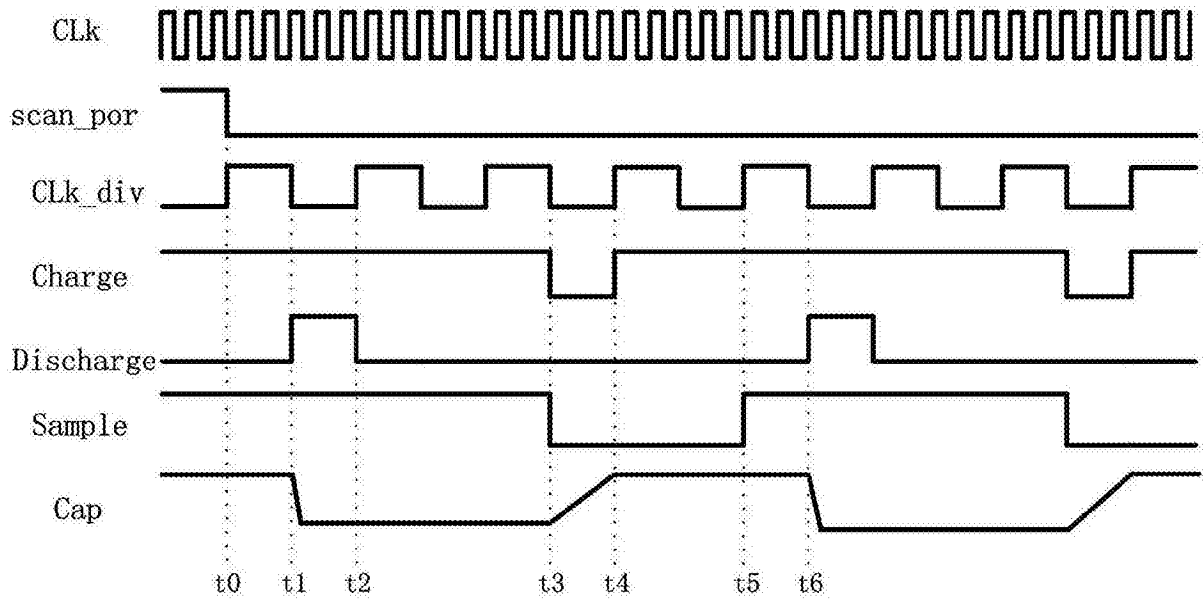


图5