



(12) 发明专利申请

(10) 申请公布号 CN 114188232 A

(43) 申请公布日 2022.03.15

(21) 申请号 202111088026.2

B29C 45/14 (2006.01)

(22) 申请日 2021.09.16

(71) 申请人 杰华特微电子股份有限公司

地址 310030 浙江省杭州市西湖区三墩镇
振华路298号西港发展中心西4幢9楼
901-23室

(72) 发明人 甘志超 陆阳

(74) 专利代理机构 北京成创同维知识产权代理
有限公司 11449

代理人 蔡纯 张靖琳

(51) Int. Cl.

H01L 21/56 (2006.01)

H01L 21/683 (2006.01)

H01L 23/552 (2006.01)

H01L 23/31 (2006.01)

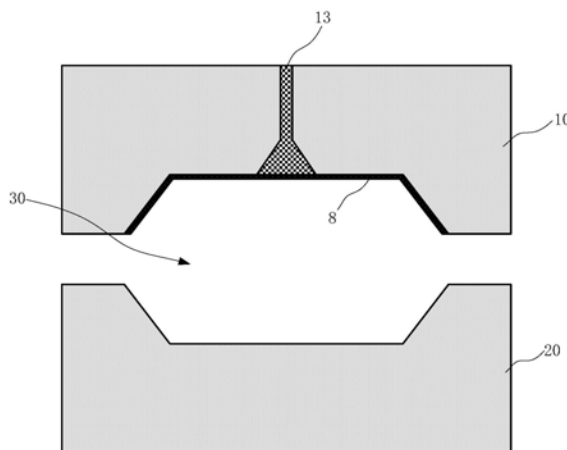
权利要求书2页 说明书6页 附图4页

(54) 发明名称

芯片封装模具、芯片封装体及封装方法

(57) 摘要

本发明公开了一种芯片封装模具、芯片封装体及封装方法,该封装模具包括:第一模具和第二模具,分别具有开口且彼此相对结合后形成至少一个空腔,空腔用以容置引线框架及与引线框架相连接的芯片;多个注料通道,与空腔相连通,用于注入塑封料以形成塑封体,其中,第一模具还包括吸附通道,每个空腔对应至少一个吸附通道,吸附通道贯穿第一模具且到达第一模具的开口内表面,吸附通道用于在注入塑封料之前施加负压从而在第一模具的开口内表面吸附金属膜,在注入塑封料后金属膜粘附于塑封体表面。本发明形成的芯片封装体,电磁屏蔽效果更好且不随时间的推移而下降,同时不占用额外面积,能够适用于芯片封装高密度使用的情况。



1. 一种芯片封装模具,包括:

第一模具和第二模具,所述第一模具与所述第二模具分别具有开口且彼此相对结合后形成至少一个空腔,所述空腔用以容置引线框架及与所述引线框架相连接的芯片;以及

多个注料通道,所述多个注料通道贯穿所述第一模具和所述第二模具,与所述空腔相连通,用于注入塑封料以形成塑封体,

其中,所述第一模具还包括吸附通道,每个空腔对应至少一个所述吸附通道,所述吸附通道贯穿所述第一模具且到达所述第一模具的开口内表面,所述吸附通道用于在注入塑封料之前施加负压从而在所述第一模具的开口内表面吸附金属膜,在注入塑封料后金属膜粘附于所述塑封体表面。

2. 根据权利要求1所述的芯片封装模具,其中,所述吸附通道在所述塑封料注入完成后的降温硬化过程中将吸附的金属膜粘附于所述塑封体表面;或者,所述吸附通道在塑封料完全硬化后采用粘接剂将吸附的金属膜粘附于所述塑封体表面。

3. 根据权利要求1所述的芯片封装模具,其中,所述吸附通道为漏斗状,且所述吸附通道靠近空腔一端的尺寸大于其远离空腔一端的尺寸。

4. 根据权利要求3所述的芯片封装模具,其中,当一个空腔内仅对应设置有一个吸附通道时,所述吸附通道设置于对应空腔上表面的几何中心区域。

5. 根据权利要求1所述的芯片封装模具,其中,所述金属膜在被吸附状态下与所述第一模具的开口内表面贴合。

6. 根据权利要求1所述的芯片封装模具,其中,所述负压由与所述吸附通道连通的负压装置提供。

7. 根据权利要求6所述的芯片封装模具,其中,当一个空腔内对应设置有多多个吸附通道时,所述多个吸附通道彼此连通,且由同一的所述负压装置提供所述负压。

8. 一种芯片封装体,该芯片封装体经由如权利要求1-7中任一项所述的封装模具封装形成,其中,所述芯片封装体包括:

引线框架;

芯片,设置于所述引线框架上并与所述引线框架电连接;

塑封体,包覆所述芯片;

金属膜,粘附于所述塑封体表面。

9. 根据权利要求8所述的芯片封装体,其中,所述金属膜粘附于所述塑封体的上表面及部分侧面。

10. 根据权利要求9所述的芯片封装体,其中,粘附于所述塑封体侧面的所述金属膜与芯片封装体引脚之间的距离大于预设阈值。

11. 根据权利要求10中任一项所述的芯片封装体,其中,所述金属膜各部分的厚度相等。

12. 根据权利要求11所述的芯片封装体,其中,所述金属膜的厚度为0.1-0.9mm。

13. 根据权利要求8所述的芯片封装体,其中,所述金属膜的形成材料包括铝和铜中的任一。

14. 根据权利要求8所述的芯片封装体,其中,所述引线框架包括芯片衬垫和引脚,所述芯片固定在所述芯片衬垫上,并与所述引脚电连接。

15. 一种芯片封装方法,其中,包括:

提供引线框架;

将芯片设置于所述引线框架上并与所述引线框架电连接;

将设置有芯片的引线框架置于如权利要求1-7中任一项所述的芯片封装模具的空腔内,并向所述芯片封装模具中注入塑封料以形成包覆所述芯片和所述引线框架的塑封体;

在所述塑封料注入完成后将所述芯片封装模具吸附的金属膜粘附于所述塑封体表面,以一体化的形成芯片封装体。

16. 根据权利要求15所述的芯片封装方法,其中,在所述塑封料注入完成后的降温硬化过程中将所述芯片封装模具吸附的金属膜粘附于所述塑封体表面;或者,在所述塑封料注入完成并完全硬化后采用粘接剂将吸附的金属膜粘附于所述塑封体表面。

芯片封装模具、芯片封装体及封装方法

技术领域

[0001] 本发明涉及芯片封装技术领域,具体涉及一种芯片封装模具、芯片封装体及封装方法。

背景技术

[0002] 在集成电路的制作中,芯片是通过晶圆制作、形成集成电路以及切割晶圆等步骤而获得。在晶圆的集成电路制作完成之后,由晶圆切割所形成的芯片可以向外电性连接到引线框架(Lend Frame,简称L/F)上;而芯片可以采用打线结合或覆晶结合的方式电性连接至引线框架。如果芯片和引线框架是以打线结合的方式电性连接,则进入到填入密封胶的制作步骤以构成芯片封装体。芯片封装技术就是将芯片包裹起来,以避免芯片与外界接触,防止外界对芯片的损害的一种工艺技术。

[0003] 目前的封装技术中所采用的封装材料普遍由塑料取代了传统的金属和陶瓷壳体,但普通塑料封装包覆的芯片极易受外界电磁干扰(EMI)而使其产生误动作,从而带来严重后果。

[0004] 现有屏蔽电磁干扰的方案有:

[0005] 1、在封装材料外涂覆导电高分子涂料。导电涂料可以方便地刷涂于各种形状的材料表面形成导电涂层,起到一定的电磁屏蔽的作用,但在使用过程中涂料层会氧化而脱落,使屏蔽效能下降。

[0006] 2、在塑料封装体外放置一个金属屏蔽罩,以此来隔绝电磁干扰。此方法占用面积大,不易用于封装高密度使用的情况。

[0007] 因此,有必要提供改进的技术方案以克服现有技术中存在的以上技术问题。

发明内容

[0008] 为了解决上述技术问题,本发明提供了一种芯片封装模具、芯片封装体及封装方法,基于本发明所形成的芯片封装体,电磁屏蔽效果更好且不随时间的推移而下降,同时不占用额外面积,能够适用于芯片封装高密度使用的情况。

[0009] 根据本公开第一方面,提供了一种芯片封装模具,包括:第一模具和第二模具,所述第一模具与所述第二模具分别具有开口且彼此相对结合后形成至少一个空腔,所述空腔用以容置引线框架及与所述引线框架相连接的芯片;以及

[0010] 多个注料通道,所述多个注料通道贯穿所述第一模具和所述第二模具,与所述空腔相连通,用于注入塑封料以形成塑封体,

[0011] 其中,所述第一模具还包括吸附通道,每个空腔对应至少一个所述吸附通道,所述吸附通道贯穿所述第一模具且到达所述第一模具的开口内表面,所述吸附通道用于在注入塑封料之前施加负压从而在所述第一模具的开口内表面吸附金属膜,在注入塑封料后金属膜粘附于所述塑封体表面。

[0012] 可选地,所述吸附通道在所述塑封料注入完成后的降温硬化过程中将吸附的金属

膜粘附于所述塑封体表面；或者

[0013] 所述吸附通道在塑封料完全硬化后基于粘接剂将吸附的金属膜粘附于所述塑封体表面。

[0014] 可选地，所述吸附通道为漏斗状，且所述吸附通道靠近空腔一端的尺寸大于其远离空腔一端的尺寸。

[0015] 可选地，当一个空腔内仅对应设置有一个吸附通道时，所述吸附通道设置于对应空腔上表面的几何中心区域。

[0016] 可选地，所述金属膜在被吸附状态下与所述第一模具的开口内表面贴合。

[0017] 可选地，所述负压由与所述吸附通道连通的负压装置提供。

[0018] 可选地，当一个空腔内对应设置有多个吸附通道时，所述多个吸附通道彼此连通，且由同一的所述负压装置提供所述负压。

[0019] 根据本公开第二方面，提供了一种芯片封装体，该芯片封装体经由如上所述的封装模具封装形成，所述芯片封装体包括：

[0020] 引线框架；

[0021] 芯片，设置于所述引线框架上并与所述引线框架电连接；

[0022] 塑封体，包覆所述芯片；

[0023] 金属膜，粘附于所述塑封体表面。

[0024] 可选地，所述金属膜粘附于所述塑封体的上表面及部分侧面。

[0025] 可选地，粘附于所述塑封体侧面的所述金属膜与芯片封装体引脚之间的距离大于预设阈值。

[0026] 可选地，所述金属膜各部分的厚度相等。

[0027] 可选地，所述金属膜的厚度为0.1-0.9mm。

[0028] 可选地，所述金属膜的形成材料包括铝和铜中的任一。

[0029] 根据本公开第三方面，提供了一种芯片封装方法，包括：提供引线框架；

[0030] 将芯片设置于所述引线框架上并与所述引线框架电连接；

[0031] 将设置有芯片的引线框架置于如上所述的芯片封装模具的空腔内，并向所述芯片封装模具中注入塑封料以形成包覆所述芯片和所述引线框架的塑封体；

[0032] 在所述塑封料注入完成后将所述芯片封装模具吸附的金属膜粘附于所述塑封体表面，以一体化的形成芯片封装体。

[0033] 可选地，在所述塑封料注入完成后的降温硬化过程中将所述芯片封装模具吸附的金属膜粘附于所述塑封体表面；或者

[0034] 在所述塑封料注入完成并完全硬化后基于粘接剂将吸附的金属膜粘附于所述塑封体表面。

[0035] 本发明的有益效果是：本发明提供的芯片封装模具及封装方法，在模具上设置吸附通道来吸附金属膜，进而使得在塑封料注入完成后可直接将吸附的金属膜粘附在由塑封料形成的塑封体表面以一体化的形成表面带有金属膜的芯片封装体，对于芯片易受电磁干扰的场合具有非常好的效果，且制作方法简单，生产效率较高，适用于大量产出。同时，基于此模具及方法所形成的芯片封装体，电磁屏蔽效果更好且不随时间的推移而下降，同时不占用额外面积，能够适用于芯片封装高密度使用的情况。

[0036] 应当说明的是,以上的一般描述和后文的细节描述仅是示例性和解释性的,并不能限制本发明。

附图说明

[0037] 图1a至图1f示出由芯片封装模具封装芯片的流程示意图;

[0038] 图2示出根据本公开实施例提供的芯片封装模具的截面图;

[0039] 图3示出根据本公开实施例提供的芯片封装体的截面图;

[0040] 图4示出根据本公开实施例提供的芯片封装方法的流程示意图。

具体实施方式

[0041] 为了便于理解本发明,下面将参照相关附图对本发明进行更全面的描述。附图中给出了本发明的较佳实施例。但是,本发明可以通过不同的形式来实现,并不限于本文所描述的实施例。相反的,提供这些实施例的目的是使对本发明的公开内容的理解更加透彻全面。

[0042] 参考图1a至图1f,在采用芯片封装模具对半导体芯片进行封装的过程中,大体包括:如图1a,准备空模的芯片封装模具,该封装模具包括:相对位置配置的第一模具10和第二模具20,第一模具10与第二模具20分别具有开口且彼此相对结合后形成空腔30;如图1b,将设置有芯片1的引线框架3置于空腔30内,芯片1电连接引线框架3;如图1c,合模,将第一模具10与第二模具20合拢;如图1d,注胶,经注料通道11和注料通道12向空腔30内注入熔融态的塑封料,以形成包覆芯片1与引线框架3的塑封体7;如图1e,开模,在塑封料降温硬化后,分离第一模具10与塑封体7的上表面;如图1f,分离第二模具20与塑封体7的下表面。

[0043] 本发明在上述芯片封装模具的基础上,对第一模具10进行了改进,且基于改进后的芯片封装模具,可以在形成芯片封装体的过程中,一体化的在芯片封装体的塑封体上形成金属薄膜,以解决现有技术中存在的问题。

[0044] 本发明实施例中,如图2所示,改进后的芯片封装模具具体包括:第一模具10、第二模具20、空腔30、多个注料通道以及吸附通道13。

[0045] 第一模具10与第二模具20在位置上相对配置,该第一模具10与第二模具20分别具有开口且彼此相对结合后可形成至少一个空腔30,空腔30用以容置引线框架及与引线框架相连接的芯片。进一步的,当第一模具10与第二模具20彼此相对结合后形成的空腔30的数量为多个时,还可形成用于连通两个或两个以上空腔30的连通通道。

[0046] 多个注料通道贯穿第一模具10或第一模具10与第二模具20,并与空腔30相连通,在第一模具10与第二模具20彼此相对结合后的封装阶段,熔融态的塑封料可经由多个注料通道被注入至空腔30内以形成包覆引线框架和芯片的塑封体。本公开图2中未示出注料通道,但可以理解的是,该多个注料通道可设置于第一模具10或第一模具10和第二模具20上的任何区域,只要不影响后续对金属膜8的吸附和粘附工艺,以及不被吸附状态下的金属膜8影响注料过程即可。同时也可理解的是,本发明对于设置的多个注料通道的数量不做限定,只要在注料时能够保证塑封料能够按需求填满芯片封装模具上的每一空腔30即可。

[0047] 吸附通道13设置于空腔30上方的第一模具10上,贯穿第一模具10且到达第一模具10的开口内表面,进而与空腔30连通,用以基于负压吸附金属膜8。

[0048] 吸附通道13还与负压装置连通,由负压装置提供吸附金属膜8时的负压。

[0049] 吸附通道13用于在注入塑封料之前基于负压从而在第一模具10的开口内表面吸附金属膜8,而在注入塑封料后金属膜8粘附于塑封体表面。

[0050] 本实施例中,吸附通道13例如为漏斗状,且吸附通道13靠近空腔30一端的尺寸大于其远离空腔30一端的尺寸。如此,可以增大对金属膜8的吸附面积,确保对金属膜8能够具有足够的吸附力。

[0051] 本实施例中,金属膜8在被吸附状态下与第一模具10的开口内表面贴合。如此,可以避免金属膜8与第一模具10的开口内表面之间存在间隙,能够提高吸附效果和防止在封装过程中金属膜8的意外脱落,同时也能够使得最终所形成的芯片封装体中金属膜8完全的位于封装体外表面,确保对电磁干扰的屏蔽效果。

[0052] 进一步的,在第一模具10上所设置的吸附通道13的数量为多个,每个空腔30对应至少一个吸附通道13。可选的,多个吸附通道13可彼此连通,由同一负压装置提供负压,如此,在批量封装中有助于降低封装成本;或者当一个空腔30内对应设置有多个吸附通道13时,至少保证一个空腔30内所对应的多个吸附通道13彼此连通,如此,在确保能够对金属膜8产生可靠吸附力的同时,有助于实现对多个空腔内所产生的吸附力的灵活控制。

[0053] 本公开中,当一个空腔30内仅对应设置有一个吸附通道13时,该吸附通道13设置于对应空腔30上表面的几何中心区域。如此,可以仅在一个吸附力的作用下实现对金属膜8的稳定吸附,确保被吸附状态下的金属膜8可以与第一模具10的开口内表面紧密贴合,使得金属膜8的各部分在与熔融态的塑封料接触时均能够具有良好的粘附性,并使得封装完成后所形成的芯片封装体的上表面能够具有良好的水平度。

[0054] 基于本发明所提供的芯片封装模具对芯片进行塑封时,塑封料经由多个注料通道被注入每一空腔30中并包覆位于空腔30内的引线框架与芯片以形成塑封体,且在塑封料注入完成后吸附通道13将吸附的金属膜8粘附于塑封体表面,以一体化的形成芯片封装体。基于上述芯片封装模具所形成的芯片封装体,其电磁屏蔽效果更好且不会随着时间的推移而下降,同时也不会占用额外面积,能够适用于芯片封装高密度使用的情况。

[0055] 优选地,吸附通道13在塑封料注入完成后的降温硬化过程中将吸附的金属膜8粘附于塑封体表面。在熔融态的塑封料注入到空腔30内后,通过在其的降温硬化过程中基于熔融态的塑封料的粘附性来实现金属膜8的粘附,有助于芯片封装体的一体化形成,且操作步骤简单,生产效率高,能够适用于大量产生。需要说明的是,在塑封料注入完成后的降温硬化过程中将吸附的金属膜8粘附于塑封体表面仅是本发明的其中一种优选实施例,在本发明的其它实施例中,还可在塑封料完全硬化后,通过采用额外的粘接剂将金属膜8粘附于塑封体表面的方式来实现上述效果,其无需对芯片封装模具进行改进,仅采用现有的芯片封装模具即可实现。该种实现方法也应在本发明的保护范围之内。

[0056] 本公开中,采用上述的芯片封装模具对半导体芯片进行封装时的封装流程如图4所示,具体包括执行如下步骤。

[0057] 在步骤S01中,提供引线框架。

[0058] 可选地,引线框架例如包括引脚部分和芯片衬垫部分。

[0059] 在步骤S02中,将芯片设置于引线框架上并与引线框架电连接。

[0060] 本实施例中,芯片例如可选用导电银胶粘结在引线框架的芯片衬垫部分上,以及

芯片的管脚例如可选用覆晶工艺或键合线工艺实现与引线框架的引脚部分之间的电连接。具体可根据芯片的封装类型选用合适的电连接工艺。

[0061] 在步骤S03中,将设置有芯片的引线框架置于如图2所示出的芯片封装模具的空腔内,并向芯片封装模具中注入塑封料以形成包覆芯片和引线框架的塑封体。

[0062] 本实施例中,参考图1a至图1d,步骤S03大体包括开模、合模及注胶过程。开模即在第一模具与第二模具的分离状态下将金属膜吸附于第一模具的开口内表面,并将设置有芯片的引线框架置于空腔内;合模,即将第一模具与第二模具合拢;注胶,即将熔融态的塑封料经注料通道注入空腔内,以使塑封料包覆芯片与引线框架。

[0063] 在步骤S04中,在塑封料注入完成后将芯片封装模具吸附的金属膜粘附于塑封体表面,以一体化的形成芯片封装体。

[0064] 优选的,步骤S04进一步包括在塑封料注入完成后的降温硬化过程中将芯片封装模具吸附的金属膜粘附于塑封体表面。本实施例中,在塑封料的注入过程中可对塑封料进行加压,以使得塑封料能够更易填满整个空腔。同时,由于熔融态的塑封料本身具有一定的粘结性,因此塑封料在填满整个空腔时,会自动的与第一模具开口内表面上所吸附的金属板接触并与之粘合,进而在塑封料降温硬化后,金属膜将会直接粘附在塑封体表面。此时,只需通过撤销吸附金属膜的负压,在开模后即可获得一体化形成有金属膜的芯片封装体,无需额外的操作即可使得芯片封装体具有较好的电磁屏蔽效果,操作步骤简单,生产效率高,且金属膜与塑封体之间更容易实现高度匹配,能够适用于大量产生。

[0065] 需要说明的是,在本发明的其它实施例中,还可在塑封料完全硬化后采用额外的粘接剂等方式将金属膜8粘附于塑封体表面。该种实现方法虽无法达到一体化形成芯片封装体的效果,但也应在本发明的保护范围之内。

[0066] 本发明实施例中,以具有QFP封装工艺为例,经由前述所示出的芯片封装模具及封装方法,最终可形成如图3所示出的芯片封装体。该芯片封装体包括:芯片1、引线框架、散热器4、塑封体7和金属膜8。

[0067] 其中,芯片1设置于引线框架上并与引线框架电连接。本实施例中,引线框架包括芯片衬垫3和引脚2。芯片1通过导电银胶5设置于芯片衬垫3的上表面,并通过键合线6与引脚2电连接。塑封体6包覆芯片1。金属膜8粘附于塑封体7表面。

[0068] 本实施例中,金属膜8粘附于塑封体7的上表面及部分侧面。且粘附于塑封体7侧面的金属膜8部分与芯片封装体引脚2之间的距离大于预设阈值。如此,可以避免引脚2与金属膜8之间距离过近而引发封装体的引脚短路问题。本发明中可以通过缩短粘附于塑封体7侧面的金属膜8部分的长度来进一步避免短路问题。但同时,随着粘附于塑封体7侧面的金属膜8部分的长度的缩短,芯片封装体的电磁屏蔽效果也会随之下降,因此,在实际应用中应综合考量电磁屏蔽效果和短路预防问题来合理的设置粘附于塑封体7侧面的金属膜8部分的长度。

[0069] 本实施例在,金属膜8各部分的厚度处处相等。如此,可以进一步增加对电磁干扰的屏蔽效果。进一步的,金属膜8的厚度为0.1-0.9mm。本发明中仅需要很薄的金属膜8厚度即可实现良好的电磁屏蔽效果,质量轻,成本低。

[0070] 优选地,金属膜8的形成材料包括铝(包括铝合金)和铜(包括铜合金)中的任一。其中,铝的密度小,同体积下可减小芯片封装体的质量;而纯铜的导电性更好,同厚度下对电

磁干扰的屏蔽效果更好。另外,金属膜8的形成材料包括但不限于仅是铝和铜中的任一,在具体应用中可根据实际需求选择金属种类。

[0071] 需要说明的是,本发明中金属膜8的制作工艺也较为简单,例如可以采用模具冲压或者浇筑的方式进行批量生产。另外,本发明中的QFP封装工艺仅是示例性的,对于其他诸如FC、QPN、SOT等芯片封装工艺来说,本发明所示出的封装方法同样适用,其中,仅需根据不同的工艺标准更改金属膜8的具体形状即可。

[0072] 综上,本发明在模具上设置吸附通道来吸附金属膜,进而使得在塑封料注入完成后,尤其是在注料完成后塑封料的降温硬化过程中,可直接将吸附的金属膜粘附在由塑封料形成的塑封体表面以一体化的形成表面带有金属膜的芯片封装体,对于芯片易受电磁干扰的场合具有非常好的效果,制作方法简单,生产效率较高,适用于大量产出。同时,基于此模具及方法所形成的芯片封装体,电磁屏蔽效果更好且不随时间的推移而下降,同时不占用额外面积,能够适用于芯片封装高密度使用的情况。

[0073] 最后应说明的是:显然,上述实施例仅仅是为清楚地说明本发明所作的举例,而并非对实施方式的限定。对于所属领域的普通技术人员来说,在上述说明的基础上还可以做出其它不同形式的变化或变动。这里无需也无法对所有的实施方式予以穷举。而由此所引申出的显而易见的变化或变动仍处于本发明的保护范围之内。

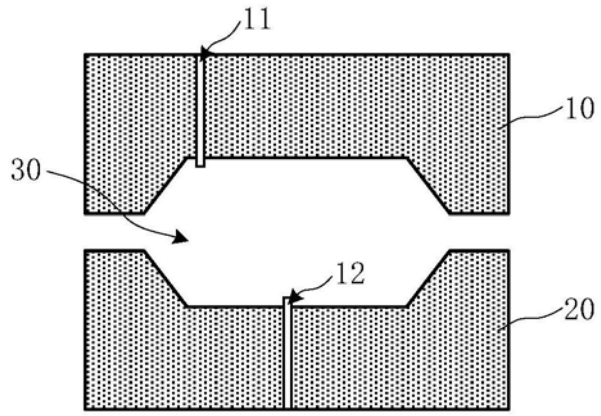


图1a

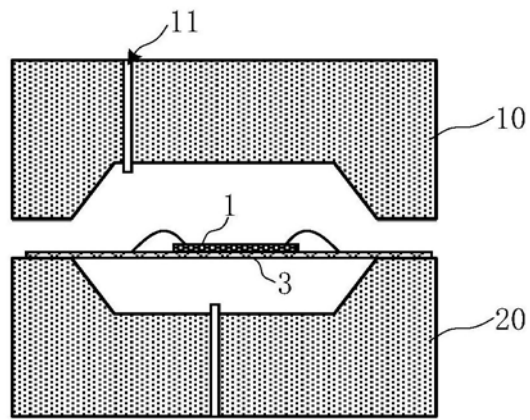


图1b

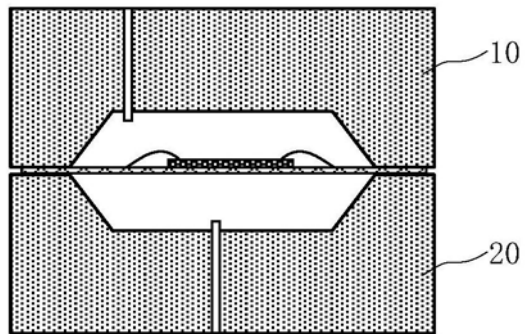


图1c

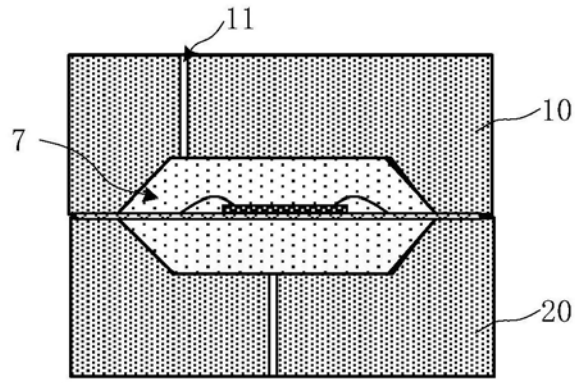


图1d

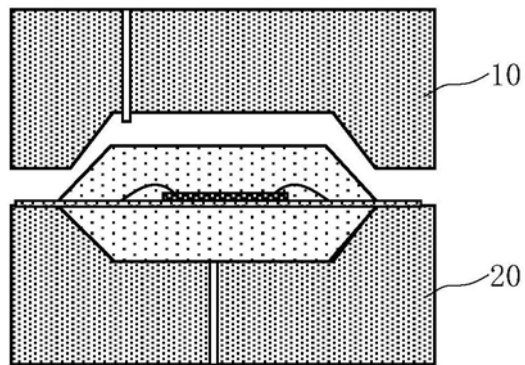


图1e

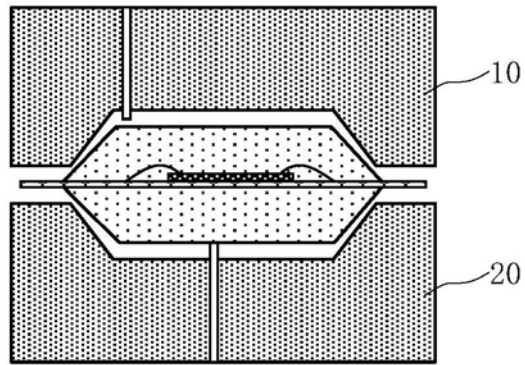


图1f

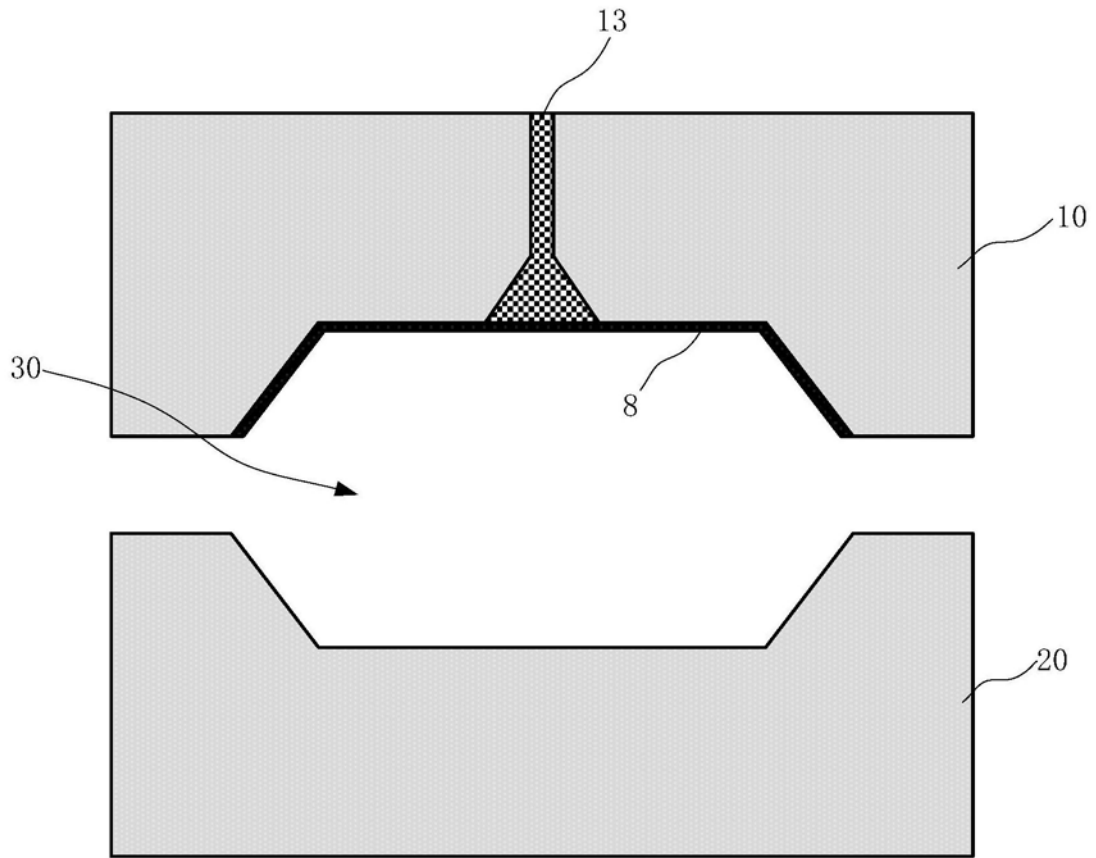


图2

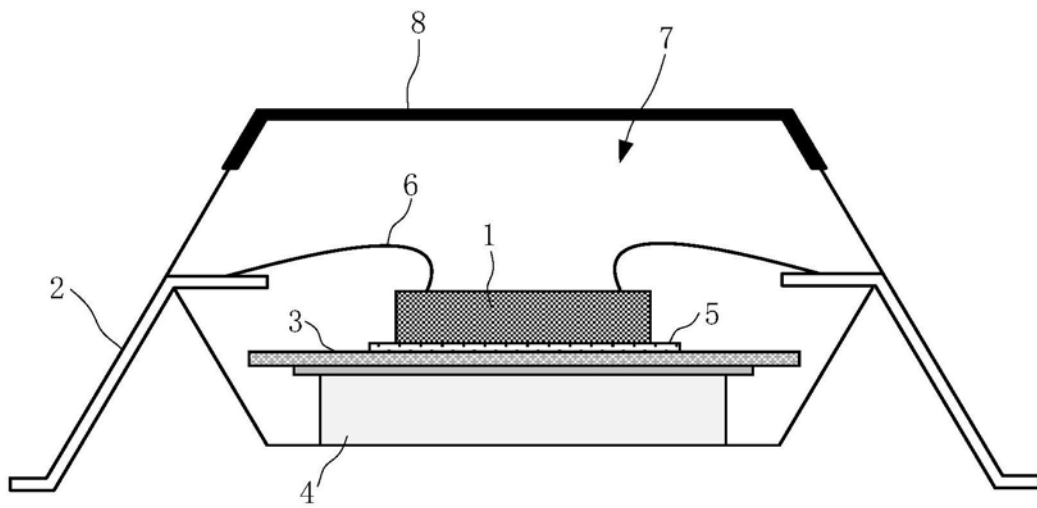


图3

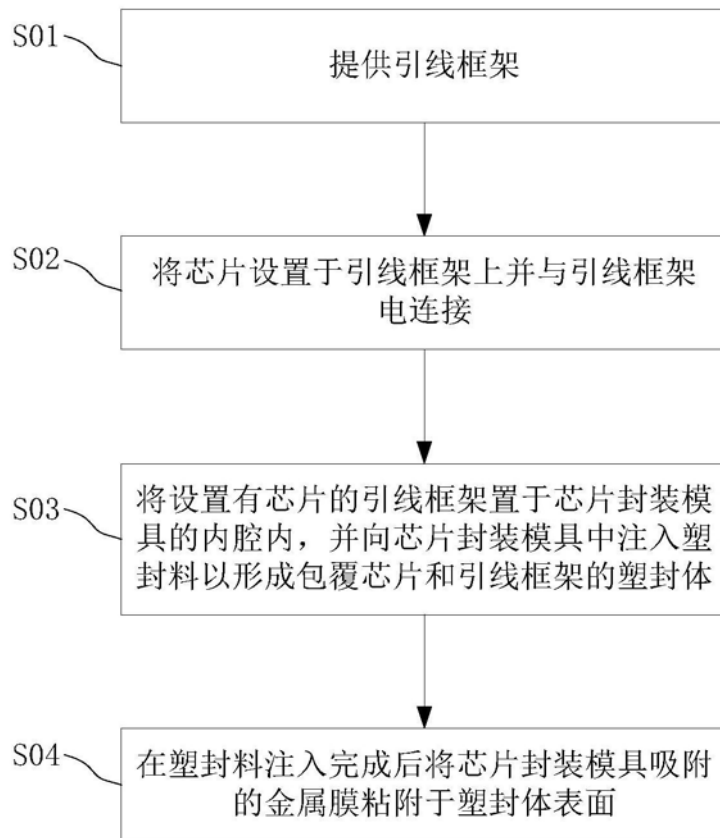


图4