

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2022-106161

(P2022-106161A)

(43)公開日 令和4年7月19日(2022.7.19)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 29/78 (2006.01)	H 0 1 L 29/78	6 5 2 N 4 M 1 0 4
H 0 1 L 29/12 (2006.01)	H 0 1 L 29/78	6 5 2 J
H 0 1 L 29/872 (2006.01)	H 0 1 L 29/78	6 5 3 A
H 0 1 L 29/47 (2006.01)	H 0 1 L 29/78	6 5 2 M
H 0 1 L 29/06 (2006.01)	H 0 1 L 29/78	6 5 2 K
審査請求 未請求 請求項の数 4 O L (全18頁) 最終頁に続く		

(21)出願番号 特願2021-963(P2021-963)

(22)出願日 令和3年1月6日(2021.1.6)

(71)出願人 301021533

国立研究開発法人産業技術総合研究所  
東京都千代田区霞が関1-3-1

(71)出願人 000005234

富士電機株式会社  
神奈川県川崎市川崎区田辺新田1番1号

(74)代理人 100104190

弁理士 酒井 昭徳

(72)発明者 馬場 正和

茨城県つくば市梅園1-1-1 中央第1  
国立研究開発法人産業技術総合研究所内

(72)発明者 原田 信介

茨城県つくば市梅園1-1-1 中央第1  
国立研究開発法人産業技術総合研究所内Fターム(参考) 4M104 AA03 AA07 BB01 CC03  
最終頁に続く

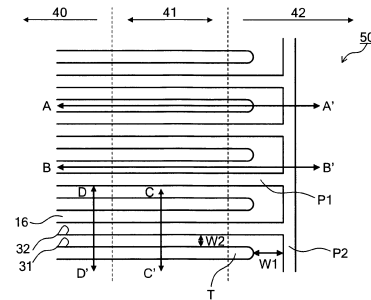
(54)【発明の名称】 半導体装置

(57)【要約】

【課題】順方向電圧の劣化やターンオン時の損失を減少できる半導体装置を提供することを目的とする。

【解決手段】縦型MOSFETは、第1導電型の半導体基板2と、第1導電型の第1半導体層1と、第2導電型の第2半導体層16と、第1導電型の第1半導体領域17と、第1トレンチ31および第2トレンチ32と、第1トレンチ31の内部にゲート絶縁膜19を介して設けられたゲート電極20と、第2トレンチ32の内部に設けられたショットキー電極29と、を備える。第1トレンチ31は、平面視でストライプ状に設けられ、第2トレンチ32は、第1トレンチ31を取り囲んでいる。

【選択図】図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 導電型の半導体基板と、  
 前記半導体基板のおもて面に設けられた、前記半導体基板よりも不純物濃度の低い第 1 導電型の第 1 半導体層と、  
 前記第 1 半導体層の、前記半導体基板側に対して反対側に設けられた第 2 導電型の第 2 半導体層と、  
 前記第 2 半導体層の内部に選択的に設けられた、前記半導体基板よりも不純物濃度の高い第 1 導電型の第 1 半導体領域と、  
 前記第 1 半導体領域および前記第 2 半導体層を貫通して前記第 1 半導体層に達する第 1 トレンチおよび第 2 トレンチと、  
 前記第 1 トレンチの内部にゲート絶縁膜を介して設けられたゲート電極と、  
 前記第 2 トレンチの内部に設けられたショットキー電極と、  
 を備え、  
 前記第 1 トレンチは、平面視でストライプ状に設けられ、  
 前記第 2 トレンチは、前記第 1 トレンチを取り囲んでいることを特徴とする半導体装置。

## 【請求項 2】

オン状態のときに電流が流れる活性領域の周囲を囲んで耐圧を保持するエッジ領域に、耐圧を向上させるための接合終端構造を備え、  
 前記第 2 トレンチは、前記第 1 トレンチと平行なストライプ状の部分と、前記ストライプ状の部分とを接続する外周の部分とを有し、  
 前記第 1 トレンチの端と、前記第 2 トレンチの前記外周の部分との距離は、前記第 1 トレンチと前記第 2 トレンチとの間の間隔以上であり、かつ、前記第 1 トレンチの端は、前記接合終端構造より前記活性領域側に設けられていることを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 3】

前記第 2 トレンチは、ポリシリコンとのヘテロ接合で構成されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

## 【請求項 4】

前記第 2 トレンチの一部は、前記ゲート電極とゲートランナーとを接続するゲートコンタクト領域と深さ方向に対向する位置に設けられていることを特徴とする請求項 1 ~ 3 のいずれか一つに記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

この発明は、半導体装置に関する。

## 【背景技術】

## 【0002】

従来、パワー半導体素子においては、素子のオン抵抗の低減を図るため、トレンチ構造を有する縦型 MOSFET (Metal Oxide Semiconductor Field Effect Transistor: 絶縁ゲート型電解効果トランジスタ) が作製 (製造) されている。縦型 MOSFET では、チャンネルが基板表面に対して平行に形成されるプレーナー構造よりも基板表面に対して垂直に形成されるトレンチ構造の方が単位面積当たりのセル密度を増やすことができるため、単位面積当たりの電流密度を増やすことができ、コスト面において有利である。

## 【0003】

縦型 MOSFET は、ソース・ドレイン間にポディダイオードとして p 型ベース層と n 型ドリフト層とで形成される寄生 pn ダイオードを内蔵する。このため、インバータに用いる還流ダイオード (FWD: Free Wheeling Diode) を省略することができ、低コスト化および小型化に貢献する。しかしながら、半導体基板として炭化珪素

基板を用いる場合、シリコン（Si）基板を用いた場合に比べて寄生pnダイオードが高いビルトインポテンシャルを持つため、寄生pnダイオードのオン抵抗が高くなり損失増大を招く。また、寄生pnダイオードがオンして通電した場合、寄生pnダイオードのバイポーラ動作により経時的に特性が変化（経年劣化）し、順方向劣化やターンオン損失の増加が生じる。

#### 【0004】

この問題について、回路上にショットキーバリアダイオード（SBD：Schottky Barrier Diode）をMOSFETと並列に接続し、還流時にはSBDに電流が流れ、寄生pnダイオードに電流が流れないようにすることができる。しかしながら、SBDのチップがMOSFETと同数程度必要になるためコスト増になる。

10

#### 【0005】

このため、基板表面にp型のチャネル部を貫通するコンタクトトレンチを形成し、トレンチ内壁にSBDを内包させ、還流時の電流をPINダイオードではなく内蔵SBDに流す技術が提案されている（例えば、下記特許文献1参照）。

#### 【0006】

図24は、従来のSBD内蔵の炭化珪素半導体装置の構造を示す上面図である。図25は、従来のSBD内蔵の炭化珪素半導体装置の構造を示す図24のC-C'部分の断面図である。図24に示すように、SBD内蔵の炭化珪素半導体装置150は、素子構造が形成されオン状態のときに電流が流れる活性領域140と、活性領域140の周囲を囲んで耐圧を保持するエッジ領域142と、活性領域140とエッジ領域142との間のツナギ領域141と、を備える。活性領域140は図24において破線で囲まれた領域である。

20

#### 【0007】

また、図25に示すように、炭化珪素からなる半導体基体（以下、炭化珪素基体とする）のおもて面（後述するp型ベース層116側の面）側に一般的なトレンチゲート構造のMOSゲートを備える。炭化珪素基体（半導体チップ）は、炭化珪素からなるn+型炭化珪素基板（以下、n+型炭化珪素基板とする）102上にn-型ドリフト層101、電流拡散領域であるn型領域115およびp型ベース層116となる各炭化珪素層を順にエピタキシャル成長させてなる。

#### 【0008】

n+型炭化珪素基板102上にn-型ドリフト層101となるn-型層をエピタキシャル成長させて、n+型炭化珪素基板102のおもて面（n-型ドリフト層101側の面）側に、p型ベース層116、n+型ソース領域117、トレンチゲート131、ゲート絶縁膜119およびゲート電極120からなるMOSゲート構造が設けられている。また、符号118、121および122は、それぞれp++型コンタクト領域、層間絶縁膜およびソース電極である。

30

#### 【0009】

n型領域115には、トレンチゲート131の底面全体を覆うように第1p+型領域103が選択的に設けられている。また、n型領域115には、トレンチSBD132の底面全体を覆うように第1p+型領域103が選択的に設けられている。第1p+型領域103は、n-型ドリフト層101に達しない深さで設けられている。また、エッジ領域142では、第1p+型領域103の全面上に第2p+型領域104が設けられている。

40

#### 【0010】

また、トレンチSBD132は、内壁がソース電極122と接続するショットキーメタル129で覆われ、内壁に露出する半導体領域と当該ショットキーメタル129とのショットキーを形成したトレンチである。このように、図24では、ソース・ドレイン間に寄生pnダイオードと並列に寄生ショットキーダイオード（内蔵SBD）を設けている。

#### 【0011】

図24に示すように、従来のSBD内蔵の炭化珪素半導体装置では、エッジ領域142に設けられたゲートランナー（不図示）にトレンチゲート131を接続しやすくするため、トレンチゲート131は、トレンチSBD132より長くなっている。

50

## 【 0 0 1 2 】

ソース電極 1 2 2 に正電圧が印加され、n+型炭化珪素基板 1 0 2 の裏面に設けられたドレイン電極（不図示）に負電圧が印加されたとき（MOSFETのオフ時）、p型ベース層 1 1 6 と n-型ドリフト層 1 0 1 との間のpn接合が順バイアスされる。図 2 4 において、MOSFETのオフ時に寄生pnダイオードがオンする前に寄生ショットキーダイオードがオンするように設計することで、寄生pnダイオードのバイポーラ動作を抑止し、バイポーラ動作による経年劣化を防止することができる。

## 【 0 0 1 3 】

また、セル部を囲むライン状の枠形状のトレンチ内にエピタキシャル膜を配置して構成したp型層からなるリングを複数本備え、そのうちの内周側の一部を覆うようにショットキー電極を配置した構成が公知である（例えば、下記特許文献 2 参照）。

10

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 1 4 】

【 特許文献 1 】 特開平 8 - 2 0 4 1 7 9 号公報

【 特許文献 2 】 特開 2 0 1 8 - 0 0 6 6 3 0 号公報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 1 5 】

ここで、図 2 6 は、従来の S B D 内蔵の炭化珪素半導体装置の構造を示す図 2 4 の A - A ' 部分の断面図である。また、図 2 7 は、従来の S B D 内蔵の炭化珪素半導体装置の構造を示す図 2 4 の B - B ' 部分の断面図である。図 2 6 および図 2 7 に示すように、ツナギ領域 1 4 1 では、第 1 p+型領域 1 0 3 上に第 2 p+型領域 1 0 4 が設けられている。また、p型ベース層 1 1 6 の表面層に、トレンチ S B D 1 3 2 と接する p++型コンタクト領域 1 1 8 が設けられている。このため、ツナギ領域 1 4 1 において、トレンチ S B D 1 3 2 は、周囲が p 型領域（p 型ベース層 1 1 6、p++型コンタクト領域 1 1 8、第 1 p+型領域 1 0 3 および第 2 p+型領域 1 0 4）で囲まれている構造となっている。

20

## 【 0 0 1 6 】

これにより、ツナギ領域 1 4 1 では、トレンチ S B D 1 3 2 は寄生ショットキーダイオードとして機能せず、寄生pnダイオードのバイポーラ動作を抑止することができない。寄生pnダイオードがオンして通電した場合、寄生pnダイオードのバイポーラ動作により、ホール電流が図 2 6 および図 2 7 の経路 D のように流れ、ホール電流と電子電流による再結合により発生するエネルギーにより、積層欠陥が発生・拡張する。

30

## 【 0 0 1 7 】

このため、ツナギ領域 1 4 1 は、活性領域 1 4 0 の内部よりも、寄生pnダイオードのバイポーラ動作により経時的に特性が変化（経年劣化）し、順方向劣化やターンオン損失の増加が生じるという課題がある。

## 【 0 0 1 8 】

この発明は、上述した従来技術による問題点を解消するため、順方向電圧の劣化やターンオン時の損失を減少できる半導体装置を提供することを目的とする。

40

## 【 課題を解決するための手段 】

## 【 0 0 1 9 】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。第 1 導電型の半導体基板のおもて面に、前記半導体基板よりも不純物濃度の低い第 1 導電型の第 1 半導体層が設けられる。前記第 1 半導体層の、前記半導体基板側に対して反対側に第 2 導電型の第 2 半導体層が設けられる。前記第 2 半導体層の内部に選択的に、前記半導体基板よりも不純物濃度の高い第 1 導電型の第 1 半導体領域が設けられる。前記第 1 半導体層の内部に、第 2 導電型の第 2 半導体領域が設けられる。前記第 1 半導体層の表面層に、前記第 2 半導体領域と底面が接する第 2 導電型の第 3 半導体領域が設けられる。前記第 1 半導体領域および前記第 2 半導体層を貫通して前記第 1 半導体層

50

に達する第 1 トレンチおよび第 2 トレンチが設けられる。前記第 1 トレンチの内部にゲート絶縁膜を介してゲート電極が設けられる。前記第 2 トレンチの内部にショットキー電極が設けられる。前記第 1 トレンチは、平面視でストライプ状に設けられ、前記第 2 トレンチは、前記第 1 トレンチを取り囲んでいる。

【 0 0 2 0 】

また、この発明にかかる半導体装置は、上述した発明において、オン状態のときに電流が流れる活性領域の周囲を囲んで耐圧を保持するエッジ領域に、耐圧を向上させるための接合終端構造を備え、前記第 2 トレンチは、前記第 1 トレンチと平行なストライプ状の部分と、前記ストライプ状の部分とを接続する外周の部分とを有し、前記第 1 トレンチの端と、前記第 2 トレンチの前記外周の部分との距離は、前記第 1 トレンチと前記第 2 トレンチとの間の間隔以上であり、かつ、前記第 1 トレンチの端は、前記接合終端構造より前記活性領域側に設けられていることを特徴とする。

10

【 0 0 2 1 】

また、この発明にかかる半導体装置は、上述した発明において、前記第 2 トレンチは、ポリシリコンとのヘテロ接合で構成されていることを特徴とする。

【 0 0 2 2 】

また、この発明にかかる半導体装置は、上述した発明において、前記第 2 トレンチの一部は、前記ゲート電極とゲートランナーとを接続するゲートコンタクト領域と深さ方向に対向する位置に設けられていることを特徴とする。

【 0 0 2 3 】

上述した発明によれば、トレンチゲート（第 1 トレンチ）をトレンチ S B D（第 2 トレンチ）が取り囲んでいる。これにより、トレンチゲートのソース電極と接触する部分がトレンチ S B D で取り囲まれた領域の内側となる。このため、トレンチ S B D で取り囲まれた領域の外側では、S B D 内蔵の炭化珪素半導体装置のドレイン側に負バイアスがかかった際、寄生 p n ダイオードがバイポーラ動作することが無くなり、順方向劣化やターンオン損失の増加を抑制できる。

20

【発明の効果】

【 0 0 2 4 】

本発明にかかる半導体装置によれば、順方向電圧の劣化やターンオン時の損失を減少できるという効果を奏する。

30

【図面の簡単な説明】

【 0 0 2 5 】

【図 1】実施の形態にかかる炭化珪素半導体装置の構造を示す上面図である。

【図 2】実施の形態にかかる炭化珪素半導体装置の構造を示す図 1 の A - A' 部分の断面図である。

【図 3】実施の形態にかかる炭化珪素半導体装置の構造を示す図 1 の B - B' 部分の断面図である。

【図 4】実施の形態にかかる炭化珪素半導体装置の構造を示す図 1 の C - C' 部分の断面図である。

【図 5】実施の形態にかかる炭化珪素半導体装置の構造を示す図 1 の D - D' 部分の断面図である。

40

【図 6】実施の形態にかかる炭化珪素半導体装置の外観を示す上面図である。

【図 7】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 1）。

【図 8】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 2）。

【図 9】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 3）。

【図 10】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 4）。

50

【図 1 1】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 5）。

【図 1 2】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す上面図である（その 1）。

【図 1 3】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す図 1 2 の A - A' 部分の断面図である（その 1）。

【図 1 4】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す上面図である（その 2）。

【図 1 5】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す図 1 2 の A - A' 部分の断面図である（その 2）。

10

【図 1 6】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す上面図である（その 3）。

【図 1 7】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す図 1 2 の A - A' 部分の断面図である（その 3）。

【図 1 8】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す上面図である（その 4）。

【図 1 9】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す図 1 2 の A - A' 部分の断面図である（その 4）。

【図 2 0】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す上面図である（その 5）。

20

【図 2 1】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す図 1 2 の A - A' 部分の断面図である（その 5）。

【図 2 2】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す上面図である（その 6）。

【図 2 3】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す図 1 2 の A - A' 部分の断面図である（その 6）。

【図 2 4】従来の S B D 内蔵の炭化珪素半導体装置の構造を示す上面図である。

【図 2 5】従来の S B D 内蔵の炭化珪素半導体装置の構造を示す図 2 4 の C - C' 部分の断面図である。

【図 2 6】従来の S B D 内蔵の炭化珪素半導体装置の構造を示す図 2 4 の A - A' 部分の断面図である。

30

【図 2 7】従来の S B D 内蔵の炭化珪素半導体装置の構造を示す図 2 4 の B - B' 部分の断面図である。

【発明を実施するための形態】

【0026】

以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、n や p に付す + および - は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、本明細書では、ミラー指数の表記において、“ - ” はその直後の指数につくバーを意味しており、指数の前に “ - ” を付けることで負の指数をあらわしている。

40

【0027】

（実施の形態）

本発明にかかる半導体装置は、シリコンよりもバンドギャップが広い半導体（以下、ワイドバンドギャップ半導体とする）を用いて構成される。ここでは、ワイドバンドギャップ半導体として例えば炭化珪素（SiC）を用いた半導体装置（炭化珪素半導体装置）の構造を例に説明する。図 1 は、実施の形態にかかる炭化珪素半導体装置の構造を示す上面図である。図 2 は、実施の形態にかかる炭化珪素半導体装置の構造を示す図 1 の A - A' 部

50

分の断面図である。図 3 は、実施の形態にかかる炭化珪素半導体装置の構造を示す図 1 の B - B' 部分の断面図である。図 4 は、実施の形態にかかる炭化珪素半導体装置の構造を示す図 1 の C - C' 部分の断面図である。ここで、図 5 は、実施の形態にかかる炭化珪素半導体装置の構造を示す図 1 の D - D' 部分の断面図である。図 4 は、ツナギ領域 4 1 の C - C' 断面図であり、図 5 は、素子構造が形成されオン状態のときに基板の厚さ方向に主電流が流れる活性領域の D - D' 断面図である。

【0028】

図 1 に示すように、SBD 内蔵の炭化珪素半導体装置 5 0 は、素子構造が形成されオン状態のときに基板の厚さ方向に主電流が流れる活性領域 4 0 と、活性領域 4 0 の周囲を囲んで耐圧を保持するエッジ領域 4 2 と、活性領域 4 0 とエッジ領域 4 2 との間のツナギ領域 4 1 と、から構成される。活性領域 4 0 は図 1 で破線で囲まれた領域である。ツナギ領域 4 1 とは、図 4 に示すように、後述するトレンチゲート 3 1 の側面が p 型領域で覆われ MOS として機能していない領域である。図 1 ~ 4 に示す実施の形態にかかる炭化珪素半導体装置は、炭化珪素からなる半導体基体（炭化珪素基体：半導体チップ）のおもて面（後述する p 型ベース層 1 6 側の面）側に MOS ゲートを備えた SBD 内蔵の炭化珪素半導体装置 5 0 である。

10

【0029】

炭化珪素基体は、炭化珪素からなる n+型炭化珪素基板（第 1 導電型の半導体基板）2 上に n-型ドリフト層（第 1 導電型の第 1 半導体層）1 および p 型ベース層（第 2 導電型の第 2 半導体層）1 6 となる各炭化珪素層を順にエピタキシャル成長させてなる。活性領域 4 0 において、MOS ゲートは、p 型ベース層 1 6 と、n+型ソース領域（第 1 導電型の第 1 半導体領域）1 7、ゲート絶縁膜 1 9 およびゲート電極 2 0 で構成される。具体的には、n-型ドリフト層 1 のソース側（後述するソース電極 2 2 側）の表面層には、p 型ベース層 1 6 に接するように n 型領域 1 5 が設けられていてもよい。n 型領域 1 5 は、キャリアの広がり抵抗を低減させる、いわゆる電流拡散層（Current Spreading Layer：CSL）である。この n 型領域 1 5 は、例えば、基体おもて面（炭化珪素基体のおもて面）に平行な方向に一様に設けられている。

20

【0030】

n 型領域 1 5（n 型領域 1 5 が設けられていない場合は、n-型ドリフト層 1、以下（1）と称する）の内部には、第 1 p+型領域（第 2 導電型の第 2 半導体領域）3 が選択的に設けられている。第 1 p+型領域 3 は、後述するトレンチゲート（第 1 トレンチ）3 1 の底面および後述するトレンチ SBD（第 2 トレンチ）3 2 の底面に接するように設けられている。また、n 型領域 1 5（1）の表面層には、第 2 p+型領域（第 2 導電型の第 3 半導体領域）4 が選択的に設けられている。第 2 p+型領域 4 は、底面が第 1 p+型領域 3 と接するように設けられている。

30

【0031】

n 型領域 1 5 が設けられている場合、第 1 p+型領域 3 は、p 型ベース層 1 6 と n 型領域 1 5 との界面よりもドレイン側に深い位置から、n 型領域 1 5 と n-型ドリフト層 1 との界面に達しない深さで設けられている。第 1 p+型領域 3 を設けることで、トレンチゲート 3 1、トレンチ SBD 3 2 の底面付近に、第 1 p+型領域 3 と n 型領域 1 5（1）との間の pn 接合を形成することができる。第 1 p+型領域 3 および第 2 p+型領域 4 は、p 型ベース層 1 6 よりも不純物濃度が高い。

40

【0032】

また、p 型ベース層 1 6 の内部には、n+型ソース領域 1 7 が選択的に設けられている。互いに接するように n+型ソース領域 1 7 および p++型コンタクト領域（第 2 導電型の第 5 半導体領域）（不図示）がそれぞれ選択的に設けられていてもよい。この場合、p++型コンタクト領域の深さは例えば n+型ソース領域 1 7 と同じ深さでもよいし、n+型ソース領域 1 7 よりも深くてもよい。

【0033】

トレンチゲート 3 1 は、基体おもて面から n+型ソース領域 1 7 および p 型ベース層 1 6

50

を貫通してn型領域15(1)に達する。トレンチゲート31の内部には、トレンチゲート31の側壁に沿ってゲート絶縁膜19が設けられ、ゲート絶縁膜19の内側にゲート電極20が設けられている。ゲート電極20のソース側端部は、基体おもて面から外側に突出していてもいなくてもよい。ゲート電極20は、ゲート電極パッド(不図示)に電氣的に接続されている。層間絶縁膜21は、トレンチゲート31に埋め込まれたゲート電極20を覆うように基体おもて面に設けられている。層間絶縁膜21は、ツナギ領域41で開口され、ゲート電極20は、開口部においてポリシリコン層のゲートコンタクト領域26を介して、ゲートランナー27と接続される。

#### 【0034】

トレンチSBD32は、基体おもて面からn+型ソース領域17およびp型ベース層16を貫通してn型領域15(1)に達する。トレンチSBD32の内部には、トレンチSBD32の側壁に沿って、ソース電極22と接続するショットキーメタル29で覆われ、内壁に露出する半導体領域と当該ショットキーメタル29とのショットキー接合を形成する。また、ショットキーメタル29の内側には酸化膜、例えば、二酸化珪素(SiO<sub>2</sub>)が設けられてもよい。

#### 【0035】

図1に示すように、実施の形態では、トレンチゲート31をトレンチSBD32が取り囲んでいる。後述の図6のように、取り囲むとは、平面視でトレンチゲート31の任意の箇所からエッジ領域42に達するには、トレンチSBD32を横切る必要があることである。例えば、トレンチゲート31は平面視でストライプ状に設けられ、トレンチSBD32は、トレンチゲート31と平行に設けられ、トレンチゲート31より長いストライプ状の部分P1と、ストライプ状の部分と接続する外周の部分P2とを有する。これにより、トレンチゲート31のソース電極22と接触する部分がトレンチSBD32で取り囲まれた領域の内側となる。このため、トレンチSBD32で取り囲まれた領域の外側では、SBD内蔵の炭化珪素半導体装置のドレイン側に負バイアスがかかった際、寄生pnダイオードがバイポーラ動作することが無くなり、順方向劣化やターンオン損失の増加を抑制できる。

#### 【0036】

また、図4に示すように、ツナギ領域41において、トレンチSBD32の側壁は、第2p+型領域4と接していない。つまり、従来のSBD内蔵の炭化珪素半導体装置において、トレンチSBD132の周囲を埋めているp型領域(第1、第2p+型領域103、104)の一部を開口させることで、実施の形態のトレンチSBD32では、側壁がn型領域15(1)と接するようにしている。これにより、ツナギ領域41でも、トレンチSBD32を寄生ショットキーダイオードとして機能させるようにすることができる。このため、SBD内蔵の炭化珪素半導体装置のドレイン側に負バイアスがかかった際、ツナギ領域41でも寄生ショットキーダイオードを動作させることによって寄生pnダイオードのバイポーラ動作を抑止することができ、順方向劣化やターンオン損失の増加を抑制できる。

#### 【0037】

図6は、実施の形態にかかる炭化珪素半導体装置の外観を示す上面図である。図6に示すように、トレンチゲート31は、n+型炭化珪素基板1の結晶方向が<11-20>である方向にストライプ状に設けられている。活性領域40の周囲を囲んで耐圧を保持するエッジ領域42には、電界を緩和または分散させることで高耐圧半導体装置全体の耐圧を向上させるため、接合終端(JTE: Junction Termination Extension)構造として、JTE領域43が設けられている。JTE領域43の外側に、チャンネルストッパとして機能するn+型半導体領域(不図示)が設けられている。

#### 【0038】

実施の形態では、トレンチゲート31の端Tと、トレンチSBD32の外周の部分P2との距離W1は、トレンチゲート31とトレンチSBD32との間の間隔W2以上であることが好ましい。距離W1が間隔W2より短いと、トレンチSBD32の電流経路で抵抗が

10

20

30

40

50



増加して耐量が落ちる可能性があるためである。さらに、トレンチゲート 31 の端 T は、JTE 領域 43 より内側（活性領域 40 側）に設けられていることが好ましい。このため、トレンチ SBD 32 の外周の部分 P2 は、ゲートコンタクト領域 26 と深さ方向に対向する位置に設けられている。

#### 【0039】

ソース電極 22 は、層間絶縁膜 21 に開口されたコンタクトホールを介して n+型ソース領域 17 に接するとともに、層間絶縁膜 21 によってゲート電極 20 と電氣的に絶縁されている。p++型コンタクト領域が設けられている場合、ソース電極 22 は、p++型コンタクト領域とも接する。ソース電極 22 と層間絶縁膜 21 との間に、例えばソース電極 22 からゲート電極 20 側への金属原子の拡散を防止するバリアメタルを設けてもよい。ソース電極 22 上には、ソース電極パッド（不図示）が設けられている。炭化珪素基板の裏面（n+型ドレイン領域となる n+型炭化珪素基板 1 の裏面）には、ドレイン電極（不図示）が設けられている。

10

#### 【0040】

（実施の形態にかかる半導体装置の製造方法）

次に、実施の形態にかかる半導体装置の製造方法について説明する。図 7 ~ 図 11 は、実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である。図 12、図 14、図 16、図 18、図 20 および図 22 は、実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す上面図である。また、図 13、図 15、図 17、図 19、図 21 および図 23 は、実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す図 12 の A - A' 部分の断面図である。

20

#### 【0041】

まず、n+型ドレイン領域となる n+型炭化珪素基板 2 を用意する。次に、n+型炭化珪素基板 2 のおもて面に、上述した n-型ドリフト層 1 をエピタキシャル成長させる。例えば、n-型ドリフト層 1 を形成するためのエピタキシャル成長の条件を、n-型ドリフト層 1 の不純物濃度が  $3 \times 10^{15} / \text{cm}^3$  程度となるように設定してもよい。ここまでの状態が図 7 に記載される。

#### 【0042】

次に、n-型ドリフト層 1 の上に、下側 n 型領域 15a（n 型領域 15 を形成しない場合、n-型ドリフト層 1 と同程度の不純物の n 型層、以下 n 型層と略する）をエピタキシャル成長させる。例えば、下側 n 型領域 15a を形成するためのエピタキシャル成長の条件を、下側 n 型領域 15a の不純物濃度が  $1 \times 10^{17} / \text{cm}^3$  程度となるように設定してもよい。この下側 n 型領域 15a は、n 型領域 15 の一部である。次に、フォトリソグラフィおよび p 型不純物のイオン注入により、下側 n 型領域 15a（n 型層）の表面層に、第 1 p+型領域 3 を選択的に形成する。例えば、第 1 p+型領域 3 を形成するためのイオン注入時のドーズ量を、不純物濃度が  $5 \times 10^{18} / \text{cm}^3$  程度となるように設定してもよい。ここまでの状態が図 8 に記載される。

30

#### 【0043】

次に、下側 n 型領域 15a（n 型層）、第 1 p+型領域 3 の上に、上側 n 型領域 15b（n 型層）をエピタキシャル成長させる。例えば、上側 n 型領域 15b を形成するためのエピタキシャル成長の条件を、下側 n 型領域 15a の不純物濃度と同程度となるように設定してもよい。この上側 n 型領域 15b は、n 型領域 15 の一部であり、下側 n 型領域 15a と上側 n 型領域 15b を合わせて、n 型領域 15 となる。次に、フォトリソグラフィおよび p 型不純物のイオン注入により、上側 n 型領域 15b（n 型層）の表面層に、第 2 p+型領域 4 を選択的に形成する。例えば、第 2 p+型領域 4 を形成するためのイオン注入時のドーズ量を、不純物濃度が第 1 p+型領域 3 と同程度となるように設定してもよい。第 1 p+型領域 3 と第 2 p+型領域 4 とを合わせた領域を第 1、第 2 p+型領域 3、4 と称する。ここで、第 2 p+型領域 4 を形成する際に、ツナギ領域 41 でトレンチ SBD 32 の側壁が第 2 p+型領域 4 と接しないように形成する。ここまでの状態が図 9 に記載される。

40

50

## 【0044】

次に、上側 n 型領域 15 b および第 2 p+型領域 4 の上に、p 型ベース層 16 をエピタキシャル成長させる。例えば、p 型ベース層 16 を形成するためのエピタキシャル成長の条件を、p 型ベース層 16 の不純物濃度が  $4 \times 10^{17} / \text{cm}^3$  程度となるように設定してもよい。

## 【0045】

次に、フォトリソグラフィおよび n 型不純物のイオン注入により、p 型ベース層 16 の表面層に n+型ソース領域 17 を選択的に形成する。例えば、n+型ソース領域 17 を形成するためのイオン注入時のドーズ量を、不純物濃度が  $3 \times 10^{20} / \text{cm}^3$  程度となるように設定してもよい。

10

## 【0046】

次に、フォトリソグラフィおよび p 型不純物のイオン注入により、p 型ベース層 16 の表面層に、n+型ソース領域 17 に接するように p++型コンタクト領域を選択的に形成してもよい。例えば、p++型コンタクト領域を形成するためのイオン注入時のドーズ量を、不純物濃度が  $3 \times 10^{20} / \text{cm}^3$  程度となるように設定してもよい。n+型ソース領域 17 と p++型コンタクト領域との形成順序を入れ替えてもよい。次に、フォトリソグラフィおよび p 型不純物のイオン注入により、エッジ領域 42 に JTE 領域 43 を形成する。イオン注入が全て終わった後に、活性化アニールを施す。ここまでの状態が図 10 に記載される。

20

## 【0047】

次に、フォトリソグラフィおよびエッチングにより、n+型ソース領域 17 および p 型ベース層 16 を貫通して、n 型領域 15 (1) に達するトレンチゲート 31 を形成する。トレンチゲート 31 の底部は、第 1 p+型領域 3 に達してもよいし、p 型ベース層 16 と第 1 p+型領域 3 に挟まれた n 型領域 15 (1) 内に位置していてもよい。続いて、トレンチゲート 31 を形成するために用いたマスクを除去する。また、トレンチ形成時のマスクには酸化膜を用いる。また、トレンチエッチング後に、トレンチゲート 31 のダメージを除去するための等方性エッチングや、トレンチゲート 31 の底部およびトレンチゲート 31 の開口部の角を丸めるための水素アニールを施してもよい。等方性エッチングと水素アニールはどちらか一方のみを行ってもよい。また、等方性エッチングを行った後に水素アニールを行ってもよい。

30

## 【0048】

次に、フォトリソグラフィおよびエッチングにより、n+型ソース領域 17 および p 型ベース層 16 を貫通して、n 型領域 15 (1) に達するトレンチ SBD 32 を形成する。トレンチ SBD 32 の底部は、第 1 p+型領域 3 に達してもよいし、p 型ベース層 16 と第 1 p+型領域 3 に挟まれた n 型領域 15 (1) 内に位置していてもよい。続いて、トレンチ SBD 32 を形成するために用いたマスクを除去する。この際、トレンチゲート 31 の端 T と、トレンチ SBD 32 の外周の部分 P2 との距離 W1 は、トレンチゲート 31 とトレンチ SBD 32 との間隔 W2 以上となり、トレンチゲート 31 の端は、JTE 領域 42 より活性領域 40 側になるように形成する。ここまでの状態が図 11 に記載される。

## 【0049】

次に、炭化珪素基体のおもて面およびトレンチゲート 31 の内壁に沿ってゲート絶縁膜 19 を形成する。次に、トレンチ SBD 32 の内壁に沿って金属膜を、例えばチタン (Ti) で形成する。次に、例えば 500 以下程度の温度の窒素 (N<sub>2</sub>) 雰囲気中で熱処理 (アニール) することで、トレンチ SBD 32 の内壁に金属膜と半導体領域とのショットキー接合を形成する。

40

## 【0050】

次に、トレンチゲート 31 およびトレンチ SBD 32 に埋め込むようにポリシリコンを堆積しエッチングすることで、トレンチゲート 31 の内部にゲート電極 20 となるポリシリコンおよびトレンチ SBD 32 の内部にポリシリコンを残す。その際、エッチバックしてポリシリコンを基体表部より内側に残すようにエッチングしてもよい。このように、トレ

50

ンチSBD32にポリシリコンを埋め込むことで、トレンチSBD32は、金属膜とポリシリコンとのヘテロ接合で形成される。ここまで状態の上面図は図12に記載され、図12のA-A'断面は図13に記載される。

【0051】

次に、ゲート電極20を覆うように、炭化珪素基体のおもて面全面に層間絶縁膜21を形成する。層間絶縁膜21は、例えば、NSG(Non-doped Silicate Glass: ノンドープシリケートガラス)、PSG(Phospho Silicate Glass)、BPSG(Boro Phospho Silicate Glass)、HTO(High Temperature Oxide)、あるいはそれらの組み合わせで形成される。次に、層間絶縁膜21およびゲート絶縁膜19をパターンニングしてコンタクトホールを形成し、n+型ソース領域17を露出させる。p++型コンタクト領域を形成した場合、n+型ソース領域17およびp++型コンタクト領域を露出させる。トレンチゲート31はツナギ領域41でのみ層間絶縁膜21を開口する。ここまでの状態の上面図は図14に記載され、この状態での図12のA-A'断面は図15に記載される。

10

【0052】

次に、層間絶縁膜21を覆うようにバリアメタルを形成してパターンニングし、n+型ソース領域17およびp++型コンタクト領域を再度露出させる。次に、n+型ソース領域17およびトレンチSBD32内に埋め込まれたポリシリコンに接するように、ソース電極22を形成する。ソース電極22は、バリアメタルを覆うように形成されてもよいし、コンタクトホール内のみ残してもよい。

20

【0053】

次に、炭化珪素基体のおもて面全面にポリシリコン(Poly-Si)を堆積させる。ここまでの状態の上面図は図16に記載され、この状態での図12のA-A'断面は図17に記載される。次に、ポリシリコンをエッチングでパターンニングし、ゲートランナー方向のみに残すことにより、ゲートコンタクト領域26を形成する。ここまでの状態の上面図は図18に記載され、この状態での図12のA-A'断面は図19に記載される。このように、ポリシリコンの堆積をトレンチSBD32に埋める場合と、ゲートコンタクト領域26を形成する場合の2回に分けることで、トレンチSBD32の上部にゲートコンタクト領域26を広く形成することができる。

【0054】

次に、炭化珪素基体のおもて面全面に層間絶縁膜21を形成する。層間絶縁膜21は、例えば、NSG、PSG、HTOあるいはそれらの組み合わせで形成される。ここまでの状態の上面図は図20に記載され、この状態での図12のA-A'断面は図21に記載される。次に、層間絶縁膜21をパターンニングしてコンタクトホールを形成し、ゲートコンタクト領域26を露出させる。

30

【0055】

次に、コンタクトホールを埋め込むようにソース電極パッド28およびゲートランナー27を形成する。ソース電極パッド28を形成するために堆積した金属層の一部をゲート電極パッドとしてもよい。ここまでの状態の上面図は図22に記載され、この状態での図12のA-A'断面は図23に記載される。r型炭化珪素基板2の裏面には、ドレイン電極のコンタクト部にスパッタ蒸着などを用いてニッケル(Ni)膜、チタン(Ti)膜などの金属膜を形成する。この金属膜は、Ni膜、Ti膜を複数組み合わせで積層してもよい。その後、金属膜がシリサイド化してオーミックコンタクトを形成するように、高速熱処理(RTA: Rapid Thermal Annealing)などのアニールを施す。その後、例えばTi膜、Ni膜、金(Au)を順に積層した積層膜などの厚い膜を電子ビーム(EB: Electron Beam)蒸着などで形成し、ドレイン電極を形成する。

40

【0056】

上述したエピタキシャル成長およびイオン注入においては、n型不純物(n型ドーパント)として、例えば、炭化珪素に対してn型となる窒素(N)やリン(P)、ヒ素(As)

50

、アンチモン（Sb）などを用いればよい。p型不純物（p型ドーパント）として、例えば、炭化珪素に対してp型となるホウ素（B）やアルミニウム（Al）、ガリウム（Ga）、インジウム（In）、タリウム（Tl）などを用いればよい。このようにして、図1～図4に示すMOSFETが完成する。

#### 【0057】

以上、説明したように、実施の形態によれば、トレンチゲートをトレンチSBDが取り囲んでいる。これにより、トレンチゲートのソース電極と接触する部分がトレンチSBDで取り囲まれた領域の内側となる。このため、トレンチSBDで取り囲まれた領域の外側では、SBD内蔵の炭化珪素半導体装置のドレイン側に負バイアスがかかった際、寄生pnダイオードがバイポーラ動作することが無くなり、順方向劣化やターンオン損失の増加を抑制できる。

10

#### 【0058】

以上において本発明は本発明の趣旨を逸脱しない範囲で種々変更可能であり、上述した各実施の形態において、例えば各部の寸法や不純物濃度等は要求される仕様等に応じて種々設定される。また、上述した各実施の形態では、MOSFETを例に説明しているが、これに限らず、所定のゲート閾値電圧に基づいてゲート駆動制御されることで電流を導通および遮断する種々な炭化珪素半導体装置にも広く適用可能である。ゲート駆動制御される炭化珪素半導体装置として、例えばIGBT（Insulated Gate Bipolar Transistor：絶縁ゲート型バイポーラトランジスタ）などが挙げられる。また、上述した各実施の形態では、ワイドバンドギャップ半導体として炭化珪素を用いた場合を例に説明しているが、炭化珪素以外の例えば窒化ガリウム（GaN）などのワイドバンドギャップ半導体にも適用可能である。また、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

20

#### 【産業上の利用可能性】

#### 【0059】

以上のように、本発明にかかる半導体装置は、電力変換装置や種々の産業用機械などの電源装置などに使用されるパワー半導体装置に有用であり、特にトレンチゲート構造の炭化珪素半導体装置に適している。

#### 【符号の説明】

30

#### 【0060】

- 1、101 n型ドリフト層
- 2、102 n+型炭化珪素基板
- 3、103 第1p+型領域
- 4、104 第2p+型領域
- 5、105 p+型領域
- 15、115 n型領域
- 15a 下側n型領域
- 15b 上側n型領域
- 16、116 p型ベース層
- 17、117 n+型ソース領域
- 18、118 p++型コンタクト領域
- 19、119 ゲート絶縁膜
- 20、120 ゲート電極
- 21、121 層間絶縁膜
- 22、122 ソース電極
- 25 層間絶縁膜
- 26 ゲートコンタクト領域
- 27 ゲートランナー
- 28 ソース電極パッド

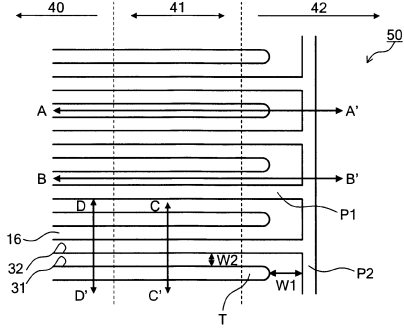
40

50

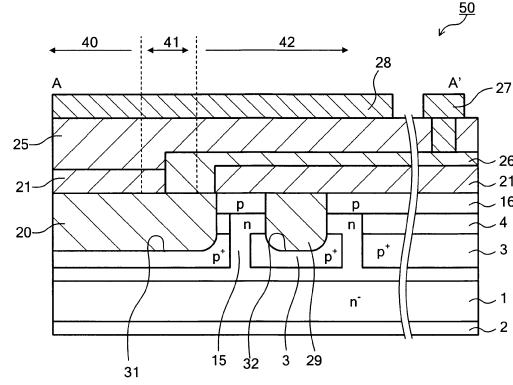
- 29、129 ショットキーメタル
- 31、131 トレンチゲート
- 32、132 トレンチSBD
- 40、140 活性領域
- 41、141 ツナギ領域
- 42、142 エッジ領域
- 43 JTE領域
- 50、150 SBD内蔵の炭化珪素半導体装置

【図面】

【図1】



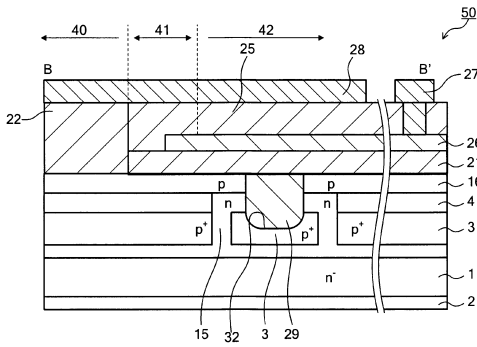
【図2】



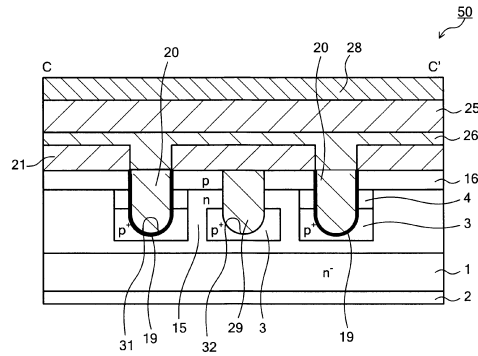
10

20

【図3】



【図4】

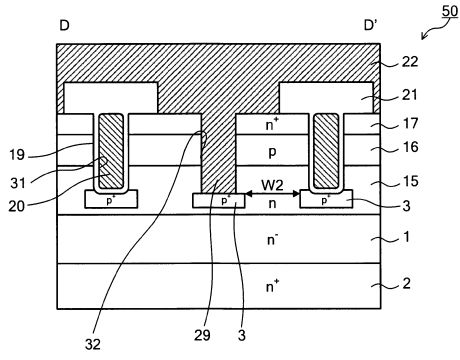


30

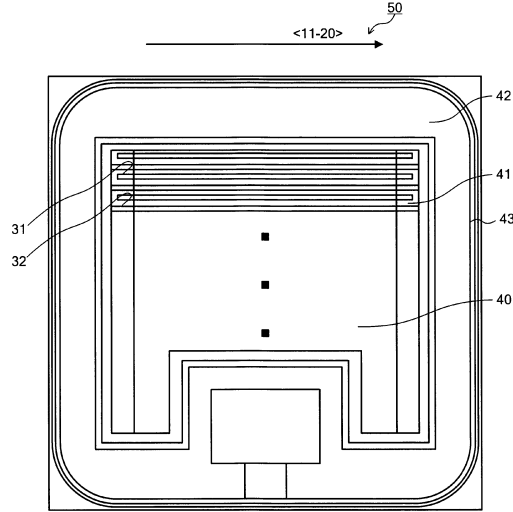
40

50

【 図 5 】

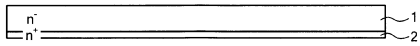


【 図 6 】

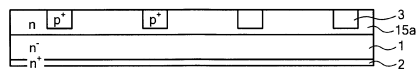


10

【 図 7 】

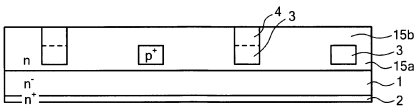


【 図 8 】

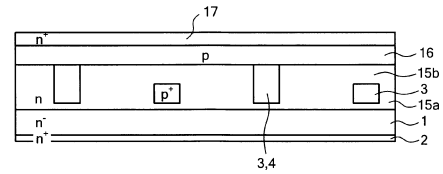


20

【 図 9 】



【 図 10 】

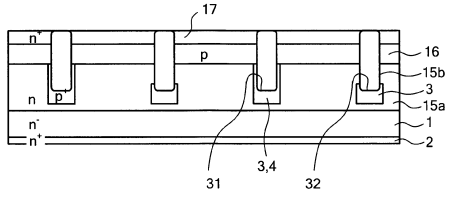


30

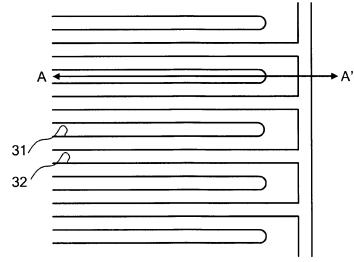
40

50

【図 1 1】

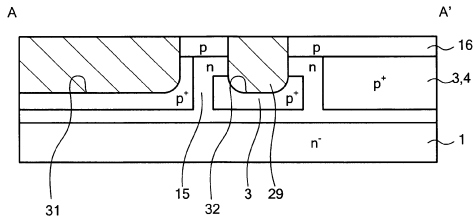


【図 1 2】

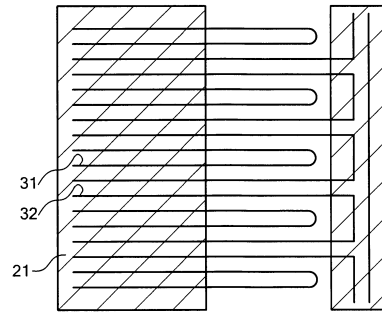


10

【図 1 3】

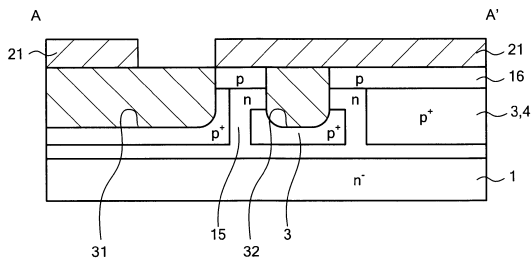


【図 1 4】

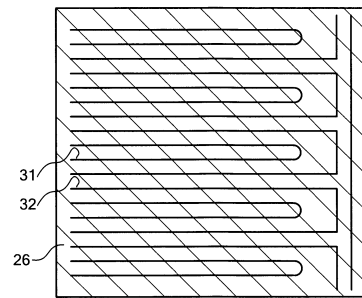


20

【図 1 5】



【図 1 6】

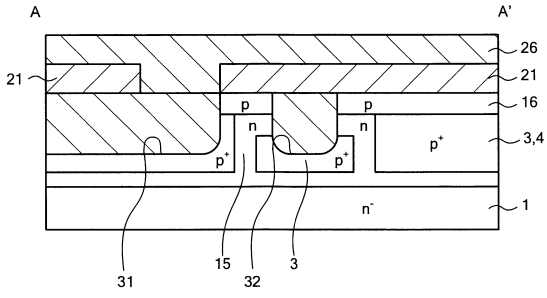


30

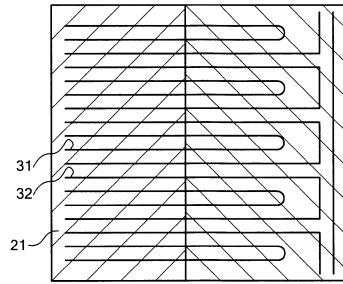
40

50

【 図 17 】

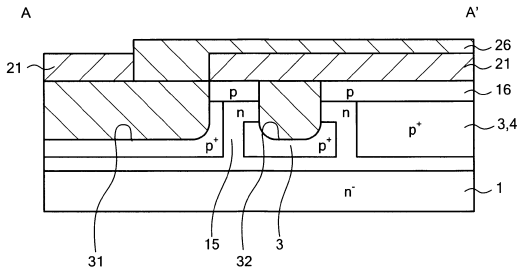


【 図 18 】

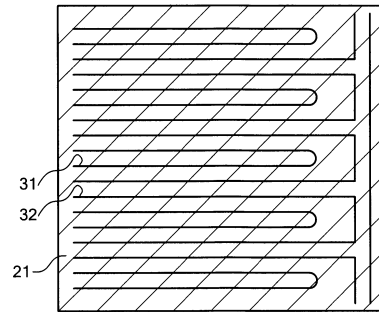


10

【 図 19 】

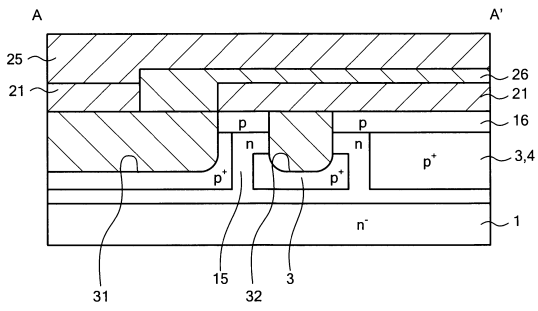


【 図 20 】

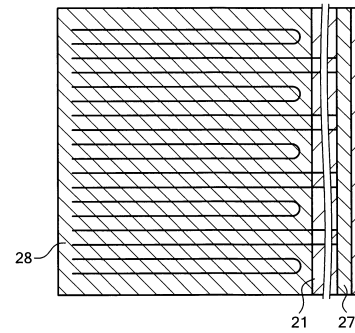


20

【 図 21 】



【 図 22 】



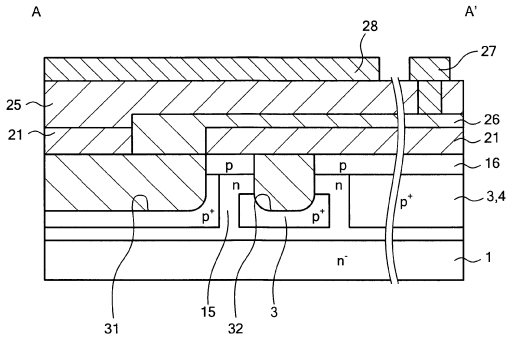
30

40

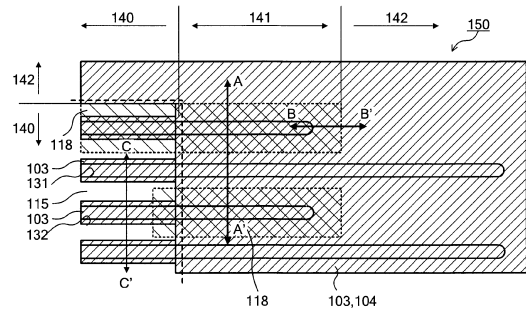
50



【 図 2 3 】

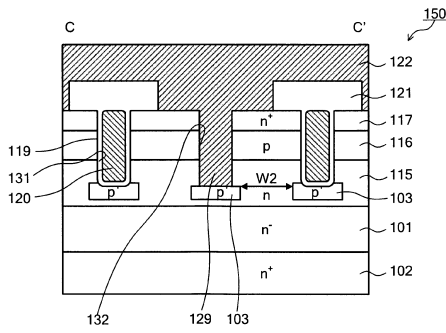


【 図 2 4 】

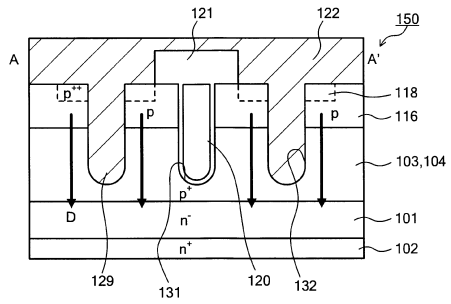


10

【 図 2 5 】

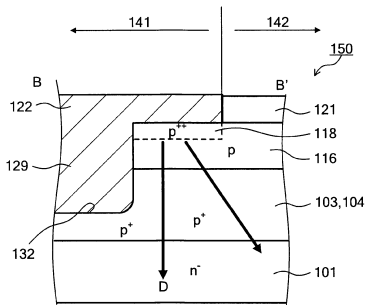


【 図 2 6 】



20

【 図 2 7 】



30

40

50

## フロントページの続き

## (51)国際特許分類

*H 0 1 L 29/861(2006.01)*  
*H 0 1 L 29/739(2006.01)*

## F I

H 0 1 L 29/78 6 5 2 Q  
 H 0 1 L 29/78 6 5 2 T  
 H 0 1 L 29/78 6 5 7 D  
 H 0 1 L 29/86 3 0 1 D  
 H 0 1 L 29/86 3 0 1 E  
 H 0 1 L 29/86 3 0 1 F  
 H 0 1 L 29/48 E  
 H 0 1 L 29/48 D  
 H 0 1 L 29/48 F  
 H 0 1 L 29/78 6 5 2 P  
 H 0 1 L 29/06 3 0 1 G  
 H 0 1 L 29/06 3 0 1 V  
 H 0 1 L 29/91 H  
 H 0 1 L 29/86 3 0 1 M  
 H 0 1 L 29/48 M  
 H 0 1 L 29/78 6 5 5 A  
 H 0 1 L 29/78 6 5 5 F  
 H 0 1 L 29/91 L

## テーマコード (参考)

## F ターム (参考)

DD96 EE06 EE14 EE15 FF02 FF04 FF31 FF35 GG03 GG06  
 GG09 GG18 HH17 HH18