

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5467849号
(P5467849)

(45) 発行日 平成26年4月9日(2014.4.9)

(24) 登録日 平成26年2月7日(2014.2.7)

(51) Int.Cl.		F I			
G05F 3/24	(2006.01)	G05F 3/24			B
H01L 21/822	(2006.01)	H01L 27/04			B
H01L 27/04	(2006.01)				

請求項の数 3 (全 9 頁)

(21) 出願番号	特願2009-273645 (P2009-273645)	(73) 特許権者	000002325
(22) 出願日	平成21年12月1日 (2009.12.1)		セイコーインスツル株式会社
(65) 公開番号	特開2010-170533 (P2010-170533A)		千葉県千葉市美浜区中瀬1丁目8番地
(43) 公開日	平成22年8月5日 (2010.8.5)	(74) 代理人	100154863
審査請求日	平成24年10月11日 (2012.10.11)		弁理士 久原 健太郎
(31) 優先権主張番号	特願2008-326194 (P2008-326194)	(74) 代理人	100142837
(32) 優先日	平成20年12月22日 (2008.12.22)		弁理士 内野 則彰
(33) 優先権主張国	日本国(JP)	(74) 代理人	100123685
			弁理士 木村 信行
		(72) 発明者	渡邊 考太郎
			千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内
		(72) 発明者	宇都宮 文晴
			千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内
			最終頁に続く

(54) 【発明の名称】 基準電圧回路及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

基準電圧を基準電圧端子から出力する基準電圧回路において、
ゲート及びバックゲートが接地電位に接続され、ドレインが電源電圧に接続され、ソースが前記基準電圧端子に接続され、前記基準電圧を出力するディプレッション型NMOSトランジスタと、

前記ディプレッション型NMOSトランジスタのソースと接地電位の間に設けられ、前記基準電圧をリミット電圧以下に制御するリミット回路と、を備え、
前記リミット回路は、

ゲートとドレインを互いに接続されたエンハンスメント型NMOSトランジスタであって、

前記エンハンスメント型NMOSトランジスタの閾値電圧の絶対値は、前記ディプレッション型NMOSトランジスタの閾値電圧の絶対値よりも高く、

前記基準電圧が上昇し前記リミット電圧以上の場合、前記リミット回路に電流を流して前記基準電圧を前記リミット電圧に固定し、前記基準電圧が前記リミット電圧よりも低い場合、前記リミット回路にはリーク電流以外の電流が流れないことを特徴とする基準電圧回路。

【請求項2】

基準電圧を基準電圧端子から出力する基準電圧回路において、
ゲート及びバックゲートが接地電位に接続され、ドレインが電源電圧に接続され、ソー

10

20

すが前記基準電圧端子に接続され、前記基準電圧を出力するディプレッション型NMOSトランジスタと、

前記ディプレッション型NMOSトランジスタのソースと接地電位の間に設けられ、前記基準電圧をリミット電圧以下に制御するリミット回路と、を備え、

前記リミット回路は、

ゲート及びドレインを互いに接続されるエンハンスメント型PMOSトランジスタであって、

前記エンハンスメント型PMOSトランジスタの閾値電圧の絶対値は、前記ディプレッション型NMOSトランジスタの閾値電圧の絶対値よりも高く

前記基準電圧が上昇し前記リミット電圧以上の場合、前記リミット回路に電流を流して前記基準電圧を前記リミット電圧に固定し、前記基準電圧が前記リミット電圧よりも低い場合、前記リミット回路にはリーク電流以外の電流が流れない、ことを特徴とする基準電圧回路。

10

【請求項3】

不揮発性記憶素子と、

前記不揮発性記憶素子の読出し端子に設けられた請求項1または2に記載の基準電圧回路と、

を備えことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、基準電圧を基準電圧端子から出力する基準電圧回路及び基準電圧回路を有する半導体装置に関する。

【背景技術】

【0002】

従来の基準電圧回路について説明する。図6は、従来の基準電圧回路を示す図である。図7は、従来の基準電圧回路を示す図である。

【0003】

図6に示すように、ディプレッション型NMOSトランジスタ91が、定電流源として動作して定電流を流す。その定電流に基づき、エンハンスメント型NMOSトランジスタ92が、基準電圧VREFを発生する(例えば、特許文献1参照。)

30

【0004】

また、図7に示すように、エンハンスメント型PMOSトランジスタ93が設けられても良い。すると、基準電圧回路が不必要である場合、エンハンスメント型PMOSトランジスタ93がオフし、基準電圧回路の消費電流がなくなる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特許第4084872号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0006】

しかし、図6に示した技術では、常に電流がディプレッション型NMOSトランジスタ91及びエンハンスメント型NMOSトランジスタ92を介して流れてしまう。よって、基準電圧回路の消費電流が多くなってしまふ。

【0007】

また、図7に示した技術では、消費電流は少なくなるが、エンハンスメント型PMOSトランジスタ93があるので、その分、基準電圧回路の面積が大きくなってしまふ。

【0008】

本発明は、上記課題に鑑みてなされ、消費電流が少なく、かつ面積が小さい基準電圧回

50

路を提供する。

【課題を解決するための手段】

【0009】

本発明は、上記課題を解決するため、基準電圧を基準電圧端子から出力する基準電圧回路において、ゲート及びバックゲートが接地電位に接続され、ドレインが電源電圧に接続され、ソースが前記基準電圧端子に接続され、前記基準電圧を出力するディプレッション型NMOSトランジスタと、前記ディプレッション型NMOSトランジスタのソースと接地電位の間に設けられ、前記基準電圧を前記リミット電圧以下に制御するリミット回路と、を備え、前記リミット回路は、前記基準電圧が前記リミット電圧よりも低いときは、リーク電流以外の電流を流さないことを特徴とする基準電圧回路を提供する。

10

【発明の効果】

【0010】

本発明では、基準電圧がリミット電圧よりも低くなっていると、リミット回路はリーク電流以外の電流を流さない。よって、基準電圧回路の消費電流が少なくなる。

【0011】

また、消費電流を少なくするためのスイッチが無いので、その分、基準電圧回路の面積が小さくなる。

【図面の簡単な説明】

【0012】

【図1】本発明の基準電圧回路を示すブロック図である。

20

【図2】本発明の基準電圧回路の基準電圧を示すタイムチャートである。

【図3】リミット回路の一例を示す回路図である。

【図4】リミット回路の他の例を示す回路図である。

【図5】リミット回路の他の例を示す回路図である。

【図6】従来基準電圧回路を示す回路図である。

【図7】従来基準電圧回路を示す回路図である。

【図8】第2の実施形態の基準電圧回路を示す回路図である。

【発明を実施するための形態】

【0013】

以下、本発明の実施形態を、図面を参照して説明する。

30

【0014】

図1は、本発明の基準電圧回路を示すブロック図である。基準電圧回路は、ディプレッション型NMOSトランジスタ11及びリミット回路12を備える。

【0015】

ディプレッション型NMOSトランジスタ11は、ゲート及びバックゲートを接地端子に接続され、ソースと基準電圧端子に接続され、ドレインを電源端子に接続される。リミット回路12は、第一端子を基準電圧端子に接続され、第二端子を接地端子に接続される。ここで、基準電圧端子が接続されるのは、MOSトランジスタのゲートを想定している。

40

【0016】

ディプレッション型NMOSトランジスタ11は、ゲート電圧（接地電圧 V_{SS} ）と閾値電圧（ $-V_t$ ）とリミット回路12のリーク電流とに基づいた電圧を基準電圧 V_{REF} としてソースから基準電圧端子に出力する。基準電圧 V_{REF} が高くなってリミット電圧 V_L になると、リミット回路12は基準電圧 V_{REF} をリミット電圧 V_L に固定して電流を流す。また、基準電圧 V_{REF} がリミット電圧 V_L よりも低いと、リミット回路12はリーク電流以外の電流を流さない。

【0017】

図2は、本発明の基準電圧回路の基準電圧を示すタイムチャートである。

【0018】

50

時間 t_0 から t_1 までの期間において、ディプレッション型 NMOS トランジスタ 11 は、ソースフォロア回路として動作する。具体的には、ディプレッション型 NMOS トランジスタ 11 は、接地電圧 V_{SS} から閾値電圧 ($-V_t$) を減算した電圧 V_t を基準電圧 V_{REF} としてソースから基準電圧端子に出力する。なお、基準電圧 V_{REF} は、リミット回路 12 のリーク電流にも依存する。この時、基準電圧 V_{REF} がリミット電圧 V_l よりも低くなっているため、リミット回路 12 はリーク電流以外の電流を流さない。

【0019】

時間 t_1 から t_2 までの期間において、電源電圧 V_{DD} の変動やノイズにより、基準電圧 V_{REF} が高くなるとする。この時、基準電圧 V_{REF} がリミット電圧 V_l よりも低くなっているため、リミット回路 12 はリーク電流以外の電流を流さない。

10

【0020】

時間 t_2 から t_3 までの期間において、基準電圧 V_{REF} が更に高くなりリミット電圧 V_l になると、そのリミット電圧 V_l に固定される。この時、基準電圧 V_{REF} がリミット電圧 V_l になっているため、リミット回路 12 は電流を流す。ここで、電源電圧 V_{DD} が変動して高くなっても、基準電圧 V_{REF} がリミット電圧 V_l になると、リミット回路 12 が電流を流すので、MOS トランジスタに耐圧以上の電圧が印加されることはない。

【0021】

次に、リミット回路 12 の具体例について説明する。図 3 は、リミット回路の一例を示す回路図である。

【0022】

20

リミット回路 12 は、エンハンスメント型 NMOS トランジスタ 12a を有する。

【0023】

エンハンスメント型 NMOS トランジスタ 12a は、ゲート及びドレインを基準電圧端子に接続され、ソース及びバックゲートを接地端子に接続される。

【0024】

エンハンスメント型 NMOS トランジスタ 12a は、閾値電圧 ($-V_t$) の絶対値よりも高い絶対値の閾値電圧を持つ。この閾値電圧の絶対値は、リミット電圧 V_l になる。

【0025】

基準電圧 V_{REF} がリミット電圧 V_l よりも低いと、エンハンスメント型 NMOS トランジスタ 12a はオフしてリーク電流以外の電流を流さない。基準電圧 V_{REF} がリミット電圧 V_l よりも高くなると、エンハンスメント型 NMOS トランジスタ 12a はオンして電流を流す。

30

【0026】

なお、ダイオード接続したエンハンスメント型 NMOS トランジスタ 12a が、1 個だけられているが、複数個直列に設けられても良い。この時、全てのエンハンスメント型 NMOS トランジスタの閾値電圧の合計により、リミット電圧 V_l が決定する。

【0027】

図 4 は、リミット回路の他の例を示す回路図である。

リミット回路 12 は、エンハンスメント型 PMOS トランジスタ 12b を有する。

【0028】

40

エンハンスメント型 PMOS トランジスタ 12b は、ゲート及びドレインを接地端子に接続され、ソースを基準電圧端子に接続され、バックゲートを電源端子に接続される。

【0029】

エンハンスメント型 PMOS トランジスタ 12b は、閾値電圧 ($-V_t$) の絶対値よりも高い絶対値の閾値電圧を持つ。この閾値電圧の絶対値は、リミット電圧 V_l になる。

【0030】

基準電圧 V_{REF} がリミット電圧 V_l よりも低いと、エンハンスメント型 PMOS トランジスタ 12b はオフしてリーク電流以外の電流を流さない。基準電圧 V_{REF} がリミット電圧 V_l よりも高くなると、エンハンスメント型 PMOS トランジスタ 12b はオンして電流を流す。

50

【 0 0 3 1 】

なお、ダイオード接続したエンハンスメント型PMOSトランジスタ12bが、1個設けられているが、複数個直列に設けられても良い。この時、全てのエンハンスメント型PMOSトランジスタの閾値電圧の絶対値の合計により、リミット電圧 V_L が決定する。

【 0 0 3 2 】

図5は、リミット回路の他の例を示す回路図である。
リミット回路12は、ダイオード12cを有する。

【 0 0 3 3 】

ダイオード12cは、アノードを基準電圧端子に接続され、カソードを接地端子に接続される。

10

【 0 0 3 4 】

ダイオード12cは、閾値電圧($-V_t$)の絶対値よりも高い絶対値の閾値電圧を持つ。この閾値電圧の絶対値は、リミット電圧 V_L になる。

【 0 0 3 5 】

基準電圧 V_{REF} がリミット電圧 V_L よりも低いと、ダイオード12cはリーク電流以外の電流を流さない。基準電圧 V_{REF} がリミット電圧 V_L よりも高くなると、ダイオード12cは電流を流す。

【 0 0 3 6 】

なお、ダイオード12cが、1個設けられているが、複数個直列に設けられても良い。この時、全てのダイオードの閾値電圧の合計により、リミット電圧 V_L が決定する。

20

【 0 0 3 7 】

このようにすると、基準電圧 V_{REF} がリミット電圧 V_L よりも低くなっていると、リミット回路12はリーク電流以外の電流を流さない。よって、基準電圧回路の消費電流が少なくなる。

【 0 0 3 8 】

また、消費電流を少なくするためのスイッチが無いので、その分、基準電圧回路の面積が小さくなる。

【 0 0 3 9 】

また、電源電圧 V_{DD} が変動して高くなっても、基準電圧 V_{REF} がリミット電圧 V_L になると、リミット回路12が電流を流すので、MOSトランジスタに耐圧以上の電圧が印加されにくくなり、MOSトランジスタが破壊されにくくなる。

30

【 0 0 4 0 】

< 第2の実施形態 >

図8は、第2の実施形態の基準電圧回路を有する半導体装置を示す回路図である。第2の実施形態の半導体装置は、不揮発性記憶素子とその読出し端子に第1の実施形態の基準電圧回路を設けた構成となっている。エンハンスメント型NMOSトランジスタ801とメモリセルトランジスタ802はメモリセルを構成する。第1の実施形態の基準電圧回路では、ディプレッション型NMOSトランジスタ11のドレインは電源電圧 V_{DD} に接続していたが、第2の実施形態の半導体装置では、読み出し端子813に接続している。なお、図示はしないが、この読み出し端子813は、メモリセルの書き込みデータの判定を行なうセンスアンプ回路に接続される。

40

【 0 0 4 1 】

エンハンスメント型NMOSトランジスタ801は、ゲートは入力端子811に接続され、ドレインは基準電圧端子に接続され、ソースはメモリセルトランジスタ802のドレインに接続される。メモリセルトランジスタ802は、ゲートは入力端子812に接続され、ソースは接地端子に接続される。

【 0 0 4 2 】

次に第2の実施形態の基準電圧回路の動作について説明する。

【 0 0 4 3 】

エンハンスメント型NMOSトランジスタ801はイネーブルトランジスタとして動作

50

する。メモリセルトランジスタ 802 はEEPROMまたはOTPなどの不揮発性素子で構成されている。入力端子 811 に“H”が入力することで、エンハンスメント型NMOSトランジスタ 801 がオンし、メモリセルトランジスタ 802 のクランプ電圧は基準電圧 V_{REF} に設定される。基準電圧 V_{REF} はディプレッション型NMOSトランジスタ 11 の閾値電圧 ($-V_t$) とエンハンスメント型NMOSトランジスタ 12a のリーク電流で決まる。エンハンスメント型NMOSトランジスタ 12a は、閾値電圧 ($-V_t$) の絶対値よりも高い絶対値の閾値電圧を持つ。この閾値電圧の絶対値は、リミット電圧 V_1 になる。

【0044】

基準電圧 V_{REF} がリミット電圧 V_1 よりも低いと、エンハンスメント型NMOSトランジスタ 12a はオフしてリーク電流以外の電流を流さない。よって、基準電圧回路の消費電流が少なくなる。また、基準電圧 V_{REF} がリミット電圧 V_1 よりも高くなると、エンハンスメント型NMOSトランジスタ 12a はオンして電流を流す。よって、基準電圧 V_{REF} はリミット電圧 V_1 より大きい電圧を出力することはない。このため、メモリセルトランジスタ 802 のクランプ電圧はリミット電圧 V_1 以下に設定することができる。

10

【0045】

入力端子 811 に“H”が入力することで、メモリセルトランジスタ 802 から読み出しが行われる。この時クランプ電圧をリミット電圧 V_1 以下に設定するため、不具合動作である読み出しディスタ urb が防止される。さらに低消費電流での動作が可能となる。

【0046】

なお、図示はしないが、メモリセルトランジスタ 802 に直接基準電圧端子に接続してもよい。また、メモリセルトランジスタのドレイン接続する事に限らず、メモリセルトランジスタの他端子に基準電圧端子を接続しクランプ電圧を設定しても良い。

20

【0047】

以上に説明したように、第2の実施形態の基準電圧回路を有する半導体装置は、基準電圧 V_{REF} をメモリセルトランジスタ 802 のクランプ電圧に用いることで、読み出しディスタ urb を防止し、低消費電流で動作させることができる。

【0048】

また、第2の実施形態では、基準電圧 V_{REF} をメモリセルトランジスタ 802 のクランプ電圧に用いたが、その他の高電圧が印可されると不具合を生じる回路を備えた半導体装置に用いられても良い。

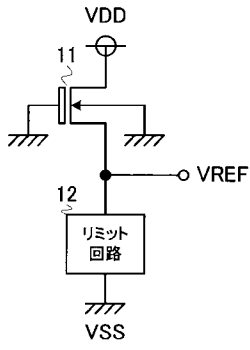
30

【符号の説明】

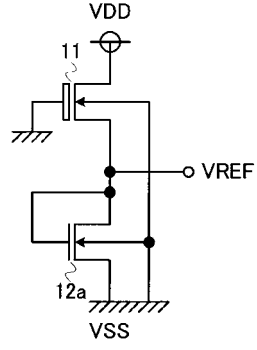
【0049】

- 12 リミット回路
- 802 メモリセルトランジスタ

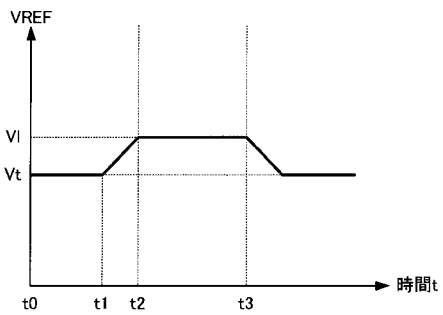
【図1】



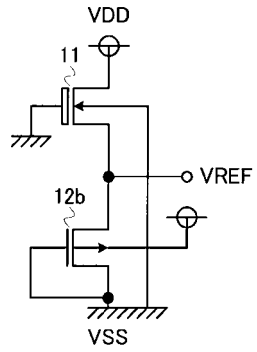
【図3】



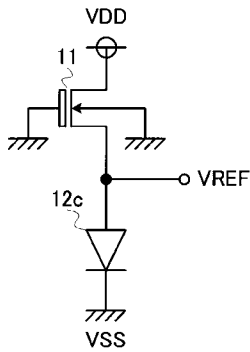
【図2】



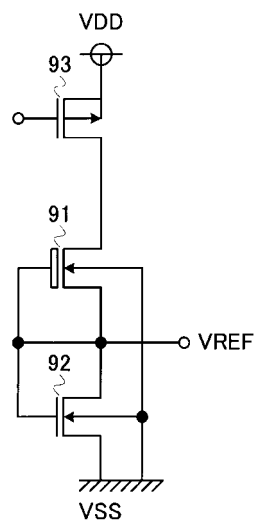
【図4】



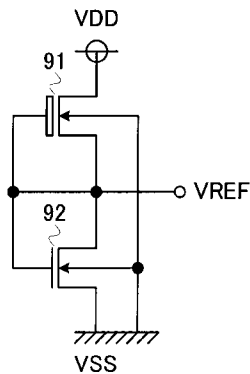
【図5】



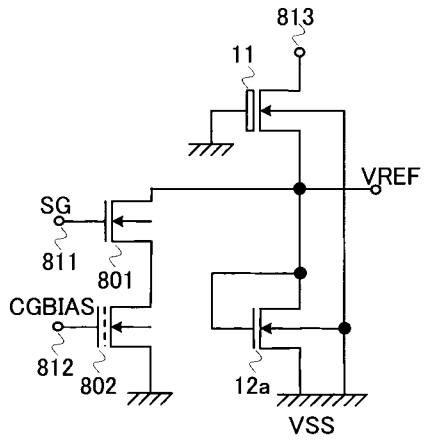
【図7】



【図6】



【 図 8 】



フロントページの続き

審査官 下原 浩嗣

- (56)参考文献 特開昭56-029718(JP,A)
特開昭62-186311(JP,A)
特開平02-105468(JP,A)
特開平11-006751(JP,A)
特開平08-084063(JP,A)
特開2002-014733(JP,A)
特開2000-100189(JP,A)

(58)調査した分野(Int.Cl., DB名)

G05F 3/24
H01L 21/822
H01L 27/04