

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-219036
(P2008-219036A)

(43) 公開日 平成20年9月18日(2008.9.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 P	4 M 1 O 4
HO 1 L 29/78 (2006.01)	HO 1 L 21/28 3 O 1 S	5 F 1 4 O
HO 1 L 21/28 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号	特願2008-108847 (P2008-108847)	(71) 出願人	000005821 松下電器産業株式会社
(22) 出願日	平成20年4月18日 (2008.4.18)		大阪府門真市大字門真1006番地
(62) 分割の表示	特願2005-335311 (P2005-335311) の分割	(74) 代理人	100077931 弁理士 前田 弘
原出願日	平成17年11月21日 (2005.11.21)		
(31) 優先権主張番号	特願2004-345391 (P2004-345391)	(74) 代理人	100110939 弁理士 竹内 宏
(32) 優先日	平成16年11月30日 (2004.11.30)		
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100110940 弁理士 嶋田 高久
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100115059 弁理士 今江 克実
		(74) 代理人	100115691 弁理士 藤田 篤史

最終頁に続く

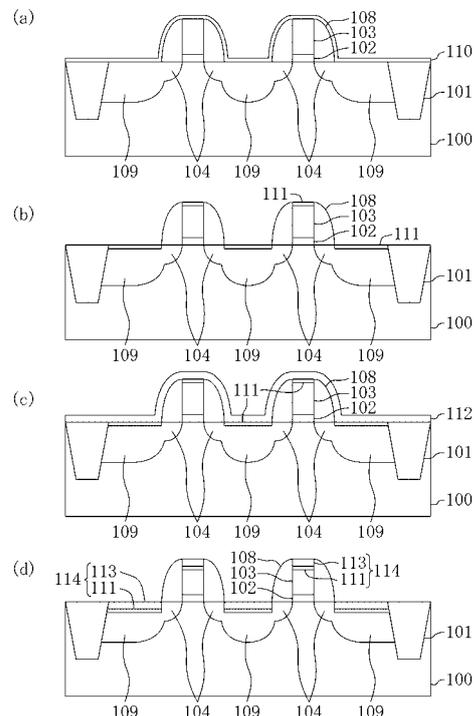
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】微細化・高速化可能な半導体装置に必要なNiシリサイド層を形成する際に、低抵抗層であるNiSi層を安定して形成すると共にシリコン-シリサイド界面抵抗を低減する。

【解決手段】シリコン基板100上にゲート電極103を形成した後、シリコン基板100におけるゲート電極103の両側にソース・ドレイン領域となる不純物拡散層109を形成する。その後、不純物拡散層109上にHf膜110を形成した後、熱処理を行って、不純物拡散層109上にHfシリサイド層111を形成する。その後、Hfシリサイド層111上にNiシリサイド層113を形成する。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

シリコン基板上にゲート電極を形成する工程 (a) と、
前記シリコン基板における前記ゲート電極の両側にソース・ドレイン領域を形成する工程 (b) と、
前記ソース・ドレイン領域上に、生成エンタルピーが $NiSi$ よりも小さい金属シリサイドを形成できる金属からなる金属膜を形成する工程 (c) と、
前記金属膜に対して熱処理を行って、前記ソース・ドレイン領域上に前記金属を含む第 1 のシリサイド層を形成する工程 (d) と、
前記第 1 のシリサイド層上に Ni シリサイドからなる第 2 のシリサイド層を形成する工程 (e) とを備えていることを特徴とする半導体装置の製造方法。

10

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、
前記工程 (e) は、前記第 1 のシリサイド層上に Ni 膜を形成した後、前記 Ni 膜に対して熱処理を行って、前記第 2 のシリサイド層を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 2 に記載の半導体装置の製造方法において、
前記工程 (e) は、前記 Ni 膜に対して熱処理を行う前に、前記 Ni 膜上に酸化防止膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

20

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置の製造方法において、
前記工程 (e) よりも後に、前記第 2 のシリサイド層に対して熱処理を行う工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置の製造方法において、
前記金属は、 Hf 、 Zr 、 Mo 、 Ta 又は V であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】**

30

【0001】

本発明は、半導体装置の製造方法に関し、特にシリサイド層の形成方法に関する。

【背景技術】**【0002】**

一般に、 MOS (Metal Oxide Semiconductor) トランジスタでは、コンタクト抵抗及び配線抵抗などの寄生抵抗を低減することが動作速度を向上するための重要な要素である。これらのトランジスタの寄生抵抗の低減は、一般にソース・ドレイン領域上部及びゲート電極上部をシリサイド化することにより行われている。

【0003】

大規模な半導体集積回路装置 (LSI) の集積度を上げるためには、横方向寸法を縮小するだけでなく、縦方向寸法の縮小化も必要である。縦方向寸法の縮小化の 1 つとして、ソース・ドレイン領域となる不純物拡散層の接合深さを浅くする必要がある。しかしながら、半導体基板内の拡散層の厚さを薄くすると、拡散層の抵抗が高くなり、半導体装置の動作速度が低下するという問題がある。これに対しては、拡散層の表面に金属シリサイド層を形成した構造によってソース・ドレイン抵抗を下げるのが有効である。前記の金属シリサイド層を形成する方法としては、シリコン基板上及びゲート電極となるポリシリコン上に金属膜を堆積し、当該金属膜に熱処理を加えることにより、シリコンと金属とを反応させてソース・ドレイン領域上部及びゲート電極上部をシリサイド化する方法が従来から用いられてきた。

40

【0004】

50

ところで、シリサイド層を形成する材料としては、浅接合に対してシリサイド化反応時のシリコン消費量を低減できる材料が求められている。それに対して、シリコン消費量を低減することが可能な材料として低抵抗なモノシリサイドを形成するニッケル(Ni)を用いたシリサイド形成技術が開発されている。

【0005】

しかしながら、Niシリサイドのダイシリサイド相であるNiSi₂は、シリコンと格子定数が非常に近く、後工程の高温熱処理や不適切なプロセス条件に起因して、逆ピラミッド状の界面を形成することが知られている。後工程の高温熱処理温度に対する耐性(耐熱性)を向上させて安定にNiシリサイドを形成する方法として、シリサイドを合金化する方法が提案されている(例えば特許文献1参照)。この先行技術において、低抵抗モノシリサイド相であるNiSiを安定化させる効果を持つ元素として、Ge、Ti、Re、Ta、N、V、Ir、Cr、Zrが挙げられている(例えば非特許文献1参照)。また、Zrと良く似た物理化学的性質を示す元素であるHfについても、同様の効果を示唆する報告がなされている(例えば非特許文献2参照)。さらに、Mo、Ir、Co、Ptなどについても同様の効果を示唆する報告がなされている(例えば非特許文献3~5参照)。

【特許文献1】米国特許第6689688号公報(Paul Raymond Besser、Method And Device Using Silicide Contacts For Semiconductor Processing、2004年2月10日)

【非特許文献1】Min-Joo Kim 他、High Thermal Stability of Ni Monosilicide from Ni-Ta Alloy Films on Si(100)、Electrochem. Solid-State Lett. 6、2003年、G122-G125

【非特許文献2】項瑞飛(東工大) 他、Hfを添加したNiシリサイドの形成、第65回応用物理学学会学術講演会 講演予稿集、2004年秋季9月1日~4日、p.708(講演番号2P-M-10)

【非特許文献3】Young-Woo Ok 他、Effect of a Mo Interlayer on the Electrical and Structural Properties of Nickel Silicides、J. Electrochem. Soc. 150、2003年、G385-G388

【非特許文献4】Jer-shen Maa 他、Effect of interlayer on thermal stability of nickel silicides、J. Vac. Sci. Technol. A 19、2001年、p.1595-1599

【非特許文献5】D. Mangelinck 他、Enhancement of thermal stability of NiSi films on (100)Si and (111)Si by Pt addition、Appl. Phys. Lett.、1999年、vol.75、num. 12、p.1736-1738

【非特許文献6】F. M. d'Heurle 他、Resistivity of the solid solutions (Co-Ni)Si₂、J. Appl. Phys. 59、1986年、p.177-180

【非特許文献7】S. M. ジー、半導体デバイス、日本、産業図書、1987年、p.174-175

【非特許文献8】Karen Maex 他、Properties of Metal Silicide、the institution of electrical engineers、London、United Kingdom、1995年、p.57

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上記の先行技術によりシリサイド合金化を行った場合、シリサイド層中に異なる種類の元素が共存することに起因して合金散乱が生じ、その結果、抵抗が増加してしまうことが報告されている(例えば非特許文献6参照)。また、NiSiとシリコンとの界面で発生する界面抵抗は、シリサイド層及びその下のソース・ドレイン拡散層の抵抗を実効的に高くする寄生抵抗として働き、その結果、トランジスタ性能を劣化させる要因となる。尚、微細化に伴い当該界面抵抗のトランジスタ特性に關与する割合が増加するため、当該界面抵抗の低減は今後の課題である。

【0007】

前記に鑑み、本発明は、低抵抗層であるNiSi層を安定に形成することと、NiSi

10

20

30

40

50

とシリコンとの界面で発生する界面抵抗を低減させることとを両立させることにより、良好なNiシリサイド層を形成することを目的とする。

【課題を解決するための手段】

【0008】

前記の目的を達成するために、本願発明者らは、様々な検討を行った結果、次のような知見を得た。すなわち、NiSiとシリコンとの界面抵抗と、ショットキーバリア高さとの間には下記(式1)で表される関係が知られている(例えば非特許文献7参照)。

【0009】

【数1】

$$R_c \propto \exp\left(\frac{C \cdot \Phi_B}{\sqrt{N_D}}\right) \dots (\text{式1})$$

10

R_c : 界面抵抗

C: 定数

Φ_B : ショットキーバリア高さ (eV)

N_D : シリコン基板ドープ濃度 (cm^{-3})

【0010】

式1から分るように、NiSiとシリコンとの界面抵抗は、シリサイド-シリコン間のショットキーバリア高さの指数関数に比例することから、NiSiとシリコンとの間に存在する比較的高いショットキーバリア高さ(0.68 eV)を低減できれば、前記界面抵抗を低減することができる。

20

【0011】

本願発明者らは、上記知見に基づいて、以下に述べる発明を想到した。

【0012】

本発明に係る半導体装置の製造方法は、シリコン基板上にゲート電極を形成する工程(a)と、前記シリコン基板における前記ゲート電極の両側にソース・ドレイン領域を形成する工程(b)と、前記ソース・ドレイン領域上に、生成エンタルピーがNiSiよりも小さい金属シリサイドを形成できる金属からなる金属膜を形成する工程(c)と、前記金属膜に対して熱処理を行って、前記ソース・ドレイン領域上に前記金属を含む第1のシリサイド層を形成する工程(d)と、前記第1のシリサイド層上にNiシリサイドからなる第2のシリサイド層を形成する工程(e)とを備えている。

30

【発明の効果】

【0013】

本発明によると、シリサイドとシリコンとの界面に、生成エンタルピーがNiSiよりも小さい金属シリサイドを含むシリサイド層、つまりシリコンと格子定数が異なるシリサイド層を設けるため、シリコンとの格子定数の一致に起因して逆ピラミッド状のシリサイド-シリコン界面を形成するNiSi₂の生成を抑制することができるので、低抵抗層であるNiSi層を安定化することができる。また、シリサイドとシリコンとの界面に、生成エンタルピーがNiSiよりも小さい金属シリサイドを含むシリサイド層を設けるため、生成エンタルピーに比例するシリサイド-シリコン間のショットキーバリア高さを低くできるので、ショットキーバリア高さの指数関数に比例するシリサイド-シリコン間の界面抵抗を低減することができる。従って、低抵抗層であるNiSi層を安定に形成することと、NiSiとシリコンとの界面で発生する界面抵抗を低減させることとを両立させることができ、それによって良好なNiシリサイド層を形成することができるので、微細化及び高速化可能な半導体装置を実現することができる。

40

【発明を実施するための最良の形態】

【0014】

(第1の実施形態)

50

以下、本発明の第1の実施形態に係る半導体装置、具体的にはMOSトランジスタを有する半導体装置及びその製造方法について、図面を参照しながら説明する。

【0015】

図1(a)~(d)及び図2(a)~(d)は、本実施形態の半導体装置の製造方法の各工程を示す断面図である。

【0016】

まず、図1(a)に示すように、シリコン基板100上にシャロートレンチ分離領域101を形成することによって、トランジスタ形成領域を規定した後、当該トランジスタ形成領域上に例えばシリコン酸化膜からなる厚さ2nm程度のゲート絶縁膜102を形成し、その後、シリコン基板100上に全面に亘って例えば厚さ140nm程度のポリシリコン膜を形成する。続いて、当該ポリシリコン膜を選択的にエッチングすることによって、ゲート電極103を形成した後、例えばゲート電極103をマスクとしてイオン注入法によりシリコン基板100におけるゲート電極103の両側に低濃度不純物拡散層104を自己整合的に形成する。

10

【0017】

次に、図1(b)に示すように、例えばサセプタ温度400の条件によるLP(low pressure)-CVD(chemical vapor deposition)法によって、シリコン基板100上に全面に亘って例えば厚さ50nm程度のシリコン酸化膜105を成膜する。

【0018】

次に、図1(c)に示すように、例えば CHF_3 流量 $120\text{cm}^3/\text{min}$ (標準状態)、 O_2 流量 $5\text{cm}^3/\text{min}$ (標準状態)、圧力8Pa、パワー110Wの条件によるドライエッチング法によって、シリコン酸化膜105に対して全面エッチバックを施し、それによりゲート電極103の側壁にサイドウォールスペーサ108を形成する。

20

【0019】

次に、図1(d)に示すように、例えばゲート電極103及びサイドウォールスペーサ108をマスクとしてイオン注入法によりシリコン基板100におけるサイドウォールスペーサ108の両側にソース・ドレイン領域となる高濃度不純物拡散層109を自己整合的に形成する。

【0020】

次に、図2(a)に示すように、例えば圧力2mTorr(266mPa)、DCパワー100Wの条件によるArスパッタ法によって、シリコン基板100上に全面に亘って例えば厚さ3nm程度のハフニウム(Hf)膜110を成膜する。

30

【0021】

次に、図2(b)に示すように、Hf膜110の成膜後に、例えばRTA(Rapid Thermal Annealing)装置によって600、30秒間の第1のRTA処理を不活性雰囲気中に行った後、未反応のHf膜110を選択的に除去する。これにより、高濃度不純物拡散層109上及びゲート電極103上にのみ所望のHfシリサイド層111が形成される。ここで、未反応のHf膜110の除去は、例えば硫酸又は塩酸と過酸化水素水とを混合させた酸性薬液を用いて選択的に行う。また、RTA処理の温度及び時間についてはそれぞれ、500~700の範囲、10秒~90秒の範囲において、所望のシリサイド膜厚約2nmが得られるように最適化する。尚、未反応のHf膜110を選択的に除去した後、Hfシリサイド層111として、所望の組成を持つ HfSi 又は Hf_3Si_2 などを得るために、追加のRTA処理を不活性雰囲気中に行ってもよい。

40

【0022】

次に、図2(c)に示すように、例えば圧力2mTorr(266mPa)、DCパワー100Wの条件によるArスパッタ法によって、シリコン基板100上に全面に亘って例えば厚さ10nm程度のNi膜112を成膜する。

【0023】

次に、図2(d)に示すように、Ni膜112の成膜後に、例えばRTA装置によって

50

400、30秒間の第2のRTA処理を不活性雰囲気中で行い、界面層であるHfシリサイド(例えば Hf_3Si_2)層111を通して拡散したシリコン(ゲート電極103中及びシリコン基板100中のシリコン)とNi膜112とを反応をさせた後、未反応のNi膜112を除去する。これによって、Hfシリサイド層111上に所望のNiシリサイド層113が形成される。ここで、未反応のNi膜112の除去は、例えば硫酸又は塩酸と過酸化水素水とを混合させた酸性薬液を用いて選択的に行う。

【0024】

続いて、Niシリサイド層113として、所望の組成を持ち且つ低抵抗相であるNiSi(ニッケルモノシリサイド)を得るために、例えば500、30秒間の第3のRTA処理を不活性雰囲気中で行う。このようにして、界面層であるHfシリサイド層(第1の界面シリサイド層)111と、表面層であるNiシリサイド層(第2の表面シリサイド層)113とが積層されてなる本実施形態の積層シリサイド層114が得られる。

10

【0025】

第1の実施形態によると、シリサイドとシリコンとの間の界面層として、シリコンと格子定数が異なるHfシリサイド層111を設けるため、シリコンとの格子定数の一致に起因して逆ピラミッド状のシリサイド-シリコン界面を形成する $NiSi_2$ の生成を抑制することができるので、低抵抗層であるNiシリサイド層(NiSi層)113を安定化することができる。

【0026】

図3は、オージェ分析により得られた積層シリサイド層114の組成の深さ方向の分布を示している。図3において、横軸はスパッタ時間(分)を示し、縦軸はAES(Auger Electron Spectroscopy)強度比(at%)を示している。尚、単位時間当たりのスパッタ量はほぼ一定であるので、スパッタ時間はスパッタ膜表面からの深さに比例する。

20

【0027】

図3に示すように、Hfシリサイド層111はシリコンとの界面近傍に形成されていることが分かる。尚、本発明において、界面層であるHfシリサイド層111がHf及びSi以外の他の元素(例えば図3に示すNi)を含んでいてもよい。言い換えると、当該界面層が、主としてHfシリサイドからなるシリサイド層であればよい。

【0028】

ところで、シリサイド-シリコン間のショットキーバリア高さと、シリサイドの生成エンタルピーとの間には、下記(式2)で表される関係が成り立つことが経験的に知られている(例えば非特許文献8参照)。すなわち、生成エンタルピー(負値)のより小さい金属シリサイド材料を用いるほど、シリサイド-シリコン間のショットキーバリア高さを低くすることができる。

30

【0029】

【数2】

$$\Phi_b = 0.83 + 0.18 \cdot \Delta H_f \cdots (式2)$$

ΔH_f : 生成エンタルピー

40

【0030】

従って、NiSiの生成エンタルピーが -85 kJ/mol 程度であるのに対して、本実施形態においては、界面層となる第1のシリサイド層として、生成エンタルピーが -180 kJ/mol 程度のHfシリサイド層111を用いているため、NiSiとシリコンとが接触する場合と比べて、シリサイド-シリコン間のショットキーバリア高さをより低くすることができる。その結果、本実施形態では、シリサイド-シリコン間のショットキーバリア高さの指数関数に比例する界面抵抗を、NiSiとシリコンとが接触する場合と比べて、15%程度低減することができた。このように、界面層(第1のシリサイド層)として、主に生成エンタルピーがNiSiよりも小さい金属シリサイドからなるシリサイド層を形成することによって、シリサイド-シリコン間のショットキーバリア高さを低く

50

することができ、それにより、シリサイド - シリコン間の界面抵抗を低減することができる。

【0031】

以上のように、本実施形態によると、低抵抗層であるNiSi層を安定に形成することと、NiSiとシリコンとの界面で発生する界面抵抗を低減させることを両立させることができ、それによって良好なNiシリサイド層を形成することができるので、微細化及び高速化可能な半導体装置を実現することができる。

【0032】

尚、本実施形態において、界面層（第1のシリサイド層）としてHfシリサイドを用いたが、これに代えて、生成エンタルピーがNiSiよりも小さい他のシリサイド、例えばZrシリサイド、Moシリサイド、Taシリサイド、Vシリサイドなどを用いてもよい。特に、生成エンタルピーが -250 kJ/mol 以下である Hf_5Si_3 、 Zr_5Si_3 、 Mo_5Si_3 、 Ta_5Si_3 、 V_5Si_3 など用いると、NiSiとシリコンとの界面で発生する界面抵抗を大きく低減することができる。

10

【0033】

また、本実施形態の図2(c)に示す工程において、Ni膜112を堆積する際に、Ni膜112上にNi膜112の酸化防止膜として働くTi膜若しくはTiN膜又はそれらの積層膜を堆積してもよい。これらの酸化防止膜については、未反応のNi膜112を選択的に除去する際に同時に除去することができる。

20

【0034】

（第2の実施形態）

以下、本発明の第2の実施形態に係る半導体装置、具体的にはMOSトランジスタを有する半導体装置及びその製造方法について、図面を参照しながら説明する。

【0035】

図4(a)~(c)は、本実施形態の半導体装置の製造方法の各工程を示す断面図である。

【0036】

本実施形態においては、まず、図1(a)~(d)に示す第1の実施形態に係る半導体装置の製造方法の各工程と同様の工程を実施する。

【0037】

図1(d)に示す工程を実施した後、高濃度不純物拡散層109までが形成されたシリコン基板100において、図4(a)に示すように、ソース・ドレイン領域となる高濃度不純物拡散層109及びゲート電極103のそれぞれを構成するシリコン中に、生成エンタルピーがNiSiよりも小さい金属シリサイドを形成できる金属、例えばHfをイオン注入法により導入することによってHfドープ層301を形成する。ここで、Hfの注入については、所望のシリサイド膜厚を得るために、注入エネルギーを例えば注入深さRp (projection range) = 20 nm となるように調整した。また、Hfの注入量を例えば $5 \times 10^{15}\text{ cm}^{-2} \sim 1 \times 10^{18}\text{ cm}^{-2}$ の範囲内で調整した。

30

【0038】

次に、図4(b)に示すように、Hfドープ層301の形成後に、例えば圧力 2 mTorr (266 mPa)、DCパワー 100 W の条件によるArスパッタ法によって、シリコン基板100上に全面に亘って厚さ 10 nm 程度のNi膜302を成膜する。

40

【0039】

次に、Ni膜302の成膜後に、例えばRTA装置によって300、30秒間の第1のRTA処理を不活性雰囲気中で行った後、未反応のNi膜302を選択的に除去する。これにより、高濃度不純物拡散層109上及びゲート電極103上のみNiシリサイド膜が形成される。ここで、未反応のNi膜302の除去は、例えば硫酸又は塩酸と過酸化水素水とを混合させた酸性薬液を用いて選択的に行った。続いて、前記Niシリサイド膜が所望のNiSi組成を持つように、例えば500、30秒間の第2のRTA処理を不活性雰囲気中で行う。これにより、図4(c)に示すように、Hfを例えば50at%程

50

度含む Hf リッチ界面 Ni シリサイド層 (第 1 の界面シリサイド層) 304 と Ni シリサイド層 (第 2 の表面シリサイド層) 303 とが順次積層された積層シリサイド層 305 が形成される。尚、Hf を 50 at % 程度含む Hf リッチ界面 Ni シリサイド層 304 は、言い換えると、Hf シリサイドと Ni シリサイドとの合金化層である。ここで、Hf リッチ界面 Ni シリサイド層 (第 1 の界面シリサイド層) 304 のショットキーバリア高さは、下記 (式 3) によって近似的に表される。(式 3) によれば、Hf リッチ界面 Ni シリサイド層 304 が Hf を 50 at % 程度含む場合のショットキーバリア高さは約 0.59 eV になる。

【0040】

【数 3】

$$\Phi_b = \Phi_{Ni} \cdot (1 - [Hf]) + \Phi_{Hf} \cdot [Hf] \quad \dots (式3)$$

Φ_b : Hf リッチ界面 Ni シリサイド層のショットキーバリア高さ (eV)

Φ_{Ni} : Ni シリサイドのショットキーバリア高さ (0.68 eV)

Φ_{Hf} : Hf シリサイドのショットキーバリア高さ (0.5 eV)

[Hf]: Hf リッチ界面 Ni シリサイド層の Hf/(Ni + Hf) 比 (%)

【0041】

すなわち、本実施形態において、シリサイド - シリコン間のショットキーバリア高さの低減効果を得るためには、Hf リッチ界面 Ni シリサイド層 304 つまり第 1 の界面シリサイド層における比「Hf 組成 [at %] / (Ni 組成 [at %] + Hf 組成 [at %])」は高い方が望ましいが、第 1 の界面シリサイド層が Hf を含んでいれば、比「Hf 組成 / (Ni 組成 + Hf 組成)」が 50 % 以下であっても前記ショットキーバリア高さの低減効果を期待できる。

【0042】

第 2 の実施形態によると、Hf ドープ層 301 の形成領域ではシリコン中に Hf が導入されているため、シリコン格子が歪み、NiSi₂ との格子定数差を大きく取ることが可能となり、その結果、逆ピラミッド状の NiSi₂ 界面の発生を抑制することができる。言い換えると、シリサイドとシリコンとの間の界面層として、シリコンと格子定数が異なる Hf リッチ界面 Ni シリサイド層 304 を設けるため、シリコンとの格子定数の一致に起因して逆ピラミッド状のシリサイド - シリコン界面を形成する NiSi₂ の生成を抑制することができる。従って、低抵抗層である Ni シリサイド層 (NiSi 層) 303 を安定化することができる。

【0043】

また、第 2 の実施形態によると、ソース・ドレイン領域となる高濃度不純物拡散層 109 及びゲート電極 103 のそれぞれにおけるシリサイド - シリコン界面が形成される領域に、生成エンタルピーが NiSi よりも小さい金属シリサイドを形成できる金属として Hf を導入している。このため、第 1 及び第 2 の RTA 処理により、シリサイドとシリコンとの間の界面層として、Hf を 50 at % 程度含む Hf リッチ界面 Ni シリサイド層 304 が形成されるため、NiSi とシリコンとが接触する場合と比べて、シリサイド - シリコン界面におけるショットキーバリア高さが低くなる。これにより、本実施形態では、シリサイド - シリコン間の界面抵抗を、NiSi とシリコンとが接触する場合と比べて、10 % 程度低減することができた。このように、界面層として、生成エンタルピーが NiSi よりも小さい金属シリサイドと Ni シリサイドとの合金化層からなるシリサイド層を形成することによって、シリサイド - シリコン間のショットキーバリア高さを低くすることができ、それにより、シリサイド - シリコン間の界面抵抗を低減することができる。

【0044】

図 5 は、オージェ分析により得られた積層シリサイド層 305 の組成の深さ方向の分布

10

20

30

40

50

を示している。図5において、横軸はスパッタ時間(分)を示し、縦軸はAES強度比(at%)を示している。尚、単位時間当たりのスパッタ量はほぼ一定であるので、スパッタ時間はスパッタ膜表面からの深さに比例する。

【0045】

図5に示すように、Hfリッチ界面Niシリサイド層304はシリコンとの界面近傍に形成されていることが分かる。

【0046】

以上のように、本実施形態によると、低抵抗層であるNiSi層を安定に形成することと、NiSiとシリコンとの界面で発生する界面抵抗を低減させることを両立させることができ、それによって良好なNiシリサイド層を形成することができるので、微細化及び高速化可能な半導体装置を実現することができる。

10

【0047】

尚、本実施形態において、ソース・ドレイン領域となる高濃度不純物拡散層109及びゲート電極103のそれぞれを構成するシリコン中に導入される、生成エンタルピーがNiSiよりも小さい金属シリサイドを形成できる金属として、Hfを用いた。しかし、これに代えて、生成エンタルピーがNiSiよりも小さい金属シリサイドを形成できる他の金属、例えばZr、Mo、Ta、Vなどを用いてもよい。

【0048】

また、本実施形態の図4(b)に示す工程において、Ni膜302を堆積する際に、Ni膜302上にNi膜302の酸化防止膜として働くTi膜若しくはTiN膜又はそれらの積層膜を堆積してもよい。これらの酸化防止膜については、未反応のNi膜302を選択的に除去する際に同時に除去することができる。

20

【0049】

(第3の実施形態)

以下、本発明の第3の実施形態に係る半導体装置、具体的にはMOSトランジスタを有する半導体装置及びその製造方法について、図面を参照しながら説明する。

【0050】

図6(a)~(c)は、本実施形態の半導体装置の製造方法の各工程を示す断面図である。

【0051】

本実施形態においては、まず、図1(a)~(d)に示す第1の実施形態に係る半導体装置の製造方法の各工程と同様の工程を実施する。

30

【0052】

図1(d)に示す工程を実施した後、高濃度不純物拡散層109までが形成されたシリコン基板100において、第2の実施形態と同様に、図6(a)に示すように、ソース・ドレイン領域となる高濃度不純物拡散層109上及びゲート電極103上におきNiシリサイド膜501を形成する。

【0053】

次に、図6(b)に示すように、ソース・ドレイン領域となる高濃度不純物拡散層109及びゲート電極103のそれぞれにおけるNiシリサイド膜501の下側部分を構成するシリコン中に、生成エンタルピーがNiSiよりも小さい金属シリサイドを形成できる金属、例えばHfをイオン注入法により導入することによってHfドープ層502を形成する。ここで、Hfの注入については、所望のシリサイド膜厚を得るために、注入エネルギーを例えば注入深さ $R_p = 20 \text{ nm}$ となるように調整した。また、Hfの注入量を例えば $5 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{18} \text{ cm}^{-2}$ の範囲内で調整した。尚、Hfは、Niシリサイド膜501の少なくとも下部にも注入される。

40

【0054】

尚、図6(b)に示すHfの注入により、Hfドープ層502及びその近傍のシリコン領域(以下、合わせて注入領域近傍と称する)並びにNiシリサイド膜501はアモルファス化されている共に、Niシリサイド膜501とシリコンとの間の界面は平滑化されて

50

いる。

【0055】

次に、Hfドープ層502の形成後に、例えば不活性雰囲気中でRTA処理を行うことにより、アモルファス化された注入領域近傍及びNiシリサイド膜501の再結晶化処理を行う。ここで、RTA処理の温度及び時間についてはそれぞれ、例えば400～500の範囲、30秒～60秒の範囲で調整する。これにより、結果的には第2の実施形態と同様に、図6(c)に示すように、Hfを例えば50at%程度含むHfリッチ界面Niシリサイド層(第1の界面シリサイド層)503と、残存するNiシリサイド膜501つまりNiシリサイド層(第2の表面シリサイド層)501とが順次積層された積層シリサイド層504が形成される。尚、Hfを50at%程度含むHfリッチ界面Niシリサイド層503は、言い換えると、HfシリサイドとNiシリサイドとの合金化層である。ここで、Hfリッチ界面Niシリサイド層(第1の界面シリサイド層)503のショットキーバリア高さは、前記(式3)によって近似的に表される。(式3)によれば、Hfリッチ界面Niシリサイド層503がHfを50at%程度含む場合のショットキーバリア高さは約0.59eVになる。

10

【0056】

すなわち、本実施形態においても、第2の実施形態と同様に、シリサイド-シリコン間のショットキーバリア高さの低減効果を得るためには、Hfリッチ界面Niシリサイド層503つまり第1の界面シリサイド層における比「Hf組成[at%]/(Ni組成[at%]+Hf組成[at%])」は高い方が望ましいが、第1の界面シリサイド層がHfを含んでいれば、比「Hf組成/(Ni組成+Hf組成)」が50%以下であっても前記ショットキーバリア高さの低減効果を期待できる。

20

【0057】

第3の実施形態によると、Hfドープ層502の形成領域ではシリコン中にHfが導入されているため、シリコン格子が歪み、NiSi₂との格子定数差を大きく取ることが可能となり、その結果、逆ピラミッド状のNiSi₂界面の発生を抑制することができる。言い換えると、シリサイドとシリコンとの間の界面層として、シリコンと格子定数が異なるHfリッチ界面Niシリサイド層503を設けるため、シリコンとの格子定数の一致に起因して逆ピラミッド状のシリサイド-シリコン界面を形成するNiSi₂の生成を抑制することができる。従って、低抵抗層であるNiシリサイド層(NiSi層)501を安定化することができる。

30

【0058】

また、第3の実施形態によると、ソース・ドレイン領域となる高濃度不純物拡散層109及びゲート電極103のそれぞれにおけるシリサイド-シリコン界面が形成される領域に、生成エンタルピーがNiSiよりも小さい金属シリサイドを形成できる金属としてHfを導入している。このため、RTA処理により、シリサイドとシリコンとの間の界面層として、Hfを50at%程度含むHfリッチ界面Niシリサイド層503が形成されるため、NiSiとシリコンとが接触する場合と比べて、シリサイド-シリコン界面におけるショットキーバリア高さが低くなる。これにより、シリサイド-シリコン間の界面抵抗を、NiSiとシリコンとが接触する場合と比べて低減することができる。すなわち、界面層として、生成エンタルピーがNiSiよりも小さい金属シリサイドとNiシリサイドとの合金化層からなるシリサイド層を形成することによって、シリサイド-シリコン間のショットキーバリア高さを低くすることができ、それにより、シリサイド-シリコン間の界面抵抗を低減することができる。

40

【0059】

尚、本実施形態において、ソース・ドレイン領域となる高濃度不純物拡散層109及びゲート電極103のそれぞれを構成するシリコン中に導入される、生成エンタルピーがNiSiよりも小さい金属シリサイドを形成できる金属として、Hfを用いた。しかし、これに代えて、生成エンタルピーがNiSiよりも小さい金属シリサイドを形成できる他の金属、例えばZr、Mo、Ta、Vなどを用いてもよい。

50

【 0 0 6 0 】

また、本実施形態の図 6 (a) に示す工程において、Ni シリサイド膜 5 0 1 を形成するための Ni 膜を堆積する際に、当該 Ni 膜上に当該 Ni 膜の酸化防止膜として働く Ti 膜若しくは Ti N 膜又はそれらの積層膜を堆積してもよい。これらの酸化防止膜については、Ni シリサイド膜 5 0 1 の形成後に、未反応の Ni 膜を選択的に除去する際に同時に除去することができる。

【 産業上の利用可能性 】

【 0 0 6 1 】

以上に説明したように、本発明は、半導体装置の製造方法に関し、シリサイド層を有する半導体集積回路装置等に適用した場合には、微細化及び高速化を実現でき、非常に有用である。

10

【 図面の簡単な説明 】

【 0 0 6 2 】

【 図 1 】 図 1 (a) ~ (d) は本発明の第 1 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 2 】 図 2 (a) ~ (d) は本発明の第 1 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 3 】 図 3 は本発明の第 1 の実施形態に係る半導体装置の積層シリサイド層の組成の深さ方向の分布を示す図である。

【 図 4 】 図 4 (a) ~ (c) は本発明の第 2 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

20

【 図 5 】 図 5 は本発明の第 2 の実施形態に係る半導体装置の積層シリサイド層の組成の深さ方向の分布を示す図である。

【 図 6 】 図 6 (a) ~ (c) は本発明の第 3 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【 符号の説明 】

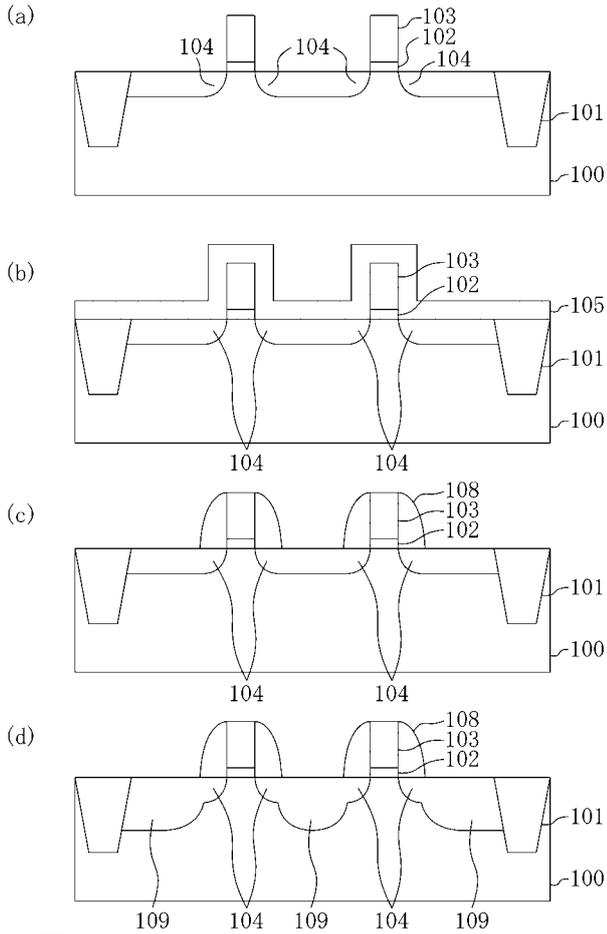
【 0 0 6 3 】

- 1 0 0 シリコン基板
- 1 0 1 シャロートレンチ分離領域
- 1 0 2 ゲート絶縁膜
- 1 0 3 ゲート電極
- 1 0 4 低濃度不純物拡散層
- 1 0 5 シリコン酸化膜
- 1 0 8 サイドウォールスペーサ
- 1 0 9 高濃度不純物拡散層
- 1 1 0 H f 膜
- 1 1 1 H f シリサイド層
- 1 1 2 Ni 膜
- 1 1 3 Ni シリサイド層
- 1 1 4 積層シリサイド層
- 3 0 1 H f ドープ層
- 3 0 2 Ni 膜
- 3 0 3 Ni シリサイド層
- 3 0 4 H f リッチ界面 Ni シリサイド層
- 3 0 5 積層シリサイド層
- 5 0 1 Ni シリサイド層
- 5 0 2 H f ドープ層
- 5 0 3 H f リッチ界面 Ni シリサイド層
- 5 0 4 積層シリサイド層

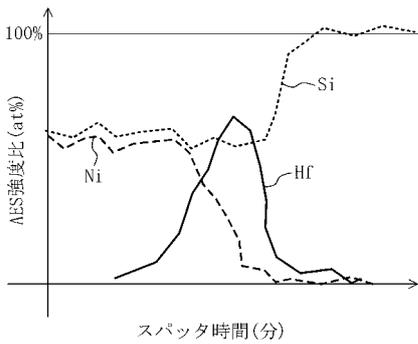
30

40

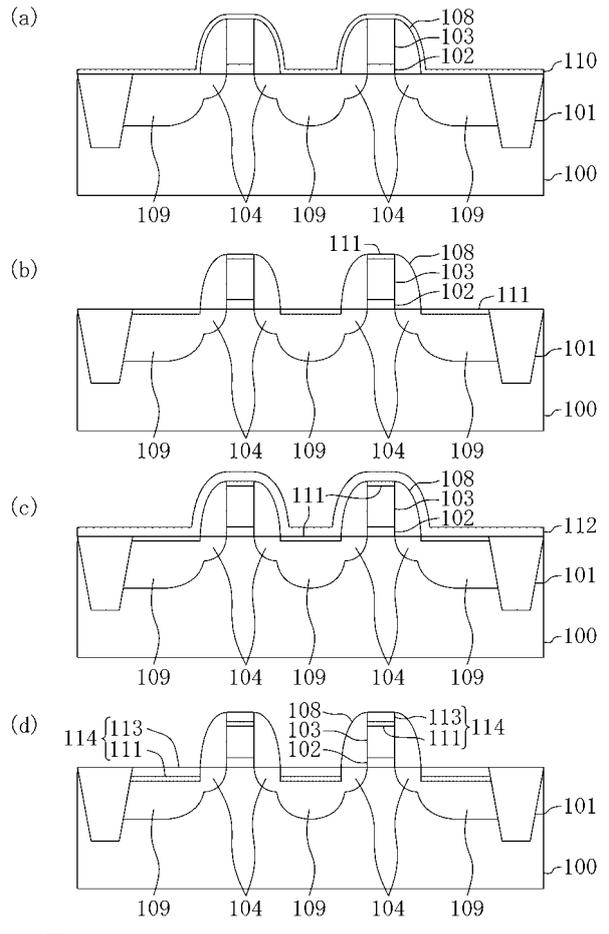
【 図 1 】



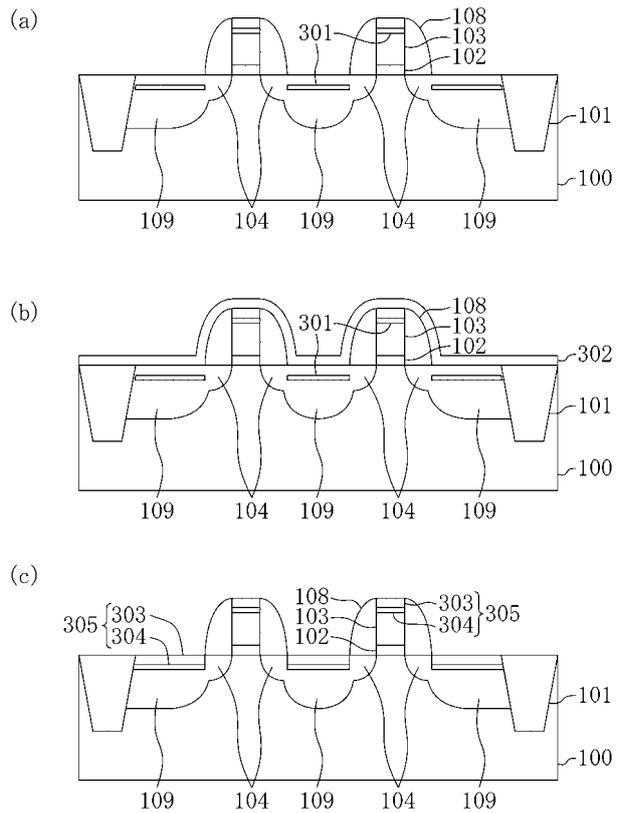
【 図 3 】



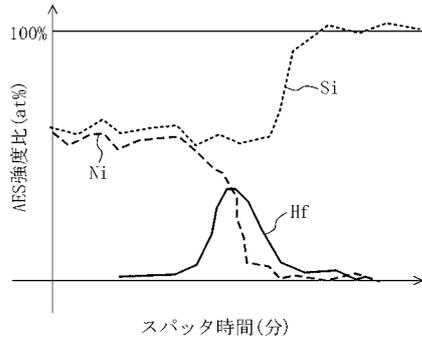
【 図 2 】



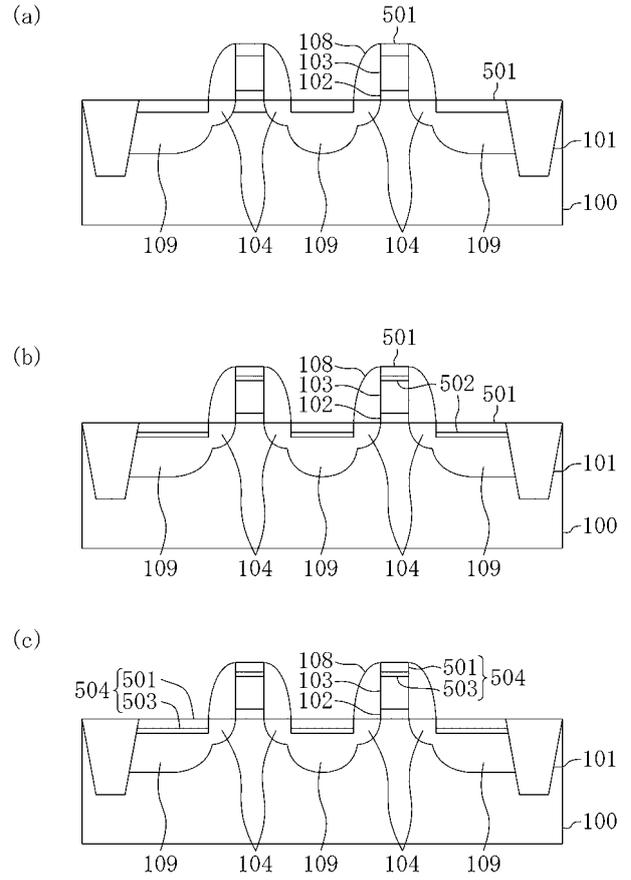
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 奥野 泰利

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 松元 道一

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 4M104 AA01 BB01 BB21 BB24 BB26 BB27 CC03 DD02 DD04 DD26
DD79 DD82 DD84 EE09 EE16 FF13 GG09 HH16
5F140 AA01 AA10 AA39 BA01 BF04 BF18 BF21 BF28 BG08 BG12
BG30 BG34 BG37 BG44 BG45 BG52 BG53 BG56 BH15 BJ08
BJ11 BJ18 BK02 BK13 BK29 BK32 BK33 BK34 BK38 BK39
CB04 CF04