

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成28年12月28日(2016.12.28)

【公開番号】特開2015-164061(P2015-164061A)

【公開日】平成27年9月10日(2015.9.10)

【年通号数】公開・登録公報2015-057

【出願番号】特願2015-88424(P2015-88424)

【国際特許分類】

G 0 6 F 9/305 (2006.01)

G 0 6 F 9/315 (2006.01)

G 0 6 F 9/38 (2006.01)

G 0 6 F 7/00 (2006.01)

【F I】

G 0 6 F 9/30 3 4 0 E

G 0 6 F 9/30 3 4 0 D

G 0 6 F 9/38 3 7 0 C

G 0 6 F 9/38 3 7 0 A

G 0 6 F 7/00 2 0 2

【誤訳訂正書】

【提出日】平成28年11月7日(2016.11.7)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

レベル1(L1)キャッシュを含む複数レベルのキャッシュと、  
複数の整数レジスタと、

2つの64ビット倍精度浮動小数点データエレメントを有する128ビットバックダブルオペランドを含む複数の浮動小数点データエレメントを格納する複数の浮動小数点レジスタと、

複数のステータスレジスタと、

命令ポインタレジスタと、

命令をフェッチする命令プリフェッチャと、

第1ソースオペランドを特定する第1ソースオペランド識別子と、第2ソースオペランドを識別する第2ソースオペランド識別子と、シフト量を指定する即値フィールドと、第1ソースオペランド及び第2ソースオペランドが32ビットソースオペランドか64ビットソースオペランドのいずれかを指定するフィールドとを有しシフト・アンド・XOR演算を実行する命令を含む、フェッチされた複数の命令をデコードするデコーダと、

前記デコーダに接続される実行ユニットと、

浮動小数点データエレメントを処理する浮動小数点ユニットと、

を備え、

前記シフト・アンド・XOR演算を実行する命令に応じて、

スカラー値の前記第1ソースオペランドを前記即値フィールドにより指定されたシフト量分シフトし、

シフトされた前記第1ソースオペランドと前記第2ソースオペランドとをXORし、

シフトされXORされた結果の値を、スカラーレジスタであるデスティネーションレジ

スタに格納する

プロセッサ。

【請求項 2】

前記プロセッサは、前記シフト・アンド・XOR 演算を実行する命令に応じて、前記第 1 ソースオペランドを前記シフト量分右シフトする請求項 1 に記載のプロセッサ。

【請求項 3】

前記プロセッサは、前記シフト・アンド・XOR 演算を実行する命令に応じて、前記第 1 ソースオペランドを前記シフト量分左シフトする請求項 1 に記載のプロセッサ。

【請求項 4】

前記プロセッサは、前記シフト・アンド・XOR 演算を実行する命令に応じて、前記第 1 ソースオペランドを前記シフト量分論理シフトする請求項 1 に記載のプロセッサ。

【請求項 5】

前記プロセッサは、前記シフト・アンド・XOR 演算を実行する命令に応じて、前記第 1 ソースオペランドを前記シフト量分算術シフトする請求項 1 に記載のプロセッサ。

【請求項 6】

前記シフト・アンド・XOR 演算を実行する命令は、前記シフト・アンド・XOR 演算の種類をエンコードする少なくとも 1 つのフィールドを有する請求項 1 から 5 のいずれか一項に記載のプロセッサ。

【請求項 7】

前記浮動小数点ユニットは、64 ビット対 64 ビットの浮動小数点除算を実行する請求項 1 から 6 のいずれか一項に記載のプロセッサ。

【請求項 8】

前記プロセッサは、縮小命令セットコンピュータ (RISC) アーキテクチャを有する請求項 1 から 7 のいずれか一項に記載のプロセッサ。

【請求項 9】

レジスタリネーム論理を更に備える請求項 1 から 8 のいずれか一項に記載のプロセッサ。

【請求項 10】

前記第 1 ソースオペランドは 64 ビットソースオペランドであり、前記デスティネーションレジスタは 64 ビットレジスタである請求項 1 から 9 のいずれか一項に記載のプロセッサ。

【請求項 11】

ディスプレイコントロールと、

メモリアンターフェースと、

プロセッサと、

を備え、

前記プロセッサは、

レベル 1 (L1) キャッシュを含む複数レベルのキャッシュと、

複数の整数レジスタと、

2 つの 64 ビット倍精度浮動小数点データエレメントを有する 128 ビットバックダブルオペランドを含む複数の浮動小数点データエレメントを格納する複数の浮動小数点レジスタと、

複数のステータスレジスタと、

命令ポインタレジスタと、

命令をフェッチする命令プリフェッチャと、

第 1 ソースオペランドを特定する第 1 ソースオペランド識別子と、第 2 ソースオペランドを識別する第 2 ソースオペランド識別子と、シフト量を指定する即値フィールドと、第 1 ソースオペランド及び第 2 ソースオペランドが 32 ビットソースオペランドが 64 ビットソースオペランドのいずれかを指定するフィールドとを有しシフト・アンド・XOR 演算を実行する命令を含む、フェッチされた複数の命令をデコードするデコーダと、

前記デコーダに接続される実行ユニットと、  
浮動小数点データエレメントを処理する浮動小数点ユニットと、  
を有し、  
前記プロセッサは、前記シフト・アンド・X O R 演算を実行する命令に応じて、  
スカラー値の前記第 1 ソースオペランドを前記即値フィールドにより指定されたシフト  
量分シフトし、  
シフトされた前記第 1 ソースオペランドと前記第 2 ソースオペランドとを X O R し、  
シフトされ X O R された結果の値を、スカラーレジスタであるデスティネーションレジ  
スタに格納する  
システム。

【請求項 1 2】

前記プロセッサは、前記シフト・アンド・X O R 演算を実行する命令に応じて、前記第  
1 ソースオペランドを前記シフト量分右シフトする請求項 1 1 に記載のシステム。

【請求項 1 3】

前記プロセッサは、前記シフト・アンド・X O R 演算を実行する命令に応じて、前記第  
1 ソースオペランドを前記シフト量分左シフトする請求項 1 1 に記載のシステム。

【請求項 1 4】

前記プロセッサは、前記シフト・アンド・X O R 演算を実行する命令に応じて、前記第  
1 ソースオペランドを前記シフト量分論理シフトする請求項 1 1 に記載のシステム。

【請求項 1 5】

前記プロセッサは、前記シフト・アンド・X O R 演算を実行する命令に応じて、前記第  
1 ソースオペランドを前記シフト量分算術シフトする請求項 1 1 に記載のシステム。

【請求項 1 6】

前記シフト・アンド・X O R 演算を実行する命令は、前記シフト・アンド・X O R 演算  
の種類をエンコードする少なくとも 1 つのフィールドを有する請求項 1 1 から 1 5 のい  
ずれか一項に記載のシステム。

【請求項 1 7】

前記浮動小数点ユニットは、6 4 ビット対 6 4 ビットの浮動小数点除算を実行する請求  
項 1 1 から 1 6 のいずれか一項に記載のシステム。

【請求項 1 8】

前記プロセッサは、縮小命令セットコンピュータ ( R I S C ) アーキテクチャを有する  
請求項 1 1 から 1 7 のいずれか一項に記載のシステム。

【請求項 1 9】

前記プロセッサは、レジスタリネーム論理を更に備える請求項 1 1 から 1 8 のいずれか  
一項に記載のシステム。

【請求項 2 0】

前記第 1 ソースオペランドは 6 4 ビットソースオペランドであり、前記デスティネーシ  
ョンレジスタは 6 4 ビットレジスタである請求項 1 1 から 1 9 のいずれか一項に記載のシ  
ステム。

【請求項 2 1】

ランダムアクセスメモリ ( R A M ) と、  
無線トランシーバと、  
前記 R A M および前記無線トランシーバに接続されるプロセッサと、  
を備え、  
前記プロセッサは、  
レベル 1 ( L 1 ) キャッシュを含む複数レベルのキャッシュと、  
複数の整数レジスタと、  
2 つの 6 4 ビット倍精度浮動小数点データエレメントを有する 1 2 8 ビットパックダブ  
ルオペランドを含む複数の浮動小数点データエレメントを格納する複数の浮動小数点レジ  
スタと、

複数のステータスレジスタと、  
命令ポインタレジスタと、  
命令をフェッチする命令プリフェッチャと、  
第 1 ソースオペランドを特定する第 1 ソースオペランド識別子と、第 2 ソースオペランドを識別する第 2 ソースオペランド識別子と、シフト量を指定する即値フィールドと、第 1 ソースオペランド及び第 2 ソースオペランドが 3 2 ビットソースオペランドか 6 4 ビットソースオペランドのいずれかを指定するフィールドとを有しシフト・アンド・X O R 演算を実行する命令を含む、フェッチされた複数の命令をデコードするデコーダと、  
前記デコーダに接続される実行ユニットと、  
浮動小数点データエレメントを処理する浮動小数点ユニットと、  
を有し、  
前記プロセッサは、前記シフト・アンド・X O R 演算を実行する命令に応じて、  
スカラー値の前記第 1 ソースオペランドを前記即値フィールドにより指定されたシフト量分シフトし、  
シフトされた前記第 1 ソースオペランドと前記第 2 ソースオペランドとを X O R し、  
シフトされ X O R された結果の値を、スカラーレジスタであるデスティネーションレジスタに格納する  
システム。

【請求項 2 2】

オーディオコントローラを更に備える請求項 2 1 に記載のシステム。

【請求項 2 3】

前記プロセッサは、前記シフト・アンド・X O R 演算を実行する命令に応じて、前記第 1 ソースオペランドを前記シフト量分右シフトする請求項 2 1 または 2 2 に記載のシステム。

【請求項 2 4】

前記プロセッサは、前記シフト・アンド・X O R 演算を実行する命令に応じて、前記第 1 ソースオペランドを前記シフト量分左シフトする請求項 2 1 または 2 2 に記載のシステム。

【請求項 2 5】

前記プロセッサは、前記シフト・アンド・X O R 演算を実行する命令に応じて、前記第 1 ソースオペランドを前記シフト量分論理シフトする請求項 2 1 または 2 2 に記載のシステム。

【請求項 2 6】

前記プロセッサは、前記シフト・アンド・X O R 演算を実行する命令に応じて、前記第 1 ソースオペランドを前記シフト量分算術シフトする請求項 2 1 または 2 2 に記載のシステム。

【請求項 2 7】

前記シフト・アンド・X O R 演算を実行する命令は、前記シフト・アンド・X O R 演算の種類をエンコードする少なくとも 1 つのフィールドを有する請求項 2 1 から 2 6 のいずれか一項に記載のシステム。

【請求項 2 8】

前記浮動小数点ユニットは、6 4 ビット対 6 4 ビットの浮動小数点除算を実行する請求項 2 1 から 2 7 のいずれか一項に記載のシステム。

【請求項 2 9】

前記プロセッサは、縮小命令セットコンピュータ ( R I S C ) アーキテクチャを有する請求項 2 1 から 2 8 のいずれか一項に記載のシステム。

【請求項 3 0】

前記プロセッサは、レジスタリネーム論理を更に備える請求項 2 1 から 2 9 のいずれか一項に記載のシステム。

【請求項 3 1】

前記第 1 ソースオペランドは 6 4 ビットソースオペランドであり、前記デスティネーションレジスタは 6 4 ビットレジスタである請求項 2 1 から 3 0 のいずれか一項に記載のシステム。

**【請求項 3 2】**

レベル 1 ( L 1 ) キャッシュを含む複数レベルのキャッシュと、  
複数の整数レジスタと、  
2 つの 6 4 ビット倍精度浮動小数点データエレメントを有する 1 2 8 ビットバックダブルオペランドを含む複数の浮動小数点データエレメントを格納する複数の浮動小数点レジスタと、  
複数のステータスレジスタと、  
命令ポインタレジスタと、  
命令をフェッチする命令プリフェッチャと、  
第 1 ソースオペランドを特定する第 1 ソースオペランド識別子と、第 2 ソースオペランドを識別する第 2 ソースオペランド識別子と、シフト量を指定する即値フィールドとを有し、前記第 1 ソースオペランドおよび前記第 2 ソースオペランドが 6 4 ビットソースオペランドであるシフト・アンド・X O R 演算を実行する命令を含む、フェッチされた複数の命令をデコードするデコーダと、  
前記デコーダに接続される実行ユニットと、  
浮動小数点データエレメントを処理する浮動小数点ユニットと、  
を備え、  
前記シフト・アンド・X O R 演算を実行する命令に応じて、  
スカラー値の前記第 1 ソースオペランドを前記即値フィールドにより指定されたシフト量分左シフトし、  
左シフトされた前記第 1 ソースオペランドと前記第 2 ソースオペランドとを X O R し、  
左シフトされ X O R された結果の値を、スカラーレジスタである 6 4 ビットデスティネーションレジスタに格納する、  
縮小命令セットコンピュータ ( R I S C ) アーキテクチャを有する  
プロセッサ。

**【請求項 3 3】**

前記シフト・アンド・X O R 演算を実行する命令は、前記シフト・アンド・X O R 演算の種類をエンコードする 1 以上のフィールドを有する請求項 3 2 に記載のプロセッサ。

**【請求項 3 4】**

ディスプレイコントロールと、  
メモリアンターフェースと、  
縮小命令セットコンピュータ ( R I S C ) アーキテクチャを有するプロセッサと、  
を備え、  
前記プロセッサは、  
レベル 1 ( L 1 ) キャッシュを含む複数レベルのキャッシュと、  
複数の整数レジスタと、  
2 つの 6 4 ビット倍精度浮動小数点データエレメントを有する 1 2 8 ビットバックダブルオペランドを含む複数の浮動小数点データエレメントを格納する複数の浮動小数点レジスタと、  
複数のステータスレジスタと、  
命令ポインタレジスタと、  
命令をフェッチする命令プリフェッチャと、  
第 1 ソースオペランドを特定する第 1 ソースオペランド識別子と、第 2 ソースオペランドを識別する第 2 ソースオペランド識別子と、シフト量を指定する即値フィールドとを有し、前記第 1 ソースオペランドおよび前記第 2 ソースオペランドが 6 4 ビットソースオペランドであるシフト・アンド・X O R 演算を実行する命令を含む、フェッチされた複数の命令をデコードするデコーダと、

前記デコーダに接続される実行ユニットと、  
浮動小数点データエレメントを処理する浮動小数点ユニットと、  
を有し、  
前記プロセッサは、前記シフト・アンド・X O R 演算を実行する命令に応じて、  
スカラー値の前記第 1 ソースオペランドを前記即値フィールドにより指定されたシフト  
量分左シフトし、  
左シフトされた前記第 1 ソースオペランドと前記第 2 ソースオペランドとを X O R し、  
左シフトされ X O R された結果の値を、スカラーレジスタである 6 4 ビットデスティネ  
ーションレジスタに格納する  
システム。

【請求項 3 5】

前記シフト・アンド・X O R 演算を実行する命令は、前記シフト・アンド・X O R 演算  
の種類をエンコードする 1 以上のフィールドを有する請求項 3 4 に記載のシステム。

【請求項 3 6】

ランダムアクセスメモリ ( R A M ) と、  
無線トランシーバと、  
前記 R A M および前記無線トランシーバに接続される、縮小命令セットコンピュータ (  
R I S C ) アーキテクチャを有するプロセッサと、  
を備え、  
前記プロセッサは、  
レベル 1 ( L 1 ) キャッシュを含む複数レベルのキャッシュと、  
複数の整数レジスタと、  
2 つの 6 4 ビット倍精度浮動小数点データエレメントを有する 1 2 8 ビットパックダブ  
ルオペランドを含む複数の浮動小数点データエレメントを格納する複数の浮動小数点レジ  
スタと、  
複数のステータスレジスタと、  
命令ポインタレジスタと、  
命令をフェッチする命令プリフェッチャと、  
第 1 ソースオペランドを特定する第 1 ソースオペランド識別子と、第 2 ソースオペラン  
ドを識別する第 2 ソースオペランド識別子と、シフト量を指定する即値フィールドとを有  
し、前記第 1 ソースオペランドおよび前記第 2 ソースオペランドが 6 4 ビットソースオペ  
ランドであるシフト・アンド・X O R 演算を実行する命令を含む、フェッチされた複数の  
命令をデコードするデコーダと、  
前記デコーダに接続される実行ユニットと、  
浮動小数点データエレメントを処理する浮動小数点ユニットと、  
を有し、  
前記プロセッサは、前記シフト・アンド・X O R 演算を実行する命令に応じて、  
スカラー値の前記第 1 ソースオペランドを前記即値フィールドにより指定された左シフ  
ト量分シフトし、  
左シフトされた前記第 1 ソースオペランドと前記第 2 ソースオペランドとを X O R し、  
左シフトされ X O R された結果の値を、スカラーレジスタである 6 4 ビットデスティネ  
ーションレジスタに格納する  
システム。

【請求項 3 7】

前記シフト・アンド・X O R 演算を実行する命令は、前記シフト・アンド・X O R 演算  
の種類をエンコードする 1 以上のフィールドを有する請求項 3 6 に記載のシステム。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 4 7

【訂正方法】変更

## 【訂正の内容】

## 【0047】

図3Eは、40以上のビットを有する別の演算符号（オペコード）フォーマット370を示す。オペコードフォーマット370は、オペコードフォーマット360に対応しており、オプションのプレフィックスバイト378を含む。シフト・アンド・XOR演算の種類は、フィールド378、371、および372の1以上でエンコードされてよい。ソースオペランド識別子374および375により、および、プレフィックスバイト378により、各命令についてオペランド位置を2つまで特定することができる。シフト・アンド・XOR命令の一実施形態では、プレフィックスバイト378を利用して、32ビットまたは64ビットのソースオペランドおよび宛先オペランドを特定する。シフト・アンド・XOR命令の一実施形態では、宛先オペランド識別子376はソースオペランド識別子374と等しいが、他の実施形態では異なってもよい。別の実施形態では、宛先オペランド識別子376は、ソースオペランド識別子375と等しいが、他の実施形態では異なってもよい。シフト・アンド・XOR命令の一実施形態では、オペランド識別子374および375が特定するオペランドのいずれかを、オペランド識別子374および375が特定する別のオペランドに、シフト・アンド・XORを行い、これを、シフト・アンド・XORの結果で上書きするが、他の実施形態では、識別子374および375が特定するオペランドのシフト・アンド・XORは、別のレジスタの別のデータエレメントに書き込まれる。オペコードフォーマット360および370は、レジスタからレジスタへ、メモリからレジスタへ、メモリによりレジスタへ、レジスタによりレジスタへ、即値よりレジスタへ、レジスタから、MODフィールド363および373により部分的に、およびオプションとしてスケールインデックススペースおよび変位バイトにより特定されるメモリアドレスへ、といった書き込みを許可する。