

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-177016

(P2015-177016A)

(43) 公開日 平成27年10月5日(2015.10.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 F	4M104
HO 1 L 29/812 (2006.01)	HO 1 L 29/78 3O1W	5F102
HO 1 L 21/336 (2006.01)	HO 1 L 29/06 3O1F	5F140
HO 1 L 29/78 (2006.01)	HO 1 L 29/44 Y	
HO 1 L 29/06 (2006.01)	HO 1 L 21/28 3O1B	

審査請求 未請求 請求項の数 6 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2014-52181 (P2014-52181)
 (22) 出願日 平成26年3月14日 (2014.3.14)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 小林 仁
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 Fターム(参考) 4M104 AA03 AA04 AA07 BB01 BB30
 BB40 DD08 DD16 DD17 DD33
 DD63 EE02 EE12 EE17 FF10
 FF18 FF22 GG08 HH20
 5F102 FA01 GB01 GC01 GD10 GK04
 GL04 GM04 GQ01 GV03 GV07
 GV08

最終頁に続く

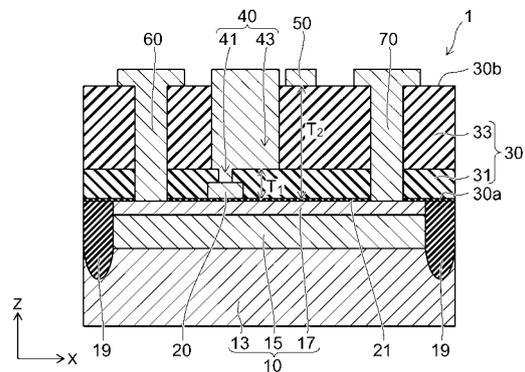
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】高耐圧で製造が容易な電極構造を有する半導体装置を提供する。

【解決手段】半導体層10と、半導体層10上に設けられたゲート電極20と、絶縁膜30と、ソース電極60と、ドレイン電極70と、を備える。ソース電極60およびドレイン電極70は、絶縁膜30中のゲート電極20から離間した位置に設けられ、一方の端が半導体層10に接し、他方の端が第2面側30bに露出する。さらに、ゲート電極20上および絶縁膜30上に設けられた第1フィールドプレート電極40と、絶縁膜30上に設けられ、第1フィールドプレート電極40と、ドレイン電極70と、の間に位置する第2フィールドプレート電極50と、を備える。そして、第1フィールドプレート電極40と、半導体層10と、の間の絶縁膜の厚さT1は、第2フィールドプレート電極50と、半導体層10と、の間の絶縁膜の厚さT2よりも薄い。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体層と、

前記半導体層上に設けられたゲート電極と、

前記半導体層と、前記ゲート電極と、を覆い、前記半導体層側の第 1 面と、前記第 1 面とは反対側の第 2 面と、を有する絶縁膜と、

前記半導体層上において、前記ゲート電極から離間した位置に設けられたソース電極であって、一方の端が前記半導体層に接し、他方の端が前記第 2 面側に露出するように、前記絶縁膜中に設けられたソース電極と、

前記ソース電極から前記ゲート電極に向かう方向において、前記ゲート電極よりも前記ソース電極から離れた位置に設けられたドレイン電極であって、一方の端が前記半導体層に接し、他方の端が前記第 2 面側に露出するように、前記絶縁膜中に設けられたドレイン電極と、

10

前記ゲート電極の上に設けられた第 1 フィールドプレート電極であって、前記ゲート電極に接する第 1 の部分と、前記絶縁膜の上に設けられ、前記ゲート電極と、前記ドレイン電極と、の間に位置する第 2 の部分と、を有する第 1 フィールドプレート電極と、

前記絶縁膜の上に設けられ、前記第 1 フィールドプレート電極と、前記ドレイン電極と、の間に位置する第 2 フィールドプレート電極と、

を備え、

前記第 1 フィールドプレート電極と、前記半導体層と、の間の前記絶縁膜の厚さは、前記第 2 フィールドプレート電極と、前記半導体層と、の間の前記絶縁膜の厚さよりも薄い半導体装置。

20

【請求項 2】

前記第 2 フィールドプレート電極は、前記ゲート電極に電氣的に接続される請求項 1 記載の半導体装置。

【請求項 3】

前記第 2 フィールドプレート電極は、前記ソース電極に電氣的に接続される請求項 1 記載の半導体装置。

【請求項 4】

前記第 2 フィールドプレート電極は、前記第 1 フィールドプレート電極と一体化される請求項 1 記載の半導体装置。

30

【請求項 5】

前記ゲート電極と、前記半導体層と、の間に設けられたゲート絶縁膜をさらに備えた請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置。

【請求項 6】

前記絶縁膜は、前記半導体層の上に設けられた第 1 の層と、前記第 1 の層の上に設けられた第 2 の層と、を含み、

前記第 1 フィールドプレート電極の第 2 の部分は、前記第 1 の層の上に設けられ、

前記第 2 フィールドプレート電極は、前記第 2 の層の上に設けられる請求項 1 ~ 5 のいずれか 1 つに記載の半導体装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、半導体装置に関する。

【背景技術】

【0002】

窒化物半導体や炭化珪素 (SiC) を材料とする半導体装置が注目されている。これらの材料は、シリコンに比べて禁制帯幅 (バンドギャップ) が大きく、高耐圧の半導体装置を実現できるからである。しかしながら、材料の耐圧が高いとしても、その上に設けられる電極構造の絶縁耐圧が低ければ、その利点を生かすことができない。そこで、ワイドギ

50

チップ半導体に適した電極構造が求められている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-192834号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

実施形態は、高耐圧で製造が容易な電極構造を有する半導体装置を提供する。

【課題を解決するための手段】

【0005】

実施形態に係る半導体装置は、半導体層と、前記半導体層上に設けられたゲート電極と、前記半導体層と、前記ゲート電極と、を覆い、前記半導体層側の第1面と、前記第1面とは反対側の第2面と、を有する絶縁膜と、前記絶縁膜中に設けられたソース電極と、ドレイン電極と、を備える。前記ソース電極は、前記半導体層上において、前記ゲート電極から離間した位置に設けられ、一方の端が前記半導体層に接し、他方の端が前記第2面側に露出する。前記ドレイン電極は、前記ソース電極から前記ゲート電極に向かう方向において、前記ゲート電極よりも前記ソース電極から離れた位置に設けられ、一方の端が前記半導体層に接し、他方の端が前記第2面側に露出する。さらに、前記ゲート電極の上に設けられた第1フィールドプレート電極と、前記絶縁膜の上に設けられ、前記第1フィールドプレート電極と前記ドレイン電極との間に位置する第2フィールドプレート電極と、を備える。前記第1フィールドプレート電極は、前記ゲート電極に接する第1の部分と、前記絶縁膜の上に設けられ、前記ゲート電極と、前記ドレイン電極と、の間に位置する第2の部分と、を有する。そして、前記第1フィールドプレート電極と、前記半導体層と、の間の前記絶縁膜の厚さは、前記第2フィールドプレート電極と、前記半導体層と、の間の前記絶縁膜の厚さよりも薄い。

【図面の簡単な説明】

【0006】

【図1】実施形態に係る半導体装置を例示する模式断面図。

【図2】実施形態に係る半導体装置を例示する模式平面図。

【図3】実施形態の変形例に係る半導体装置を例示する模式断面図。

【図4】実施形態に係る半導体装置の製造過程を例示する模式断面図。

【図5】図4に続く製造過程を例示する模式断面図。

【図6】図5に続く製造過程を例示する模式断面図。

【発明を実施するための形態】

【0007】

以下、実施の形態について図面を参照しながら説明する。図面中の同一部分には、同一番号を付してその詳しい説明は適宜省略し、異なる部分について説明する。なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。以下の説明では、図中に示す直交座標系のX軸方向、Y軸方向、Z軸方向を用いて、各要素の配置を説明する場合がある。また、Z軸方向を上方、その反対方向を下方と説明する場合がある。

【0008】

図1は、実施形態に係る半導体装置1を例示する模式断面図である。

図2は、実施形態に係る半導体装置1を例示する模式平面図である。

図2は、半導体装置1の上面を模式的に表す平面図である。図1は、図2中に示すA-A線に沿った断面の一部であり、半導体装置1の単位セルを表している。

【0009】

半導体装置1は、例えば、窒化物半導体を材料とする電力制御用FET(Field Effect

10

20

30

40

50

Transistor)である。

【0010】

半導体装置1は、半導体層10と、半導体層10の上に設けられたゲート電極20と、ソース電極60と、ドレイン電極70と、を備える。さらに、半導体層10と、ゲート電極20と、を覆う絶縁膜30を備える。ここで、「覆う」とは、「覆うもの」が「覆われるもの」に直接接する場合だけでなく、「覆われるもの」との間に他の要素を介在させて覆う場合も含む。

【0011】

絶縁膜30は、半導体層10側の第1面30aと、第1面30aとは反対側の第2面30bと、を有する。

10

【0012】

ソース電極60は、半導体層10の上において、ゲート電極20から離間した位置に設けられる。ソース電極60は、絶縁膜30中に設けられ、一方の端が半導体層10に接し、他方の端が第2面30b側に露出する。

【0013】

ドレイン電極70は、ソース電極60からゲート電極20に向かう方向(X軸方向)において、ゲート電極20よりもソース電極60から離れた位置に設けられる。ドレイン電極70は、絶縁膜30中に設けられ、一方の端が半導体層10に接し、他方の端が第2面30b側に露出する。

【0014】

半導体装置1は、ゲート電極20の上に設けられた第1フィールドプレート電極(以下、FP電極40)と、絶縁膜30の上に設けられた第2フィールドプレート電極(以下、FP電極50)と、をさらに備える。

20

【0015】

FP電極40は、ゲート電極20に接する第1の部分41と、絶縁膜30の上に設けられた第2の部分43と、を有する。第2の部分43は、ゲート電極20と、ドレイン電極70と、の間に位置し、フィールドプレートとして機能する。すなわち、FP電極40は、ゲート電極20にゲートバイアスを供給するゲート配線の一部であり、同時に、フィールドプレートとして機能する。

【0016】

FP電極50は、FP電極40と、ドレイン電極70と、の間において、絶縁膜30の上に設けられる。そして、FP電極40の第2の部分43と、半導体層10と、の間の絶縁膜30の厚さ T_1 は、FP電極50と、半導体層10と、の間の絶縁膜30の厚さ T_2 よりも薄く設けられる。

30

【0017】

次に、図1を参照して、半導体装置1の構造を詳細に説明する。

半導体層10は、例えば、第1半導体層13と、第1半導体層13の上に設けられる第2半導体層15と、第2半導体層15の上に設けられる第3半導体層17と、を含む。

【0018】

第1半導体層13は、例えば、高抵抗もしくは半絶縁性の窒化ガリウム(GaN)層である。第1半導体層13は、p形GaN層であっても良い。

40

第2半導体層15は、所謂チャネル層であり、例えば、n形GaN層である。

第3半導体層17は、所謂バリア層であり、例えば、n形AlGaN層である。

【0019】

半導体層10は、単位セル間を電氣的に分離する絶縁領域19を含む。絶縁領域19は、ソース電極60およびドレイン電極70の外側に設けられる。絶縁領域19は、例えば、第3半導体層17の上面から第1半導体層13に至る深さに設けられる。

【0020】

この例では、第3半導体層17の上にゲート絶縁膜21を設け、その上にゲート電極20が設ける。すなわち、ゲート絶縁膜21は、半導体層10と、ゲート電極20と、の間

50

に設けられる。ゲート絶縁膜 2 1 には、例えば、シリコン酸化膜またはシリコン窒化膜を用いることができる。また、ゲート絶縁膜 2 1 は、例えば、窒化アルミニウム (A 1 N) 膜であっても良い。

【 0 0 2 1 】

ゲート電極 2 0 には、例えば、不純物をドーピングした導電性の多結晶シリコン膜を用いることができる。後述するように、ゲート電極 2 0 に用いる材料は、耐熱性を有するもの、例えば、800 以上の熱処理に耐えるものが望ましい。

【 0 0 2 2 】

絶縁膜 3 0 は、例えば、半導体層 1 0 とゲート電極 2 0 とを覆う第 1 の層 3 1 と、第 1 の層 3 1 の上に設けられた第 2 の層 3 3 と、を含む。そして、F P 電極 4 0 の第 2 の部分 4 3 は、第 1 の層 3 1 の上に設けられ、F P 電極 5 0 は、第 2 の層 3 3 の上に設けられる。

10

【 0 0 2 3 】

第 2 の層 3 3 は、第 1 の層 3 1 と同じ材料であっても良いし、第 1 の層 3 1 とは異なる材料であっても良い。第 1 の層 3 1 および第 2 の層 3 3 の材料は、例えば、シリコン酸化膜またはシリコン窒化膜である。

【 0 0 2 4 】

半導体装置 1 では、第 2 半導体層 1 5 と、第 3 半導体層 1 7 と、の界面に誘起される 2 次元電子ガスを介して、ソースドレイン間に電流を流す。そして、ゲート電極 2 0 にゲートバイアスを印加することにより、ソースドレイン間の電流を制御する。

20

【 0 0 2 5 】

F P 電極 4 0 および F P 電極 5 0 は、ゲートドレイン間の電界を制御し、半導体装置 1 の特性変動を抑制する。例えば、ゲート電極 2 0 のドレイン電極 7 0 側の端に誘起される電界集中を緩和し、ゲートドレイン間の表面電荷による特性変動、所謂コラプスを抑制する。本実施形態では、ゲート電極 2 0 と、ドレイン電極 7 0 と、の間に、2 つのフィールドプレート電極 4 0 および 5 0 を配置することにより、ゲートドレイン間の電界をより効果的に抑制することができる。

【 0 0 2 6 】

次に、図 2 を参照して、半導体装置 1 に含まれる複数の単位セルをつなぐゲート配線 1 4 0、ソース配線 1 6 0 およびドレイン配線 1 7 0 の構成を説明する。図 2 は、絶縁膜 3 0 の第 2 面 3 0 b 上に設けられた各配線を模式的に例示している。図 2 に示すように、ゲート配線 1 4 0 およびドレイン配線 1 7 0 は、それぞれ楕形に設けられる。

30

【 0 0 2 7 】

ゲート配線 1 4 0 は、複数の F P 電極 4 0 と、複数の F P 電極 4 0 を相互に電氣的接続するゲート配線部 4 0 a と、ゲート配線部 4 0 a につながったゲートパッド 4 0 b と、を有する。F P 電極 4 0 は、Y 軸方向に延在し、その下には、ゲート電極 2 0 が配置されている。ゲート配線部 4 0 a およびゲートパッド 4 0 b は、例えば、絶縁膜 3 0 の第 2 の面 3 0 b 上に設けられる。

【 0 0 2 8 】

ドレイン配線 1 7 0 は、複数のドレイン電極 7 0 と、複数のドレイン電極 7 0 を相互に電氣的接続するドレイン配線部 7 0 a と、ドレイン配線部 7 0 a につながったドレインパッド 7 0 b と、を有する。ドレイン電極 7 0 も Y 軸方向に延在し、ドレイン配線部 7 0 a に接続される。ドレイン配線部 7 0 a およびドレインパッド 7 0 b は、例えば、絶縁膜 3 0 の第 2 の面 3 0 b 上に設けられる。

40

【 0 0 2 9 】

ゲート配線 1 4 0 およびドレイン配線 1 7 0 は、X 軸方向において、F P 電極 4 0 と、ドレイン電極 7 0 と、が交互に位置するように設けられる。ソース配線 1 6 0 は、F P 電極 4 0 と、ドレイン電極 7 0 と、の間を縫うように設けられ、さらに、ゲート配線 1 4 0 を囲むように配置される。

【 0 0 3 0 】

50

ソース配線 160 は、ソース電極 60 と、FP 電極 50 と、ソース配線部 60a と、ソース配線部 60a につながったソースパッド 60b と、を含む。すなわち、FP 電極 50 は、ソース電極 60 に電氣的に接続される。また、ソース配線部 60a およびソースパッド 60b は、例えば、絶縁膜 30 の第 2 の面 30b 上に設けられる。

【0031】

実施形態は、上記の例に限定されず、例えば、FP 電極 50 は、FP 電極 40 を介してゲート電極 20 に電氣的に接続されても良い。また、FP 電極 50 は、FP 電極 40 とオーバーラップしないように設けられる。例えば、図 2 に示す各配線は相互に交差しておらず、その製造過程において、1 回のリソグラフィでパターンニングできる。これにより、製造工程の簡略化が可能となり、製造コストを低減できる。

10

【0032】

図 3 は、実施形態の変形例に係る半導体装置 2 を例示する模式断面図である。半導体装置 2 も、例えば、窒化物半導体を材料とする電力制御用 FET である。

図 3 に示すように、半導体装置 2 では、FP 電極 40 と FP 電極 50 とは、一体化される。すなわち、FP 電極 40 は、第 2 フィールドプレート電極として機能する第 3 の部分 45 を含む。

【0033】

FP 電極 40 は、ゲート電極 20 に接する第 1 の部分 41 と、第 1 のフィールドプレートとして機能する第 2 の部分 43 と、第 2 のフィールドプレートとして機能する第 3 の部分と、を含む。第 2 の部分 43 と、半導体層 10 と、の間隔 T_1 は、第 3 の部分 43 と、半導体層 10 と、の間隔 T_2 よりも短い。

20

【0034】

また、この例でも、絶縁膜 30 は、第 1 の層 31 と、第 2 の層 33 を含む。そして、第 2 の部分 43 は、第 1 の層 31 の上に設けられ、第 3 の部分 45 は、第 2 の層 33 の上に設けられる。

【0035】

半導体装置 2 においても、第 2 の部分 43 および第 3 の部分 45 は、ゲートドレイン間の電界を制御し、特性変動を抑制する。第 3 の部分 45 と半導体層 10 との間隔 T_2 を、第 2 の部分 43 と半導体層 10 との間隔 T_1 よりも広くすることにより、ゲート電極 20 のドレイン側の端における電界集中を段階的に緩和することができる。これにより、例えば、ゲートドレイン間を流れる電流の変動、所謂コラプスを効果的に抑制することができる。

30

【0036】

次に、図 4 (a) ~ 図 6 を参照して、半導体装置 1 の製造方法を説明する。

図 4 (a) ~ 図 6 は、実施形態に係る半導体装置 1 の製造過程を例示する模式断面図である。これらの図では、半導体層 10 の表示を省略している。

【0037】

図 4 (a) に示すように、半導体層 10 を形成したウェーハ上に、ゲート絶縁膜 21 を形成する。そして、ゲート絶縁膜 21 の上にゲート電極 20 を形成する。

【0038】

ゲート絶縁膜 21 は、例えば、シリコン酸化膜であり、ALD (Atomic Layer Deposition) 法を用いて形成することができる。

40

ゲート電極 20 は、例えば、不純物をドーブした多結晶シリコンを用いて形成する。例えば、CVD (Chemical Vapor Deposition) 法を用いて、ゲート絶縁膜 21 の上に多結晶シリコン層を形成する。続いて、フォトリソグラフィにより、多結晶シリコン層上にエッチングマスクを形成する。そして、例えば、RIE 法を用いて多結晶シリコン層を選択的にエッチングすることにより、ゲート電極 20 を形成する。

【0039】

次に、図 4 (b) に示すように、ゲート絶縁膜 21 およびゲート電極 20 を覆う絶縁膜 30 の第 1 の層 31 を形成する。第 1 の層 31 は、例えば、シリコン窒化膜であり、プラ

50

ズマCVD法を用いて形成する。

【0040】

続いて、図4(b)に示すように、第1の層31の上に第2の層33を形成する。第2の層33は、例えば、シリコン酸化膜であり、TEOS-CVD法を用いて形成することができる。

【0041】

次に、ゲート絶縁膜21、第1の層31および第2の層33を熱処理し、その膜質を向上させる。例えば、第1の層31および第2の層33を含む絶縁膜30を形成した後、ウェーハを熱処理炉に入れて所定の時間加熱する。熱処理温度は、例えば、800である。これにより、ゲート絶縁膜21および絶縁膜30の中の未結合手を結合させることができる。例えば、水素原子で末端された膜中の未結合手から水素原子を離脱させ、他の未結合手と結合させる。これにより、絶縁膜30の構造が緻密化され、例えば、絶縁耐圧を向上させることができる。

10

【0042】

次に、図5(a)に示すように、第1の層33に開口33a、33bおよび33cを形成する。開口33aは、FP電極40を設ける位置に形成される。開口33bは、ソース電極60を設ける位置に形成される。開口33cは、ドレイン電極70を設ける位置に形成される。

【0043】

開口33a、33b、33cは、例えば、RIE法における選択エッチング条件を用いて形成される。すなわち、第1の層31がエッチングされず、第2の層33をエッチングする条件を用いることが好ましい。これにより、開口33の形成を容易にすることができる。

20

【0044】

次に、図5(b)に示すように、開口33の底面に露出した第1の層31を選択的にエッチングする。第1の層31の開口33aの底面に露出した部分には、ゲート電極20に連通する開口31aを選択的に形成する。また、開口33bおよび開口33cの底面に露出した第1の層31をエッチングし、半導体層10に連通する開口31bおよび31cを形成する。

【0045】

次に、図6に示すように、開口31a、33aの内部にFP電極40、開口31b、33bの内部にソース電極60、開口31c、33cの内部にドレイン電極70、および、第2の層33の上にFP電極50をそれぞれ形成し、半導体装置1を完成させる。

30

【0046】

各電極は、例えば、開口31a~31cの内面および開口33a~33cの内面と、絶縁膜30の第2面30bと、を覆う窒化チタン(TiN)膜と、TiN膜の上に形成されたタングステン(W)膜を含む導電膜を形成し、その導電膜を選択的にエッチングすることにより形成することができる。例えば、半導体装置1の配線が、図2に示すようなパターンであれば、1回のフォトリソグラフィにより、各電極を形成することができる。

【0047】

上記の通り、本実施形態に係る半導体装置1は、簡略化された製造工程により製作可能であり、その製造コストを低減できる。また、ゲート電極20に耐熱性を有する材料を用いることにより、絶縁膜30を形成した後に熱処理を施すことができる。これにより、絶縁膜30を緻密化し、その絶縁耐圧を向上させることが可能となる。

40

【0048】

例えば、第1の層31を形成した後、その上に第1のフィールドプレート電極を形成し、その上に第2の層33を形成する方法も考えられる。しかしながら、この方法では、絶縁膜30がその内部に第1のフィールド電極を含む構造となる。このため、第1フィールドプレート電極に金属を用いた場合、絶縁膜30の熱処理温度が制限されてしまう。すなわち、金属の変質、もしくは、金属と絶縁膜30との間の熱膨張率の違いによる熱ストレ

50

スを抑えるため、熱処理温度を下げる必要がある。また、第1フィールド電極に多結晶シリコンを用いることも考えられるが、多結晶シリコンは、金属よりも導電率が低い
ため、ゲート抵抗が大きくなる。

【0049】

これに対し、本実施形態では、絶縁膜30を高温で熱処理することにより、その膜質を
向上させ、絶縁耐圧を高くすることができる。また、FP電極40に金属を用いることが
できるので、ゲート抵抗を低減できる。

【0050】

このように、半導体装置1は、膜質を向上させた絶縁膜30と、その上に形成された2
つのフィールドプレート電極40および50と、を有する。これにより、半導体装置1の
特性および信頼性を向上させることが可能となる。

10

【0051】

絶縁膜30は、上記の2層構造に限定される訳ではなく、例えば、単層膜であっても良
い。また、半導体層10は、窒化物半導体に限定される訳ではなく、SiCなど他のワイド
ギャップ半導体を用いても良い。

【0052】

なお、本願明細書において、「窒化物半導体」とは、 $B_x In_y Al_z Ga_{1-x-y-z} N$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < z < 1$ 、 $0 < x + y + z < 1$)のIII-V族化合
物半導体を含み、さらに、V族元素としては、N(窒素)に加えてリン(P)や砒素(A
s)などを含有する混晶も含むものとする。またさらに、導電型などの各種の物性を制御
するために添加される各種の元素をさらに含むもの、及び、意図せずに含まれる各種の元
素をさらに含むものも、「窒化物半導体」に含まれるものとする。

20

【0053】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したも
のであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その
他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の
省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や
要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる
。

【符号の説明】

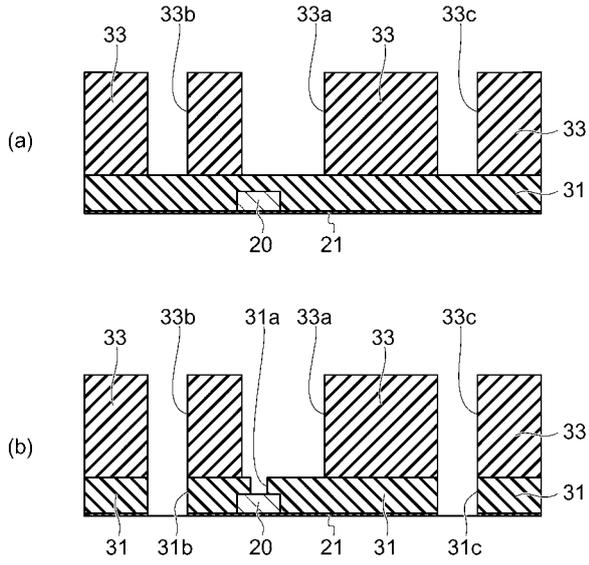
30

【0054】

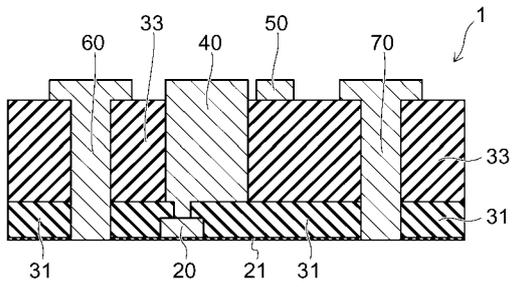
1、2・・・半導体装置、 10・・・半導体層、 13・・・第1半導体層、 15
・・・第2半導体層、 17・・・第3半導体層、 19・・・絶縁領域、 20・・・
ゲート電極、 21・・・ゲート絶縁膜、 30・・・絶縁膜、 30a・・・第1の面
、 30b・・・第2の面、 31・・・第1の層、 33・・・第2の層、 31a、
31b、31c、33a、33b、33c・・・開口、 40・・・第1フィールドプレ
ート(FP)電極、 40a・・・ゲート配線部、 40b・・・ゲートパッド、 41
・・・第1の部分、 43・・・第2の部分、 45・・・第3の部分、 50・・・第
2フィールドプレート(FP)電極、 60・・・ソース電極、 60a・・・ソース配
線部、 60b・・・ソースパッド、 70・・・ドレイン電極、 70a・・・ドレイ
ン配線部、 70b・・・ドレインパッド、 140・・・ゲート配線、 160・・・
ソース配線、 170・・・ドレイン配線

40

【 図 5 】



【 図 6 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/41 (2006.01) H 0 1 L 29/78 3 0 1 B
H 0 1 L 21/28 (2006.01)

Fターム(参考) 5F140 AA25 AB04 BA02 BA06 BA09 BB06 BB18 BD04 BD05 BD07
BD10 BE09 BF01 BF04 BF47 BF53 BF58 BG28 BH30 BH47
BJ10 BJ11 BJ17 BJ28 BJ29 CC01 CC03 CC08 CC12 CC13
CC15 CC19 CD09