

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 7/00 (2006.01)

H01L 27/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 02142964.2

[45] 授权公告日 2007 年 2 月 28 日

[11] 授权公告号 CN 1302481C

[22] 申请日 2002.9.13 [21] 申请号 02142964.2

[30] 优先权

[32] 2001. 9. 13 [33] JP [31] 278225/2001

[73] 专利权人 株式会社东芝

地址 日本东京

[72] 发明人 熊崎规泰 丸山圭司 大岛成夫

[56] 参考文献

US5978281A 1999. 11. 2

CN1241785A 2000. 1. 19

US6166970A 2000. 12. 26

US6034916A 2000. 3. 7

US6212113B1 2001. 11. 2

审查员 赵小宁

[74] 专利代理机构 北京市中咨律师事务所

代理人 李 峥 陈海红

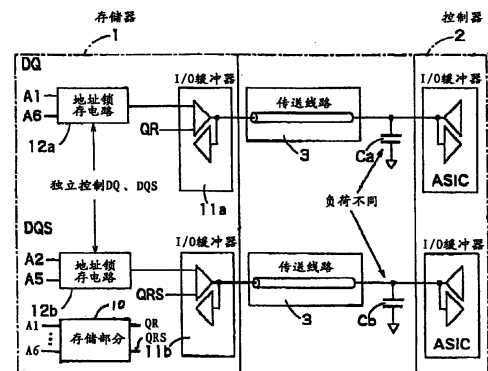
权利要求书 4 页 说明书 7 页 附图 8 页

[54] 发明名称

半导体集成电路以及存储系统

[57] 摘要

本发明的半导体集成电路，具备：输出与基准时钟信号同步的数据信号的第 1 输出驱动部分、输出规定上述数据信号的定时的数据选通信号的第 2 输出驱动部分、各自控制上述第 1 以及第 2 输出驱动部分的驱动能力的驱动控制部分。



1、一种半导体集成电路，包含：

第 1 输出驱动部分，用于输出与基准时钟信号同步的数据信号；

第 2 输出驱动部分，用于输出规定上述数据信号的定时的数据选通信号；

驱动控制部分，用于分别独立控制上述第 1 以及第 2 输出驱动部分的驱动能力；

其中，所述驱动控制部分包括：

控制所述第 1 输出驱动部分的驱动能力的第 1 驱动控制部分，以及控制所述第 2 输出驱动部分的驱动能力的第 2 驱动控制部分。

2、权利要求 1 所述的半导体集成电路，其特征在于：

上述第 1 以及第 2 输出驱动部分分别具有多个晶体管，

上述驱动控制部分，分别对上述第 1 以及第 2 输出驱动部分，通过切换所驱动的晶体管的数量控制驱动能力。

3、权利要求 1 所述的半导体集成电路，其特征在于：

上述第 1 输出驱动部分，具有分别具有在第 1 以及第 2 基准电压端子之间串联连接的 PMOS 晶体管以及 NMOS 晶体管的多个第 1 晶体管群，

在上述多个第 1 晶体管群各自中的上述 PMOS 晶体管以及上述 NMOS 晶体管的连接点，都与上述第 1 输出驱动部分的输出端子连接，

上述第 2 输出驱动部分，具有分别具有在上述第 1 以及第 2 基准电压端子之间串联连接的 PMOS 晶体管以及 NMOS 晶体管的多个第 2 晶体管群，

在上述多个第 2 晶体管群各自中的上述 PMOS 晶体管以及上述 NMOS 晶体管的连接点，都与上述第 2 输出驱动部分的输出端子连接，

上述驱动控制部分，分别切换上述多个第 1 以及第 2 晶体管群各自的通、断，控制上述第 1 以及第 2 输出驱动部分的驱动能力。

4、权利要求 3 所述的半导体集成电路，其特征在于：

属于同一上述第 1 晶体管群的 PMOS 晶体管以及 NMOS 晶体管，同时被切换为开或者关，

属于同一上述第 2 晶体管群的 PMOS 晶体管以及 NMOS 晶体管，同时被切换为开或者关，

上述驱动控制部分，切换同时接通的上述第 1 晶体管群的数量，控制上述第 1 输出驱动部分的驱动能力，并且切换同时接通的上述第 2 晶体管群的数量，控制上述第 2 输出驱动部分的驱动能力。

5、权利要求 3 所述的半导体集成电路，其特征在于：

上述驱动控制部分，分别切换上述多个第 1 以及第 2 晶体管群各自的通、断，把上述第 1 以及第 2 输出驱动部分的驱动能力控制在 3 种以上。

6、权利要求 1 所述的半导体集成电路，其特征在于：

上述驱动控制部分，根据第 1 地址信号控制上述第 1 输出驱动部分的驱动能力，根据第 2 地址信号控制上述第 2 输出驱动部分的驱动能力。

7、权利要求 6 所述的半导体集成电路，其特征在于：

具备分别锁存从外部提供的上述第 1 以及第 2 地址信号的第 1 以及第 2 地址锁存电路，

上述驱动控制部分，根据在上述第 1 以及第 2 地址锁存电路各自中锁存的地址信号，控制上述第 1 以及第 2 输出驱动部分的驱动能力。

8、权利要求 7 所述的半导体集成电路，

上述第 1 以及第 2 地址锁存电路，只在被设定在特定的模式的情况下，分别锁存上述第 1 以及第 2 地址信号。

9、一种存储系统，包含：

存储部分，用于响应数据读取请求，输出与被指定的地址对应的数据信号和规定上述数据信号的定时的数据选通信号；

第 1 输出驱动部分，用于输出与基准时钟信号同步的上述数据信号；

第 2 输出驱动部分，用于输出与上述数据信号同步的上述数据选通信号；

驱动控制部分，用于分别控制上述第 1 以及第 2 输出驱动部分的驱动

能力;

其中, 所述驱动控制部分包括: 控制所述第 1 输出驱动部分的驱动能力的第 1 驱动控制部分, 以及控制所述第 2 输出驱动部分的驱动能力的第 2 驱动控制部分。

10、权利要求 9 所述的存储系统, 其特征在于:

上述存储装置是 DDR SDRAM。

11、权利要求 9 所述的存储系统, 其特征在于:

上述第 1 以及第 2 输出驱动部分分别具有多个晶体管,

上述驱动控制部分, 分别对上述第 1 以及第 2 输出驱动部分的每一个, 通过切换所驱动的晶体管的数量控制驱动能力。

12、权利要求 9 所述的存储系统, 其特征在于:

上述第 1 输出驱动部分, 具有分别具有在第 1 以及第 2 基准电压端子之间串联连接的 PMOS 晶体管以及 NMOS 晶体管的多个第 1 晶体管群,

在上述多个第 1 晶体管群各自中的上述 PMOS 晶体管以及上述 NMOS 晶体管的连接点, 都与上述第 1 输出驱动部分的输出端子连接,

上述第 2 输出驱动部分, 具有分别具有在上述第 1 以及第 2 基准电压端子之间串联连接的 PMOS 晶体管以及 NMOS 晶体管的多个第 2 晶体管群,

在上述多个第 2 晶体管群各自中的上述 PMOS 晶体管以及上述 NMOS 晶体管的连接点, 都与上述第 2 输出驱动部分的输出端子连接,

上述驱动控制部分, 分别切换上述多个第 1 以及第 2 晶体管群的通、断, 控制上述第 1 以及第 2 输出驱动部分的驱动能力。

13、权利要求 12 所述的存储系统, 其特征在于:

属于同一上述第 1 晶体管群的 PMOS 晶体管以及 NMOS 晶体管, 同时被切换为通或者断,

属于同一上述第 2 晶体管群的 PMOS 晶体管以及 NMOS 晶体管, 同时被切换为通或者断,

上述驱动控制部分, 切换同时接通的上述第 1 晶体管群的数量, 控制

上述第 1 输出驱动部分的驱动能力，并且切换同时接通的上述第 2 晶体管群的数量，控制上述第 2 输出驱动部分的驱动能力。

14、权利要求 12 所述存储系统，其特征在于：

上述驱动控制部分，分别切换上述第 1 以及第 2 晶体管群的通、断，把上述第 1 以及第 2 输出驱动部分的驱动能力控制在 3 种以上。

15、权利要求 9 所述的存储系统，

上述驱动控制部分，根据第 1 地址信号控制上述第 1 输出驱动部分的驱动能力，根据第 2 地址信号控制上述第 2 输出驱动部分的驱动能力。

16、权利要求 15 所述的存储系统，其特征在于：

具备分别锁存从外部提供的上述第 1 以及第 2 地址信号的第 1 以及第 2 地址锁存电路，

上述驱动控制部分，根据在上述第 1 以及第 2 地址锁存电路各自中锁存的地址信号，控制上述第 1 以及第 2 输出驱动部分的驱动能力。

17、权利要求 16 所述的存储系统，

上述第 1 以及第 2 地址锁存电路，只在被设定在特定的模式的情况下，分别锁存上述第 1 以及第 2 地址信号。

半导体集成电路以及存储系统

相关申请的交叉参考

本申请要求 2001 年 9 月 13 日提交的日本专利申请 2001-278225 的优先权，其全部内容被包含于此以供参考。

技术领域

本发明涉及输出与基准时钟信号同步的数据信号和数据选通信号的半导体集成电路以及存储系统。

背景技术

最近，在各种电子机器中使用了处理器和存储器。此外，随着处理器的高速化和 IT（信息技术）的发展，要求高速的存储器。根据该需求，与象 DDR SDRAM 那样的外部时钟同步，以其 2 倍的频率转送数据的存储器已面市。

在以往的 SDR SDRAM（Single Data Rate Synchronous DRAM，单数据速率同步 DRAM）中，相对只与时钟上升边同步进行数据转送的方法，在 DDR SDRAM（Double Data Rate Synchronous DRAM，双数据速率同步 DRAM）中，与时钟的上升边和下降边两边同步地进行数据转送。因此，DDR SDRAM 可以得到 SDR SDRAM 两倍的数据转送速度。

但是，数据转送速度越高，数据的有效期间（数据窗口）越窄，在接收器一方的数据取得变得困难。因而，在 DDR SDRAM 中，新设置数据选通信号（以下，称为 DQS），在接收器一方接收该信号取得数据。

DQS，是与时钟同步的双向信号（写入时和读出时都可以利用），在写入时从 ASIC 方取得 DQS 和写入用数据（以下，称为 DQ），把数据写

入存储器。相反，在读出时从存储器输出 DQS，在 ASIC 一方接收该 DQS 和读出用 DQ。

这样，因为 DQS 与 DQ 同步，所以需要使 DQS 和 DQ 各自的配线长度（轨迹长）相等。

在此，因高速化出现的问题是读出时的数据取入定时。图 7 是展示对于由 JEDEC-DDR 确定的双向的 DQS，在写入时和读出时的各自中的数据取入定时的图。

如图所示，写入时和读出时的数据取入在 DQS 上升边和下降边的两边进行，但在读出时存在问题。

在写入时的数据取入，从图 7 (a) 可知，因为 DQS 的时钟边位于写入数据信号 DQ 的有效期间的中央附近，所以可以在 DQS 的上升边可靠地取入数据。

另一方面，如图 7 (b) 所示，在控制器一方取入数据的读出时，DQS 两边和 DQ 的变化点是大致相同的定时。因此，如图 8 所示，在控制器一方使用 DLL 电路和 PLL 电路使 DQS 的定时和相位错开，必须调整定时，使得 DQS 的两边向数据有效期间的中间附近靠。

可是，如上所述，在控制器一方设置 DLL 电路和 PLL 电路对控制器一方是个负担。因此，作为在控制器一方不安装 DLL 电路和 PLL 电路调整 DQ 和 DQS 的定时的一方法，有调整存储器和控制器之间的配线长度的方法。如果相对 DQ 设定长的 DQS 线路，则 DQS 的配线延迟时间与 DQ 的配线延迟时间成比例地延长，可以把在控制器一方的 DQS 设定在数据有效期间的中间附近。

但是，也有根据模式的引导和负荷量等的不同，与 DQ 相比 DQS 侧容量负荷增加的情况。这种情况下，数据的上升以及下降的波形钝化，扩大数据有效期的界限困难。

图 9 是展示以往的存储系统的概略构成的方框图。图 9 的存储系统，具备由被安装在印刷线路板上的存储器 51 和 ASIC 组成的控制器 52，存储器 51 和控制器 52 经由印刷线路板上的传送线路 53 进行数据的发送接

收。

存储器 51 包含：在根据外部地址信号 $A1\sim A_n$ 进行数据信号 QR 的输入输出的同时，与数据信号 QR 同步地进行数据选通信号 QRS 的输入输出的存储部分 50；进行与数据信号 QR 相关的数据信号 DQ 的输入输出的 I/O 缓冲器 54a；进行与数据选通信号 QRS 相关的数据选通信号 DQS 的输入输出的 I/O 缓冲器 54b；根据外部地址信号控制 I/O 缓冲器 54a 和 I/O 缓冲器 54b 的驱动能力的地址锁存电路 55。

图 9 所示的以往的地址锁存电路 55，因为不单独调整 I/O 缓冲器 54a、54b 的驱动器大小，所以在延长轨迹长度这种单纯的方法中，难以微调整 DQ 和 DQS 的定时。

此外，以往，因为把 I/O 缓冲器 54a、54b 的驱动能力设定为相同，所以在 DQ 的传送线路的负荷量和 DQS 的传送线路的负荷量不相同的情况下，有可能出现负荷量大的传送线路上的信号波形迟钝。

图 10 是 DQ、DQS 的信号波形图。图 10 (a) 是未受噪声的影响的情况，图 10 (b) 是受到噪声影响的情况下的信号波形，各图的实线表示存在波形迟钝的情况，虚线表示不存在波形迟钝的情况。

从这些图可知，因噪声的有无在定时中产生偏差，此外，如果波形变得迟钝，因为信号缓慢变化，所以逻辑切换的定时有偏差。例如，在图 10 (a) 中，当信号逻辑变化的原本的时刻是时刻 x_0 的情况下，如果信号波形变得迟钝，则偏移为时刻 x_1 。同样，在有噪声进而信号波形也变得迟钝时，偏移为时刻 x_2 。

这样，在以往的存储系统中，因为在存储器内部不能独立地控制 DQ 和 DQS 驱动能力，所以在只单纯延长轨迹长度中，当负荷没有变化的情况下，在波形中不产生迟钝，因为定时调整困难，所以在控制器一方必须用 DLL 电路和 PLL 电路进行 DQ 和 DQS 定时调整，有控制器内部的构成变得复杂的危险。

发明内容

本发明的实施方式 1 的半导体集成电路包含：输出与基准时钟信号同步的数据信号的第 1 输出驱动部分；输出规定上述数据信号的定时的数据选通信号的第 2 输出驱动部分；各自控制上述第 1 以及第 2 输出驱动部分的驱动能力的驱动控制部分。

此外，本发明的实施方式 1 的存储系统包含：响应数据读出请求，输出与被指定的地址对应的数据信号和规定上述数据信号的定时的数据选通信号的存储部分；输出与基准时钟信号同步的上述数据信号的第 1 输出驱动部分；输出与上述数据信号同步的上述数据选通信号的第 2 输出驱动部分；各自独立地控制上述第 1 以及第 2 输出驱动部分的驱动能力的驱动控制部分。

附图说明

图 1 是展示本发明的存储系统的一实施方式的概略构成的方框图。

图 2 是展示地址锁存电路 12a 的内部构成的方框图。

图 3 是展示 I/O 缓冲器的内部构成的方框图。

图 4 是展示门信号生成电路的内部构成的方框图。

图 5 是地址信号和控制信号生成电路的输出的逻辑图。

图 6 是展示从 I/O 缓冲器输出的数据选通信号(DQS)和数据信号(DQ)的定时的图。

图 7 是展示关于用 JEDEC DDR 确定的双向的 DQS, 在写和读时的各自中的数据取入定时的图。

图 8 是说明进行定时调整以使在数据有效期间的中间附近 DQS 的两边起来的例子的图。

图 9 是展示以往的存储系统的概略构成的方框图。

图 10A-10B 是 DQ、DQS 的信号波形图。

具体实施方式

以下,参照附图具体说明有关本发明的半导体集成电路以及存储系统。

图1是展示有关本发明的存储系统的实施方式1的概略构成的方框图。图1的存储系统,具备由存储器1和ASIC组成的控制器2,存储器1和控制器2经由被形成在印刷线路板上的传送线路3进行数据的发送接收。

图1的控制器2,在写入时对存储器1提供数据信号(DQ)和数据选通信号(DQS)。另一方面,存储器1,在读出时对ASIC提供DQ和DQS。

存储器1包含:在根据外部地址信号A1~An进行数据信号QR的输入输出的同时,进行与数据信号QR同步的数据选通信号QRS的输入输出的存储部分10;进行与数据信号QR相关的数据信号DQ的输入输出的I/O缓冲器11a;进行与数据选通信号QRS相关的数据选通信号DQS的输入输出的I/O缓冲器11b;根据外部地址信号A1、A6控制I/O缓冲器11a的驱动能力的地址锁存电路12a;根据外部地址信号A2、A5控制I/O缓冲器11b的驱动能力的地址锁存电路12b。

存储部分10,例如是DDR SDRAM(Double Data Rate Synchronous DRAM 双数据速率同步DRAM)的核心部分和外围电路。

本实施方式的存储系统,与图9所示的以往的存储系统相比,其特征在于:与I/O缓冲器11a、11b的各自对应地设置地址锁存电路12a、12b,可以各自独立调整DQ和DQS的定时。

图2是展示地址锁存电路12a的内部构成的方框图。图2的地址锁存电路12a包含:分别取入外部地址信号A1、A6的地址接收器21a、21b;触发器(flip-flop)22a、22b;倒相器(inverter)23a~23d。

触发器22a、22b在分别被设定在扩展模式(Extended mode)时,由被时钟控制的EMR信号,锁存外部地址信号A1、A6的逻辑值。在除此以外的情况下,触发器22a、22b,持续保持锁存着的A1、A6的逻辑积。

被输入到地址锁存电路12a中的外部地址信号(A1, A6)和被输入到地址锁存电路12b中的外部地址信号(A2, A5),在扩展模式以外时,被用于存储器1的地址指定。在本实施方式中,为了防止存储器1的端子数的增加,利用在存储器访问中使用的外部地址信号的一部分(A1, A6)或者(A2, A5),控制I/O缓冲器的驱动能力。

触发器 22a, 包含由时钟控制式倒相器 (クロックトインバータ) 24、25 和倒相器 26 组成的锁存电路 27; 由时钟控制式倒相器 28、29 和倒相器 30 组成的锁存电路 31。

锁存电路 27, 在时钟信号 EMR 是低电平时取入外部地址信号 A1, 在时钟信号 EMR 从低电平变化为高电平时确定并锁存外部地址信号 A1 的逻辑值。此外, 锁存电路 31, 在时钟信号 EMR 是高电平时取入锁存电路 27 的输出, 在时钟信号 EMR 从高电平变化为低电平时确定并锁存外部的地址信号 A1 的逻辑值。

同样, 触发器 22b 内的锁存电路 32, 在时钟信号 EMR 是低电平时取入外部地址信号 A6, 在时钟信号 ERM 从低电平变化为高电平时锁存外部地址信号 A6 的逻辑值。此外, 锁存电路 33, 在时钟信号 EMR 是高电平时取入锁存电路 32 的输出, 在时钟信号 EMR 从高电平变化为低电平时确定并锁存外部地址信号 A6 的逻辑值。

在图 2 中展示地址锁存电路 12a 的内部构成, 地址锁存电路 12b 也和图 2 的构成一样。但是, 向地址锁存电路 12b, 提供外部地址信号 A2、A5。

I/O 缓冲器 11a, 如图 3 所示的详细构成所示, 包含: 具有分别在电源端子 V_{DDQ} 和接地端子 V_{SSQ} 之间串联连接的 PMOS 晶体管以及 NMOS 晶体管的多个晶体管群 41a~41d; 生成各晶体管群的门信号 PGTn0~PGTn3、NGTp0~NGTp3 的门信号生成电路 42。

各晶体管群 41a~41d 内的 PMOS 晶体管以及 NMOS 晶体管的连接点都与 I/O 缓冲器 11a 的输出端子连接。门信号生成电路 42, 如图 4 详细构成所示, 包含 NAND 门 G1~G6、NOR 门 G7~G9、倒相器 IV1~IV19。

向各晶体管群 41a~41d 内的晶体管的门端子分别输入门信号生成电路 42 的输出 PGTn0~PGTn3、NGTp0~NGTp3。

图 5 是地址信号 A1、A6 和控制信号生成电路的输出 PGTn0~PGTn3、NGTp0~NGTp3 的逻辑图。如图所示, 地址信号 A1、A6 如果都是低电平, 则 I/O 缓冲器 11a 内的 3 个晶体管群 41a、41b、41c 动作, I/O 缓冲器 11a 的驱动能力变为默认状态。

此外, 如果地址信号 A1 是高电平 A6 是低电平, 则 I/O 缓冲器 11a 内

的4个晶体管群41a、41b、41c、41d动作，I/O缓冲器11a的驱动能力变为最大的状态。

此外，如果地址信号A1是低电平，A6是高电平，则I/O缓冲器11a内的2个晶体管群41a、41b动作。这种情况下变成稍弱的状态。

此外，如果地址信号A1、A6都是高电平，则只有I/O缓冲器11a内的晶体管群41a动作，I/O缓冲器11a的驱动能力变为最弱的状态。

进而，在图4以及图5中，展示了I/O缓冲器11a内部构成，I/O缓冲器11b的构成也一样。

图6是展示通过相对数据信号(DQ)使数据选通信号(DQS)的轨迹长度增长使DQS信号延迟，在以最适合于该轨迹长度的驱动器的驱动能力驱动DQS信号的情况下的，从I/O缓冲器11a、11b输出的DQS和DQ的定时的图。

如图所示，本实施方式的存储器1，输出在DQ的数据有效期间的中间附近，具有DQS的逻辑变化那样的定时的DQ和DQS。

因此，在控制器2一方，即使不特意进行DQ和DQS的相位调整，也可以在DQS的边可靠地取得DQ。

在上述的图3以及图4中，说明了I/O缓冲器11a的内部构成，但I/O缓冲器11b的构成也一样，根据外部地址信号A2、A5可变控制I/O缓冲器11b的驱动能力。

这样，在本实施方式中，在存储器1的内部，因为分别独立地可变控制输出DQ的I/O缓冲器11a的驱动能力和输出DQS的I/O缓冲器11b的驱动能力，所以作为一例，通过延长轨迹长度，可以容易在DQ数据有效期间的中间附近，以DQS的逻辑变化那样的定时输出DQ和DQS。因而，在和存储器1进行数据的交换的控制器2一方，不需要进行DQ和DQS的复杂的定时调整，可以简化控制器2的内部构成。

此外，在本实施方式中，因为利用指定存储器1的地址的外部地址信号的一部分设定I/O缓冲器11a、11b的驱动能力，所以不设置驱动能力设定用的专用端子也可以。

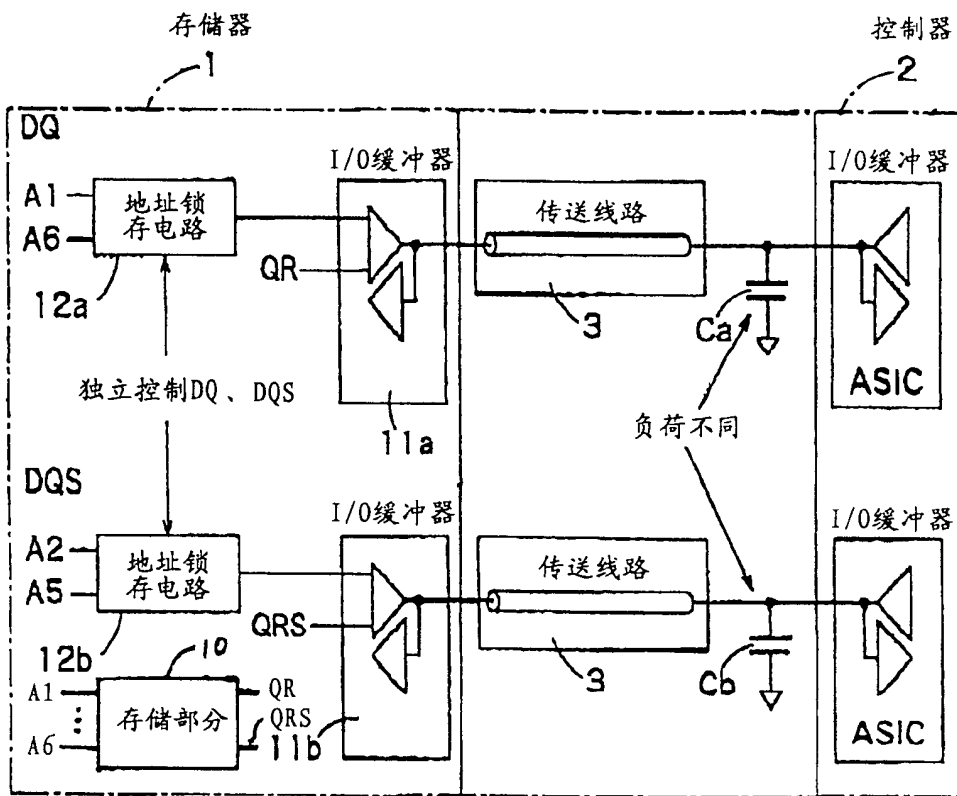


图1

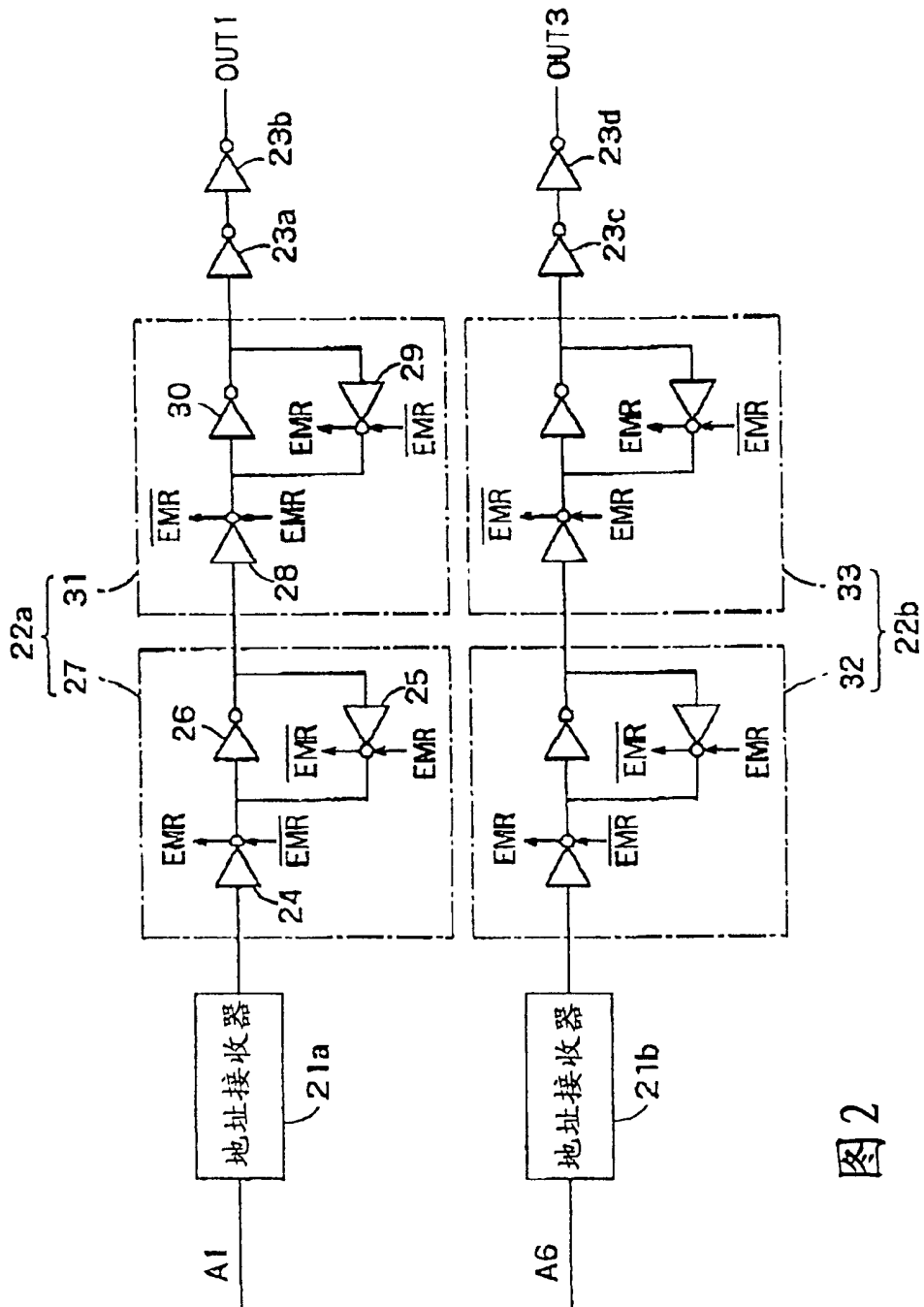


图2

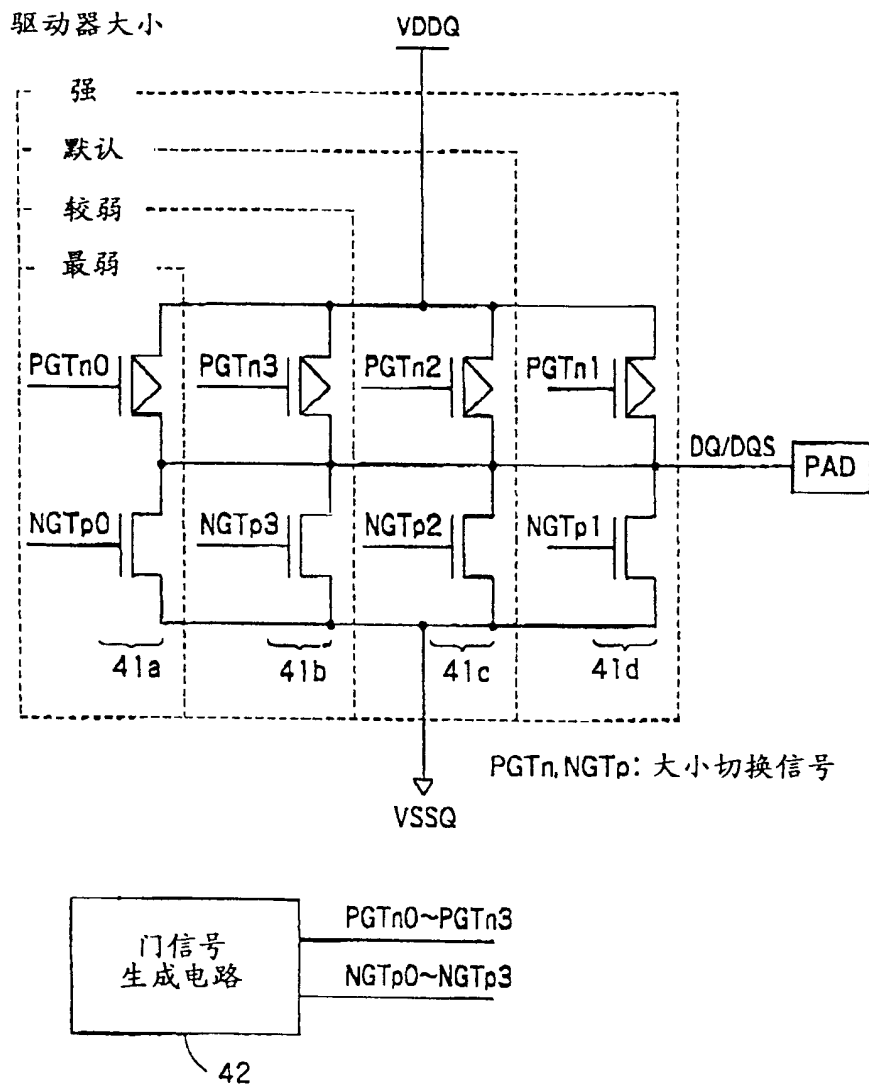


图 3

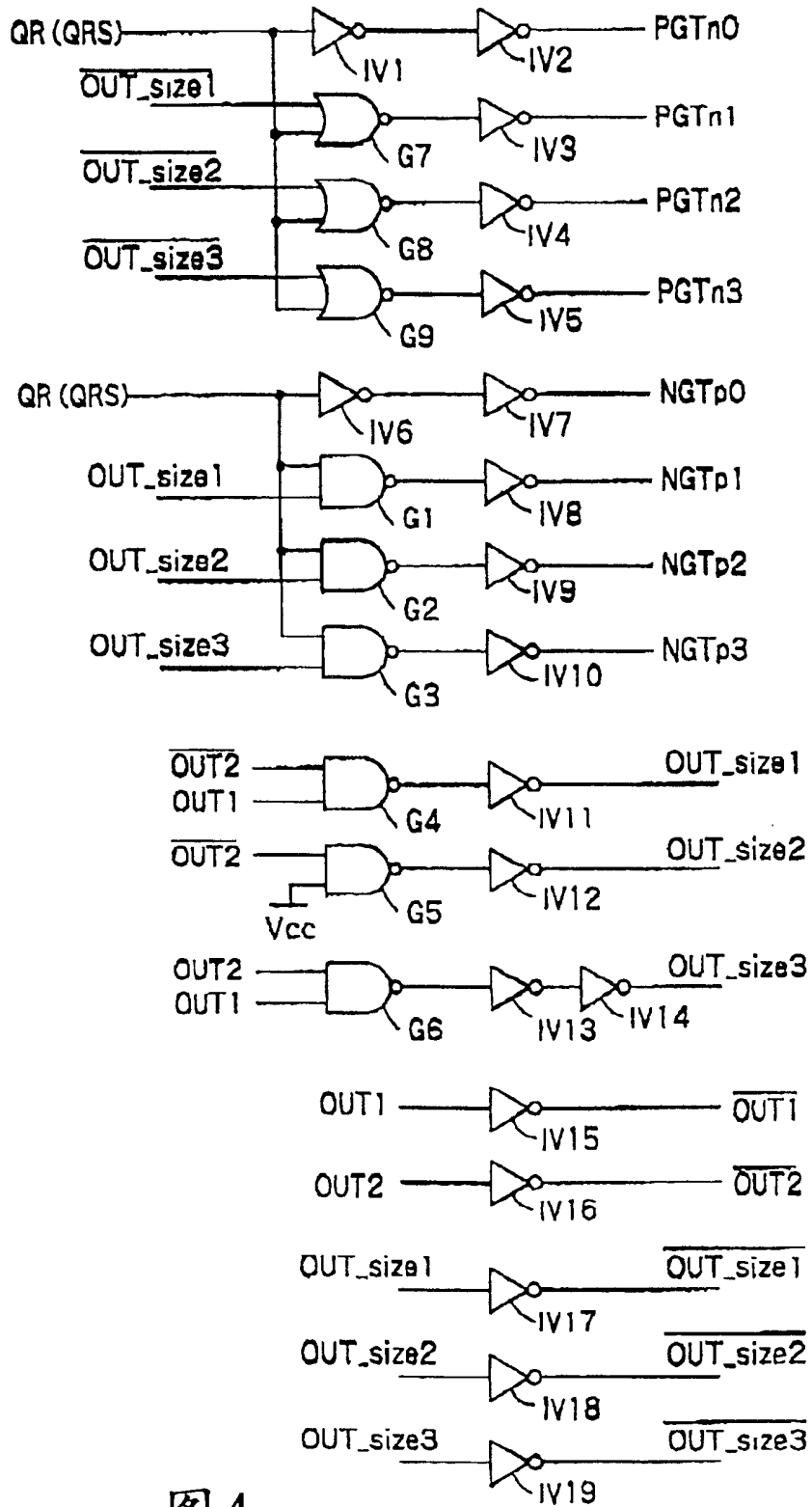


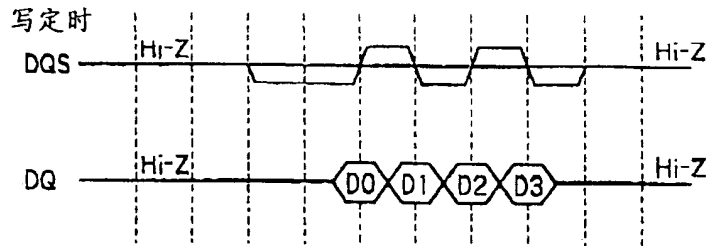
图 4

A1	A6	PGT<0>	PGT<1>	PGT<2>	PGT<3>	NGT<0>	NGT<1>	NGT<2>	NGT<3>	驱动器大小
L	L	E	D	E	E	E	D	E	E	默认
L	H	E	D	D	E	E	D	D	E	较弱
H	L	E	E	E	E	E	E	E	E	强
H	H	E	D	D	D	E	D	D	D	最弱

E : Enable, D : Disable

图5

图6 (a)



(b)

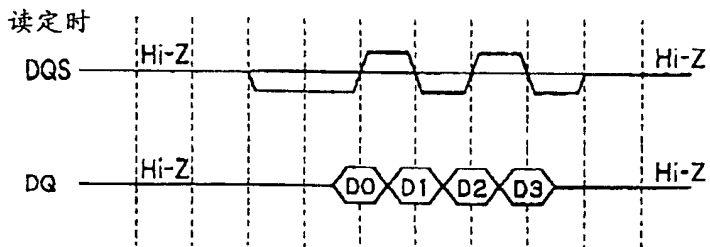
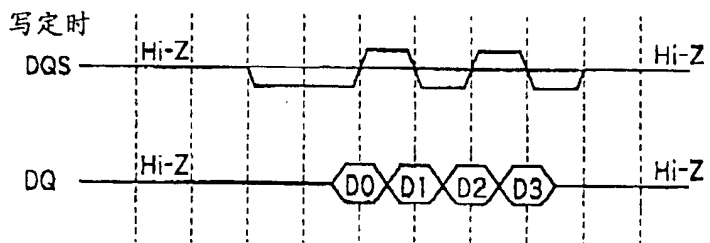


图7

(a)



(b)

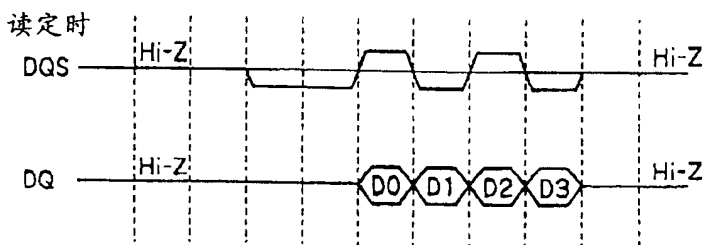


图8

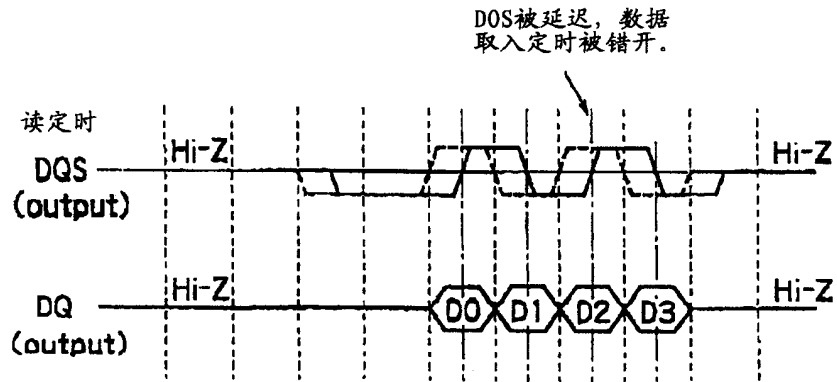
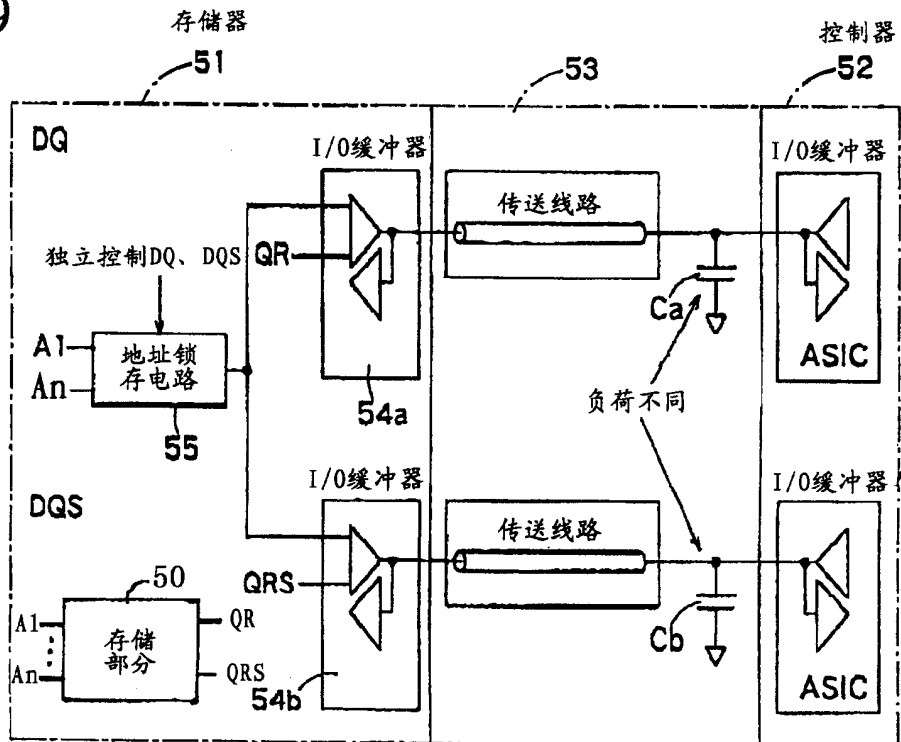


图9



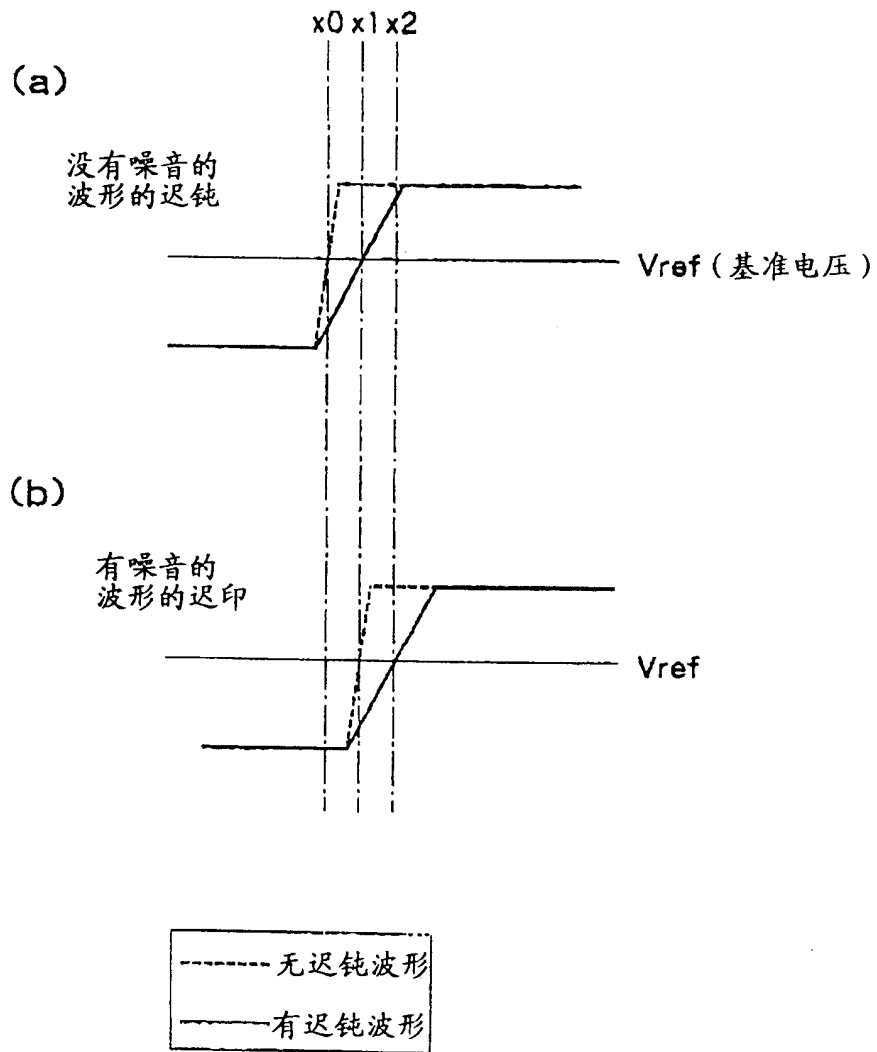


图 10