



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I486959 B

(45) 公告日：中華民國 104 (2015) 年 06 月 01 日

(21) 申請案號：103115993

(22) 申請日：中華民國 103 (2014) 年 05 月 05 日

(51) Int. Cl. : G11C19/28 (2006.01)

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：洪凱尉 HONG, KAI WEI (TW)；詹秉燦 CHAN, PIN YU (TW)；陳勇志 CHEN, YUNG CHIH (TW)；劉立偉 LIU, LI WEI (TW)

(74) 代理人：郭曉文

(56) 參考文獻：

TW 200703176

TW 200805243

TW 201015511

US 5517542

US 7038653B2

US 7508479B2

US 7873140B2

US 2004/0165692A1

審查人員：劉耀允

申請專利範圍項數：8 項 圖式數：4 共 23 頁

(54) 名稱

移位暫存器電路

SHIFT REGISTER CIRCUIT

(57) 摘要

一種移位暫存器電路，其包括第一電晶體、電容、上拉控制電路、第一下拉電路、下拉控制電路、第二下拉電路、以及補償電路。上述之補償電路包括第二電晶體、第三電晶體、第四電晶體、第五電晶體、及第六電晶體，其中第二電晶體、第三電晶體、第四電晶體及第五電晶體用以產出補償脈衝，第六電晶體用以將補償脈衝傳送至第一電晶體之控制端以補償控制訊號。

A shift register circuit including a first transistor, a capacitor, a pull up control circuit, a first pull down circuit, a pull down control circuit, a second pull down circuit, and a compensation circuit. The compensation circuit further includes a second transistor, a third transistor, a fourth transistor, a fifth transistor, and a sixth transistor, the second transistor, the third transistor, the fourth transistor, and the fifth transistor are used to output a compensation pulse, and the sixth transistor is used to output the compensation pulse to a gate terminal of the first transistor to compensate a control signal.

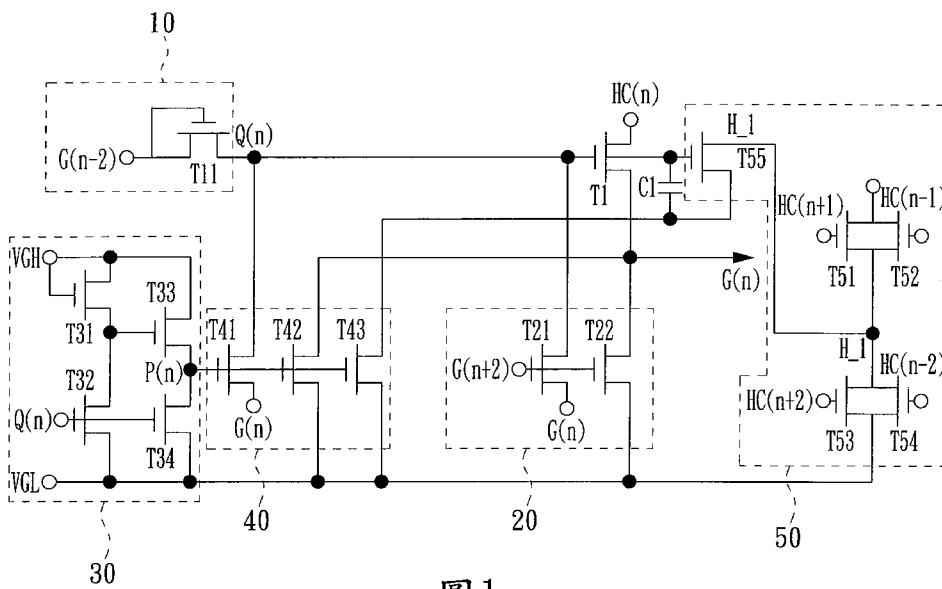


圖 1

- T1, T11, T21, T22, T31, T32, T33, T34, T41, T42, T43, T51, T52, T53, T54, T55 . . . 電晶體
- C1 . . . 電容
- VGH . . . 預設高電位
- VGL . . . 預設低電位
- Q(n) . . . 控制訊號
- P(n) . . . 下拉控制訊號
- G(n-2) . . . 第 n-2 級開極脈衝
- G(n) . . . 第 n 級開極脈衝
- G(n+2) . . . 第 n+2 級開極脈衝
- H₁ . . . 補償脈衝
- HC(n) . . . 第 n 級時脈訊號
- HC(n-1) . . . 第 n-1 級時脈訊號
- HC(n-2) . . . 第 n-2 級時脈訊號
- HC(n+1) . . . 第 n+1 級時脈訊號
- HC(n+2) . . . 第 n+2 級時脈訊號
- 10 . . . 上拉控制電路
- 20 . . . 第一下拉電路
- 30 . . . 下拉控制電路
- 40 . . . 第二下拉電路
- 50 . . . 補償電路



發明摘要

※ 申請案號：107115997

※ 申請日：103.5.05

※ IPC 分類：G11C 19/28 4303:00

【發明名稱】移位暫存器電路

SHIFT REGISTER CIRCUIT

【中文】

一種移位暫存器電路，其包括第一電晶體、電容、上拉控制電路、第一下拉電路、下拉控制電路、第二下拉電路、以及補償電路。上述之補償電路包括第二電晶體、第三電晶體、第四電晶體、第五電晶體、及第六電晶體，其中第二電晶體、第三電晶體、第四電晶體及第五電晶體用以產出補償脈衝，第六電晶體用以將補償脈衝傳送至第一電晶體之控制端以補償控制訊號。

【英文】

A shift register circuit including a first transistor, a capacitor, a pull up control circuit, a first pull down circuit, a pull down control circuit, a second pull down circuit, and a compensation circuit. The compensation circuit further includes a second transistor, a third transistor, a fourth transistor, a fifth transistor, and a sixth transistor, the second transistor, the third transistor, the fourth transistor, and the fifth transistor are used to output a compensation pulse, and the sixth transistor is used to output the compensation pulse to a gate terminal of the first transistor to compensate a control signal.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

T1,T11,T21,T22,T31,T32,T33,T34,T41,T42,T43,T51,T52,
T53,T54,T55 電晶體

C1 電容

VGH 預設高電位

VGL 預設低電位

Q(n)控制訊號

P(n)下拉控制訊號

G(n-2)第 n-2 級閘極脈衝

G(n)第 n 級閘極脈衝

G(n+2)第 n+2 級閘極脈衝

H₁ 補償脈衝

HC(n)第 n 級時脈訊號

HC(n-1)第 n-1 級時脈訊號

HC(n-2)第 n-2 級時脈訊號

HC(n+1)第 n+1 級時脈訊號

HC(n+2)第 n+2 級時脈訊號

10 上拉控制電路

20 第一下拉電路

30 下拉控制電路

40 第二下拉電路

50 補償電路

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 移位暫存器電路

SHIFT REGISTER CIRCUIT

【技術領域】

【0001】 本發明是有關於一種移位暫存器電路，尤其是有關於一種具有較佳充放電能力之移位暫存器。

【先前技術】

【0002】 習知的移位暫存器係依據其內部之一控制訊號來決定是否輸出一閘極驅動訊號，且在移位暫存器不需要輸出閘極驅動訊號的時段中，將輸出閘極驅動訊號以及控制訊號係穩定在低電位，以避免移位暫存器在錯誤的時間輸出閘極驅動訊號驅動錯誤的閘極線。因此，如何在移位暫存器不需要輸出閘極驅動訊號的時段中，正確且快速的將輸出閘極驅動訊號以及控制訊號係穩定在低電位，變成為重要的課題。

【發明內容】

【0003】 為了在移位暫存器不需要輸出閘極驅動訊號的時段中，正確且快速的將輸出閘極驅動訊號以及控制訊號穩定在低電位，本發明所提供的移位暫存器電路實施例包括第一電晶體，具有第一端、第二端與控制端，第一端用以接收第n級時脈訊號，而第二端用以作為移位暫存器電路之輸出端，並輸出第n級閘極脈衝；電容，其一端電性耦接第一電晶體的控制端；上拉控制電路，用以接收並傳送第n-2級閘極脈

衝至第一電晶體的控制端；第一下拉電路，用以依據第 $n+2$ 級閘極脈衝而決定是否將移位暫存器電路之輸出端的準位下拉至預設低電位，以及決定是否將第一電晶體的控制端電性耦接至輸出端；第二下拉電路，用以依據一下拉控制訊號的狀態而決定是否將第一電晶體的控制端電性耦接至輸出端，以及決定是否將電容之另一端的準位與輸出端的準位皆下拉至預設低電位；下拉控制電路，用以提供下拉控制訊號，並依據第一電晶體控制端之準位來決定下拉控制訊號之狀態；以及，補償電路，用以產生一補償脈衝，並用以依據控制端之準位來決定是否輸出補償脈衝至電容之另一端，其中第 n 級時脈訊號之其中一脈衝的致能期間於補償脈衝的致能期間內，且補償脈衝的致能期間係長於脈衝的致能期間。

【0004】 在本發明的較佳實施例中，上述之補償電路更包括第二電晶體，具有第一端、第二端與控制端，第二電晶體之控制端用以接收第 $n+1$ 級時脈訊號，第二電晶體之第一端係用以接收預設高電位；第三電晶體，具有第一端、第二端與控制端，第三電晶體之控制端用以接收第 $n-1$ 級時脈訊號，第三電晶體之第一端與第二電晶體之第一端電性耦接，第三電晶體之第二端與第二電晶體之第二端電性耦接，第三電晶體之第二端並用以輸出上述之補償脈衝；第四電晶體，具有第一端、第二端與控制端，第四電晶體之控制端係用以接收第 $n+2$ 級時脈訊號，第四電晶體之第一端並與第二電晶體之第二端電性耦接；第五電晶體，具有第一端、第二端與控制端，第五電晶體之控制端係用以接收第 $n-2$ 級時脈訊號，第五電晶體之第一端與第二電晶體之第二端電性耦接，第五電晶體之第二端與第四電晶體之第二端及預設低電位電性耦接；以

及，第六電晶體，具有第一端、第二端與控制端，第六電晶體之控制端與第一電晶體之控制端電性耦接，第六電晶體之第一端與第二電晶體之第二端電性耦接，第六電晶體之第二端與電容之另一端電性耦接。

【0005】 根據以上所述，本發明因具有補償電路，可輸出補償脈衝至電容之另一端，也就是第一電晶體之控制端，又第n級時脈訊號之其中一脈衝的致能期間於補償脈衝的致能期間內，且補償脈衝的致能期間係長於脈衝的致能期間，第一電晶體之控制端的補償期間會因補償脈衝而長於習知的補償時間，第一電晶體之控制端的準位也因此高於習知的準位。因此當移位暫存器電路之輸出端以及第一電晶體之控制端欲同時穩定於預設低電位時，第一電晶體之控制端因具有較高之準位，第一電晶體不會因控制端與輸出端同時下拉而造成跨壓不足，因而導致第一電晶體充放電能力低落之情況，因此，根據上述之內容，本發明所提出之移位暫存器電路實施例可快速且正確的將輸出端穩定於預設低電位，避免錯誤的閘極線開啟而導致顯示資料錯充的情況發生。

【圖式簡單說明】

【0006】

圖1為本發明之實施例示意圖。

圖2為本發明之時序實施例示意圖。

圖3為本發明之實驗數據示意圖一。

圖4為本發明之實驗數據示意圖二。

【實施方式】

【0007】 請參閱圖1及圖2，圖1為本發明所提出之移位暫存器電路實施例，其包括電晶體T1、電容C1、上拉控制電路10、第一下拉電路20、下拉控制電路30、第二下拉電路40、以及補償電路50。

【0008】 圖2為本發明時序實施例，包括第n-2級閘極脈衝 $G(n-2)$ 、第n級閘極脈衝 $G(n)$ 、第n+2級閘極脈衝 $G(n+2)$ 、控制訊號 $Q(n)$ 、補償脈衝 H_1 ，第n-2級時脈訊號 $HC(n-2)$ 、第n-1級時脈訊號 $HC(n-1)$ 、第n級時脈訊號 $HC(n)$ 、第n+1級時脈訊號 $HC(n+1)$ 、以及第n+2級時脈訊號 $HC(n+2)$ 。其中第n-2級時脈訊號 $HC(n-2)$ 、第n-1級時脈訊號 $HC(n-1)$ 、第n級時脈訊號 $HC(n)$ 、第n+1級時脈訊號 $HC(n+1)$ 、以及第n+2級時脈訊號 $HC(n+2)$ 具有相同長度之致能期間，第n-2級時脈訊號 $HC(n-2)$ 超前該第n-1級時脈訊號 $HC(n-1)$ 一預設時間，第n-1級時脈訊號 $HC(n-1)$ 超前第n級時脈訊號 $HC(n)$ 上述之預設時間，第n級時脈訊號 $HC(n)$ 超前第n+1級時脈訊號 $HC(n+1)$ 上述之預設時間，第n+1級時脈訊號 $HC(n+1)$ 超前第n+2級時脈訊號 $HC(n+2)$ 上述之預設時間。

【0009】 前述之電晶體T1具有第一端、第二端與控制端，控制端與上拉控制電路10電性耦接，電晶體T1的第一端用以接收第n級時脈訊號 $HC(n)$ ，而電晶體T1的第二端則是用以作為移位暫存器電路之輸出端，並用以輸出第n級閘極脈衝 $G(n)$ 。電容C1其一端與電晶體T1的控制端電性耦接，另一端則與上述之補償電路50電性耦接，電容C1係用以接收補償電路50所輸出之補償脈衝 H_1 ，並根據電容之特性將補償脈衝 H_1 傳送至電晶體T1的控制端。

【0010】 前述之上拉控制電路10包括電晶體T11，電晶體

T11具有第一端、第二端、以及控制端，電晶體T11之控制端及第一端用以接收第n-2級閘極脈衝G(n-2)，電晶體T11之第二端則與電晶體T1之控制端電性耦接，係用以將接收之第n-2級閘極脈衝G(n-2)輸出為一控制訊號Q(n)，並傳送至電晶體T1之控制端。

【0011】 前述之第一下拉電路20是用以依據第n+2級閘極脈衝G(n+2)而決定是否將輸出端的準位下拉至預設低電位VGL，以及決定是否將電晶體T1之控制端電性耦接至輸出端。第一下拉電路20包括電晶體T21以及電晶體T22，電晶體T21具有第一端、第二端、以及控制端，電晶體T21之控制端用以接收第n+2級閘極脈衝G(n+2)，電晶體T21之第一端係用以與電晶體T1之控制端電性耦接，電晶體T21之第二端係用以與輸出端電性耦接，因此電晶體T21係用以根據第n+2級閘極脈衝G(n+2)將電晶體T1之控制端電性耦接至輸出端。電晶體T22具有第一端、第二端、以及控制端，電晶體T22之控制端係用以接收第n+2級閘極脈衝G(n+2)，電晶體T22之第一端與輸出端電性耦接，電晶體T22之第二端與預設低電位VGL電性耦接，電晶體T22係用以根據第n+2級閘極脈衝G(n+2)將輸出端的準位下拉至預設低電位VGL。因此當第n+2級閘極脈衝G(n+2)為致能期間時，電晶體T21及電晶體T22將被致能，並將電晶體T1之控制端電性耦接至輸出端，以及將輸出端的準位下拉至預設低電位VGL。

【0012】 前述之下拉控制電路30與第二下拉電路40電性耦接，係用以提供下拉控制訊號P(n)至第二下拉電路40，並依據電晶體T1控制端之準位來決定下拉控制訊號P(n)之狀態。下拉控制電路30更包括電晶體T31、電晶體T32、電晶體T33以及

電晶體 T34。電晶體 T31 具有第一端、第二端、以及控制端，電晶體 T31 之控制端及第一端係用以接收預設高電位 VGH；電晶體 T33，具有第一端、第二端、以及控制端，電晶體 T33 之控制端與電晶體 T31 之第二端電性耦接，電晶體 T33 之第一端與電晶體 T31 之控制端及電晶體 T31 之第一端電性耦接，以接收預設高電位 VGH，電晶體 T33 之第二端則是用以將第一端所接收之預設高電位 VGH 輸出為下拉控制訊號 P(n)；電晶體 T32 具有第一端、第二端、以及控制端，電晶體 T32 之控制端係用以與電晶體 T1 之控制端電性耦接，電晶體 T32 之第一端係用以與電晶體 T31 之第二端以及電晶體 T33 之控制端電性耦接，電晶體 T32 之第二端係用以與預設低電位 VGL 電性耦接；電晶體 T34，其具有第一端、第二端、以及控制端，電晶體 T34 之控制端係用以與電晶體 T32 之控制端電性耦接，電晶體 T34 之第一端係與電晶體 T33 之第二端電性耦接，電晶體 T34 之第二端係用以與預設低電位 VGL 電性耦接。因此當電晶體 T32 之控制端以及電晶體 T34 被控制訊號 Q(n) 致能時，電晶體 T32 之第一端以及電晶體 T34 之第一端皆會被下拉至預設低電位 VGL 之準位，因此電晶體 T33 之控制端以及第二端被電晶體 T32 及電晶體 T34 下拉至預設低電位 VGL，也就是下拉控制訊號 P(n) 被下拉至預設低電位 VGL，因此根據下拉控制訊號 P(n) 而決定是否運作之第二下拉電路 40 將不會被致能，使電晶體 T1 可正確輸出第 n 級閘極脈衝。

【0013】 前述之第二下拉電路 40 是用以依據上述之下拉控制訊號 P(n) 的狀態而決定是否將電晶體 T1 的控制端電性耦接至輸出端，以及決定是否將電容之另一端的準位與輸出端的準位皆下拉至預設低電位 VGL。第二下拉電路 40 包括電晶

體 T41、電晶體 T42 及電晶體 T43，電晶體 T41 具有第一端、第二端、以及控制端，電晶體 T41 之控制端係用以接收下拉控制訊號 P(n)，電晶體 T41 之第一端係用以與電晶體 T1 之控制端電性耦接，電晶體 T41 之第二端則係用以與輸出端電性耦接，電晶體 T41 是用以依據下拉控制訊號 P(n) 的狀態而決定是否將電晶體 T1 的控制端電性耦接至輸出端。電晶體 T42 具有第一端、第二端、以及控制端，電晶體 T42 之控制端係用以接收下拉控制訊號 P(n)，電晶體 T42 之第一端與輸出端電性耦接，電晶體 T42 之第二端與預設低電位 VGL 電性耦接，電晶體 T42 是用以依據下拉控制訊號 P(n) 的狀態而決定是否將輸出端電性耦接至預設低電位 VGL。電晶體 T43 具有第一端、第二端、以及控制端，電晶體 T43 之控制端係用以接收下拉控制訊號 P(n)，電晶體 T43 之第一端與電容 C1 之另一端電性耦接，其第四電晶體之第二端係用以與預設低電位 VGL 電性耦接，電晶體 T43 是用以依據下拉控制訊號 P(n) 的狀態而決定是否將電容 C1 之另一端電性耦接至預設低電位 VGL。

【0014】 前述之補償電路 50 包括電晶體 T51、電晶體 T52、電晶體 T53、電晶體 T54、以及電晶體 T55，其中電晶體 T51、電晶體 T52、電晶體 T53、及電晶體 T54 是用以根據個別之控制端所接收之時脈訊號來產生上述之補償脈衝 H₁，電晶體 T55 是用以依據電晶體 T1 的控制端之準位來決定是否輸出補償脈衝 H₁ 至電容 C1 之另一端。電晶體 T51 具有第一端、第二端與控制端，電晶體 T51 之控制端用以接收第 n+1 級時脈訊號 HC(n+1)，電晶體 T51 之第一端係用以接收預設高電位 VGH，電晶體 T51 之第二端係根據所接收之預設高電位 VGH 輸出補償脈衝 H₁。電晶體 T52 具有第一端、第二端與控制端，電晶

體 T52 之控制端用以接收第 $n-1$ 級時脈訊號 $HC(n-1)$ ，電晶體 T52 之第一端與電晶體 T51 之第一端電性耦接，用以接收預設高電位 VGH ，電晶體 T52 之第二端與電晶體 T51 之第二端電性耦接，用以根據所接收之預設高電位 VGH 輸出補償脈衝 H_1 。電晶體 T53 具有第一端、第二端與控制端，電晶體 T53 之控制端係用以接收第 $n+2$ 級時脈訊號 $HC(n+2)$ ，電晶體 T53 之第一端與電晶體 T51 之第二端電性耦接，電晶體 T53 之第二端與預設低電位 VGL 電性耦接，電晶體 T53 係依據第 $n+2$ 級時脈訊號 $HC(n+2)$ 將補償脈衝 H_1 下拉至預設低電位 VGL 。電晶體 T54 具有第一端、第二端與控制端，電晶體 T54 之控制端係用以接收第 $n-2$ 級時脈訊號 $HC(n-2)$ ，電晶體 T54 之第一端與電晶體 T52 之第二端電性耦接，電晶體 T54 之第二端與電晶體 T53 之第二端及預設低電位 VGL 電性耦接，電晶體 T54 係依據第 $n-2$ 級時脈訊號 $HC(n-2)$ 將補償脈衝 H_1 下拉至預設低電位 VGL 。而電晶體 T55 具有第一端、第二端與控制端，電晶體 T55 之控制端與電晶體 T1 之控制端電性耦接，電晶體 T55 之第一端與電晶體 T51 以及電晶體 T52 之第二端電性耦接，係用以接收前述之補償脈衝 H_1 ，電晶體 T55 之第二端與電容 C1 之另一端電性耦接，係用以將第一端所接收之補償脈衝 H_1 輸出至電容 C1 之另一端，因此電晶體 T55 係用以根據電晶體 T1 之控制端的準位決定是否輸出補償脈衝 H_1 至電容 C1 之另一端，其中第 n 級時脈訊號 $HC(n)$ 之其中一脈衝的致能期間於補償脈衝 H_1 的致能期間內，且補償脈衝 H_1 的致能期間長於脈衝的致能期間，如圖 2 補償脈衝 H_1 所示。

【0015】 以下配合圖 1 及圖 2 說明本發明實施例之運作方法。首先，上拉控制電路 10 之電晶體 T11 將接收之第 $n-2$ 級閘

極脈衝 $G(n-2)$ 輸出為控制訊號 $Q(n)$ ，並將控制訊號 $Q(n)$ 傳送至電晶體 $T1$ 之控制端以據以致能電晶體 $T1$ 。同時，下拉控制電路 30 也接收控制訊號 $Q(n)$ ，當控制訊號 $Q(n)$ 於致能期間時，電晶體 $T32$ 以及電晶體 $T34$ 也相應致能，因此電晶體 $T32$ 將電晶體 $T33$ 之控制端的準位下拉至預設低電位 VGL ，而電晶體 $T34$ 將電晶體 $T33$ 之第二端的準位也下拉至預設低電位 VGL ，也就是下拉控制訊號 $P(n)$ 之準位被下拉至預設低電位 VGL ，因此此時第二下拉電路 40 將不會致能。當電晶體 $T1$ 被致能的同時，電晶體 $T55$ 同時也被致能，此時電晶體 $T55$ 將其第一端所接收之補償脈衝 H_1 傳送至第二端，並透過電容 $C1$ 之另一端將補償脈衝 H_1 補償至電晶體 $T1$ 之控制端，又第 n 級時脈訊號 $HC(n)$ 之其中一脈衝的致能期間於補償脈衝 H_1 的致能期間內，且補償脈衝 H_1 的致能期間長於脈衝的致能期間，因此，如圖 2 所示，控制訊號 $Q(n)$ 因接收補償脈衝 H_1 的補償而在補償脈衝 H_1 致能期間內提高其準位。

【0016】 請參閱圖 3，圖 3 為本發明之實驗數據實施例，其中 X 軸為時間，Y 軸為電壓準位，曲線 301 為經由補償脈衝 H_1 補償後之控制訊號 $Q(n)$ ，曲線 302 為習知之控制訊號 $Q(n)$ ，習知之移位暫存器電路係將第 n 級閘極脈衝 $G(n)$ ，也就是第 n 級時脈訊號 $HC(n)$ 補償至電晶體 $T1$ 之控制端。由圖 2 及圖 3 中可以看出，由於補償脈衝 H_1 的致能期間長於第 n 級時脈訊號 $HC(n)$ 之脈衝的致能期間，又補償脈衝 H_1 的致能期間早於第 n 級時脈訊號 $HC(n)$ 的致能期間，因此曲線 301 早於曲線 302 的時間得到補償，如圖 3 中 A 點所示，又補償脈衝 H_1 持續對控制訊號 $Q(n)$ 進行補償，故曲線 301 較曲線 302 有更高之電壓準位，電晶體 $T1$ 因而具有較佳的充放電能力。此外，由於補償脈衝 H_1

的致能期間長於第 n 級時脈訊號 $HC(n)$ 之脈衝的致能期間，又補償脈衝 H_1 的致能期間晚於第 n 級時脈訊號 $HC(n)$ 的致能期間結束，因此當第一下拉電路20接收到第 $N+2$ 級閘極脈衝 $G(n+2)$ 並開始下拉時，由於控制訊號 $Q(n)$ 因補償脈衝 H_1 的補償具有較高之電壓準位，即圖3中B點所示，即便第一下拉電路20開始執行下拉動作，控制訊號 $Q(n)$ 仍保有一定之準位，因此電晶體T1之跨壓不會快速的降低，使電晶體T1仍保有良好充放電能力，因此第 n 級閘極脈衝 $G(n)$ 可快速的下拉至預設低電壓 VGL ，避免錯誤的閘極線被驅動而發生資料錯充的情況。

【0017】請參閱圖4，圖4為本發明之實驗數據另一實施例，其中X軸為時間，Y軸為電壓準位，曲線401為本發明之第 n 級閘極脈衝 $G(n)$ ，曲線402為習知之第 n 級閘極脈衝 $G(n)$ 。由圖4中可以看出，由於補償後之控制訊號 $Q(n)$ 具有較高之準位，使電晶體T1具有較佳之充放電能力，因此電晶體T1輸出之第 n 級閘極脈衝 $G(n)$ ，也就是曲線401較曲線402快速的上升至所需之電壓準位，曲線401在進行下拉時也較曲線402快速的下降至預設低電壓 VGL ，因此本發明之移位暫存器電路實施例明顯可增進電晶體T1之充放電能力，使第 n 級閘極脈衝 $G(n)$ 在正確的時間內快速下拉至預設低電壓 VGL ，大幅減少錯誤的閘極線被驅動而發生資料錯充的情況。

【0018】綜以上所述，本發明之移位暫存器電路實施例因具有補償電路，可透過電容輸出補償脈衝至第一電晶體之控制端，又第 n 級時脈訊號之其中一脈衝的致能期間於補償脈衝的致能期間內，且補償脈衝的致能期間係長於脈衝的致能期間，因此電晶體T1之控制端的準位會因補償脈衝而高於習

知的準位，電晶體 T1 之控制端的補償時間更長於習知的補償時間，因此當移位暫存器電路之輸出端以及電晶體 T1 之控制端欲同時穩定於預設低電位時，較高的電壓準位以及較長的補償時間使電晶體 T1 不會因跨壓不足之因素導致充放電能力低落，可快速將輸出端穩定於預設低電位，避免錯誤的閘極線開啟而導致顯示資料錯充的情況發生。

【0019】 惟以上所述，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，凡依本發明申請專利範圍及說明書內容所做之等效變化或修飾，皆仍屬本發明專利涵蓋之範圍內。

【符號說明】

【0020】

T1, T11, T21, T22, T31, T32, T33, T34, T41, T42, T43, T51, T52, T53, T54, T55 電晶體

C1 電容

VGH 預設高電位

VGL 預設低電位

Q(n) 控制訊號

P(n) 下拉控制訊號

G(n-2) 第 n-2 級閘極脈衝

G(n) 第 n 級閘極脈衝

G(n+2) 第 n+2 級閘極脈衝

H₁ 補償脈衝

HC(n) 第 n 級時脈訊號

HC(n-1) 第 n-1 級時脈訊號

HC(n-2)第 n-2 級時脈訊號

HC(n+1)第 n+1 級時脈訊號

HC(n+2)第 n+2 級時脈訊號

10 上拉控制電路

20 第一下拉電路

30 下拉控制電路

40 第二下拉電路

50 補償電路

301、302、401、402 曲線

申請專利範圍

1. 一種移位暫存器電路，其包括：

一第一電晶體，具有一第一端、一第二端與一控制端，該第一端用以接收一第 N 級時脈訊號，而該第二端用以作為該移位暫存器電路之一輸出端，並用以輸出一第 N 級閘極脈衝；

一電容，其一端電性耦接該控制端；

一上拉控制電路，用以接收並傳送一第 N-2 級閘極脈衝至該控制端；

一第一下拉電路，用以依據一第 N+2 級閘極脈衝而決定是否將該輸出端的準位下拉至一預設低電位，以及決定是否將該控制端電性耦接至該輸出端；

一第二下拉電路，用以依據一下拉控制訊號的狀態而決定是否將該控制端電性耦接至該輸出端，以及決定是否將該電容之另一端的準位與該輸出端的準位皆下拉至該預設低電位；

一下拉控制電路，用以提供該下拉控制訊號，並依據該控制端之準位來決定該控制訊號之狀態；以及

一補償電路，用以產生一補償脈衝，並用以依據該控制端之準位來決定是否輸出該補償脈衝至該電容之另一端，其中該第 N 級時脈訊號之其中一脈衝的致能期間位於該補償脈衝的致能期間內，且該補償脈衝的致能期間係長於該脈衝的致能期間。

2. 如請求項 1 所述之移位暫存器電路，其中該補償電路

包括：

一 第二電晶體，具有一第一端、一第二端與一控制端，該第二電晶體之該控制端用以接收一第 $N+1$ 級時脈訊號，該第二電晶體之該第一端係用以接收一預設高電位；

一 第三電晶體，具有一第一端、一第二端與一控制端，該第三電晶體之該控制端用以接收一第 $N-1$ 級時脈訊號，該第三電晶體之該第一端與該第二電晶體之該第一端電性耦接，該第三電晶體之該第二端與該第二電晶體之該第二端電性耦接，並用以輸出該補償脈衝；

一 第四電晶體，具有一第一端、一第二端與一控制端，該第四電晶體之該控制端係用以接收一第 $N+2$ 級時脈訊號，該第四電晶體之該第一端與該第二電晶體之該第二端電性耦接；

一 第五電晶體，具有一第一端、一第二端與一控制端，該第五電晶體之該控制端係用以接收一第 $N-2$ 級時脈訊號，該第五電晶體之該第一端與該第二電晶體之該第二端電性耦接，該第五電晶體之該第二端與該第四電晶體之該第二端及該預設低電位電性耦接；以及

一 第六電晶體，具有一第一端、一第二端與一控制端，該第六電晶體之該控制端與該第一電晶體之該控制端電性耦接，該第六電晶體之該第一端與該第二電晶體之該第二端電性耦接，該第六電晶體之該第二端與該電容之另一端電性耦接。

3. 如請求項 2 所述之移位暫存器電路，其中該第 $N-2$ 級時脈訊號、該第 $N-1$ 級時脈訊號、該第 N 級時脈訊號、該

第 N+1 級時脈訊號、以及該第 N+2 級時脈訊號具有相同長度之致能期間。

4.如請求項 3 所述之移位暫存器電路，其中該第 N-2 級時脈訊號超前該第 N-1 級時脈訊號一預設時間，該第 N-1 級時脈訊號超前該第 N 級時脈訊號該預設時間，該第 N 級時脈訊號超前該第 N+1 級時脈訊號該預設時間，該第 N+1 級時脈訊號超前該第 N+2 級時脈訊號該預設時間。

5.如請求項 1 所述之移位暫存器電路，其中該上拉控制電路包括：

一第二電晶體，具有一第一端、一第二端、以及一控制端，該第二電晶體之該控制端及該第一端用以接收該第 N-2 級閘極脈衝，該第二電晶體之該第二端與該第一電晶體之該控制端電性耦接。

6.如請求項 1 所述之移位暫存器電路，其中該第一下拉電路包括：

一第二電晶體，具有一第一端、一第二端、以及一控制端，該第二電晶體之該控制端用以接收該第 N+2 級閘極脈衝，該第二電晶體之該第一端係用以與該第一電晶體之該控制端電性耦接，該第二電晶體之該第二端係用以與該輸出端電性耦接；以及

一第三電晶體，具有一第一端、一第二端、以及一控制端，該第三電晶體之該控制端係用以接收該第 N+2 級閘極脈衝，該第三電晶體之該第一端與該輸出端電性耦接，該第三

電晶體之該第二端與該預設低電位電性耦接。

7.如請求項 1 所述之移位暫存器電路，其中該第二下拉電路包括：

一第二電晶體，具有一第一端、一第二端、以及一控制端，該第二電晶體之該控制端係用以接收該下拉控制訊號，該第二電晶體之該第一端係用以與該第一電晶體之該控制端電性耦接，該第二電晶體之該第二端係用以與該輸出端電性耦接；

一第三電晶體，具有一第一端、一第二端、以及一控制端，該第三電晶體之該控制端係用以接收該下拉控制訊號，該第三電晶體之該第一端與該輸出端電性耦接，該第三電晶體之該第二端與該預設低電位電性耦接；以及

一第四電晶體，具有一第一端、一第二端、以及一控制端，該第四電晶體之該控制端係用以接收該下拉控制訊號，該第四電晶體之該第一端與該電容之另一端電性耦接，其第四電晶體之該第二端係用以與該預設低電位電性耦接。

8.如請求項 1 所述之移位暫存器電路，其中該下拉控制電路包括：

一第二電晶體，具有一第一端、一第二端、以及一控制端，該第二電晶體之該控制端及該第一端係用以接收該預設高電位；

一第三電晶體，具有一第一端、一第二端、以及一控制端，該第三電晶體之該控制端與該第二電晶體之該第二端電性耦接，該第三電晶體之該第一端與該第二電晶體之該控制

端及該第二電晶體之該第一端電性耦接，該第三電晶體之該第二端用以輸出該下拉控制訊號；

一第四電晶體，具有一第一端、一第二端、以及一控制端，該第四電晶體之該控制端係用以與該第一電晶體之該控制端電性耦接，該第四電晶體之該第一端係用以與該第二電晶體之該第二端以及該第三電晶體之該控制端電性耦接，該第四電晶體之該第二端係用以與該預設低電位電性耦接；以及

一第五電晶體，具有一第一端、一第二端、以及一控制端，該第五電晶體之該控制端係用以與該第四電晶體之該控制端電性耦接，該第五電晶體之該第一端係與該第三電晶體之該第二端電性耦接，該第五電晶體之該第二端係用以與該預設低電位電性耦接。

圖式

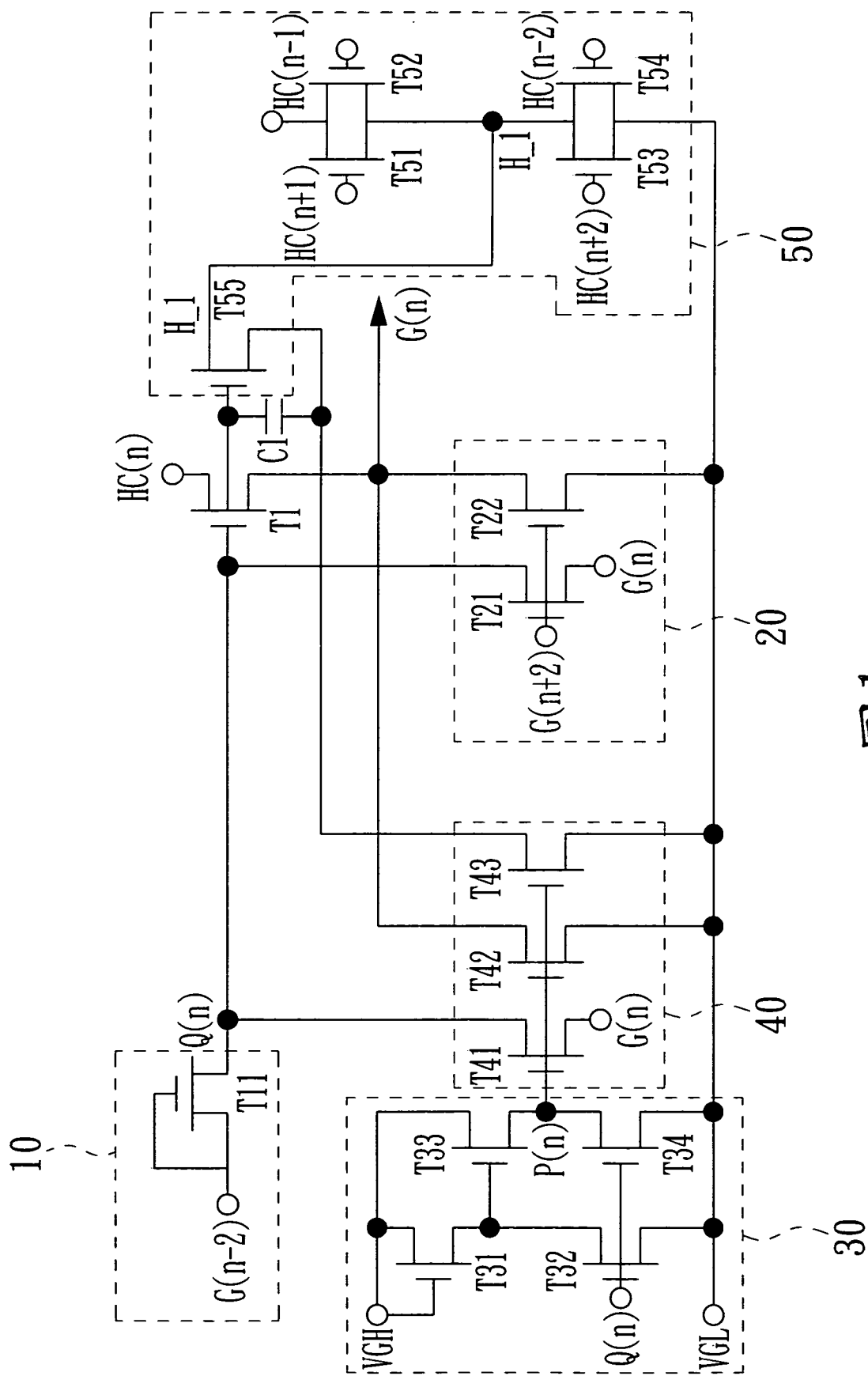


圖1

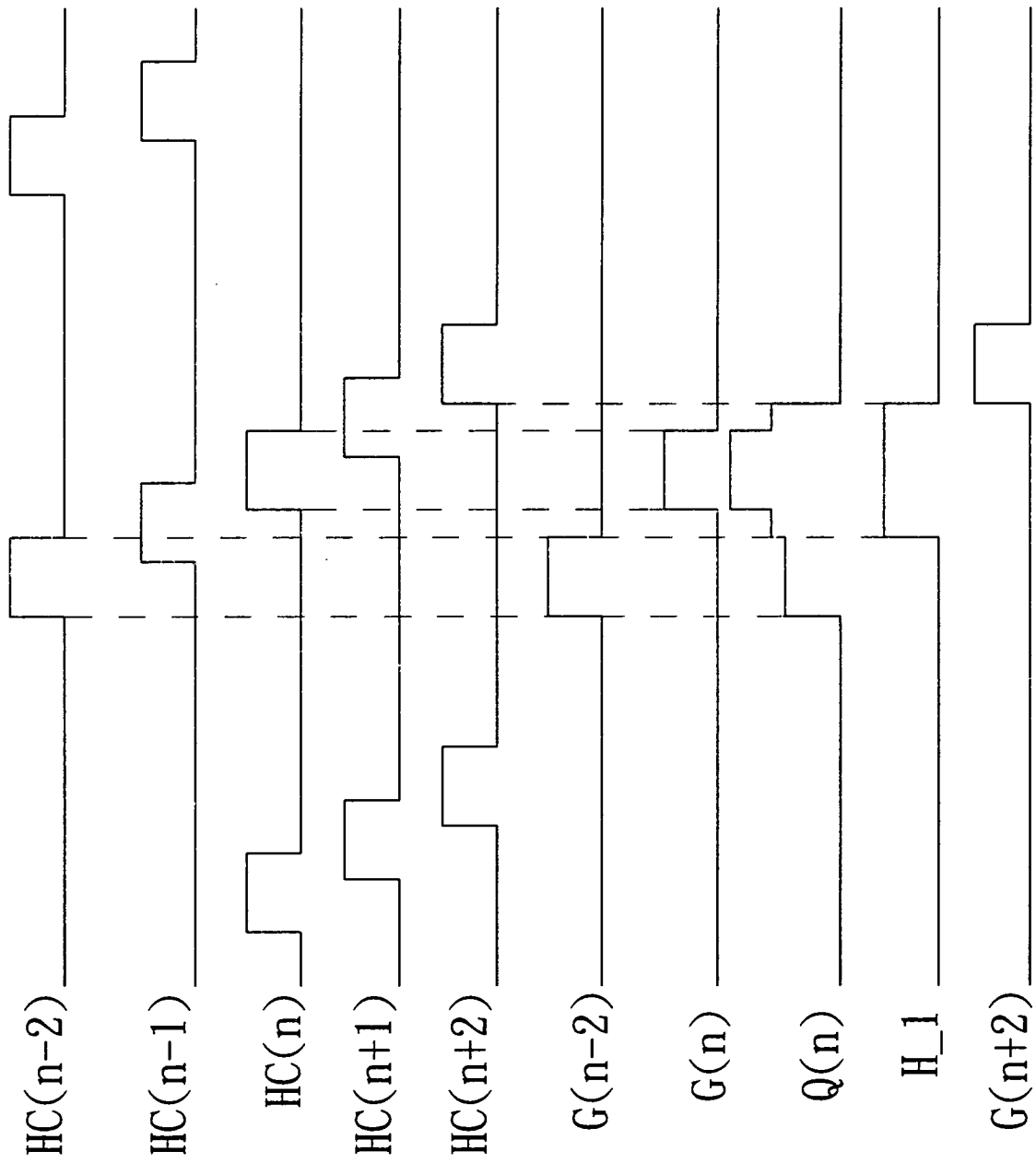


圖2

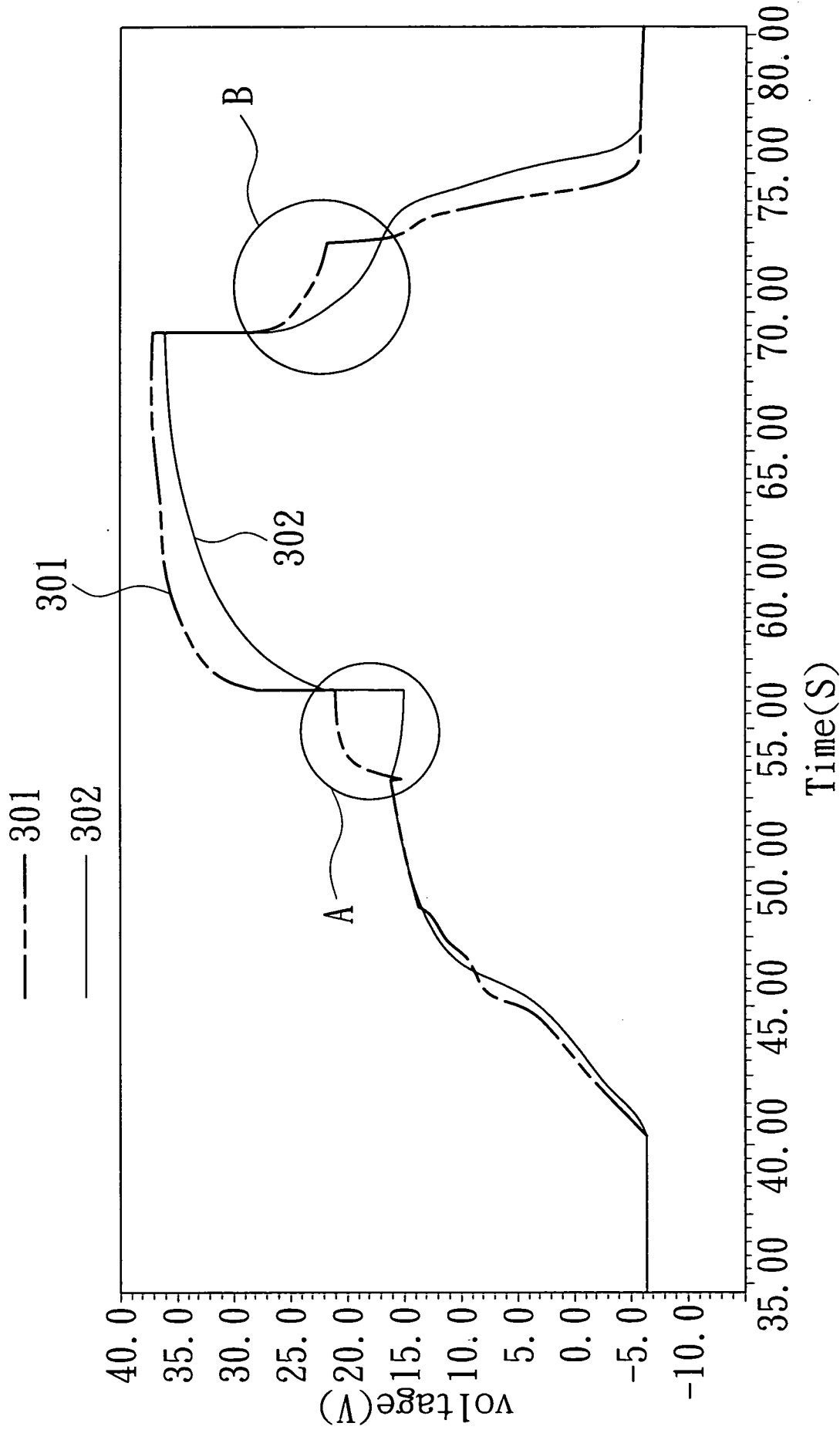


圖3

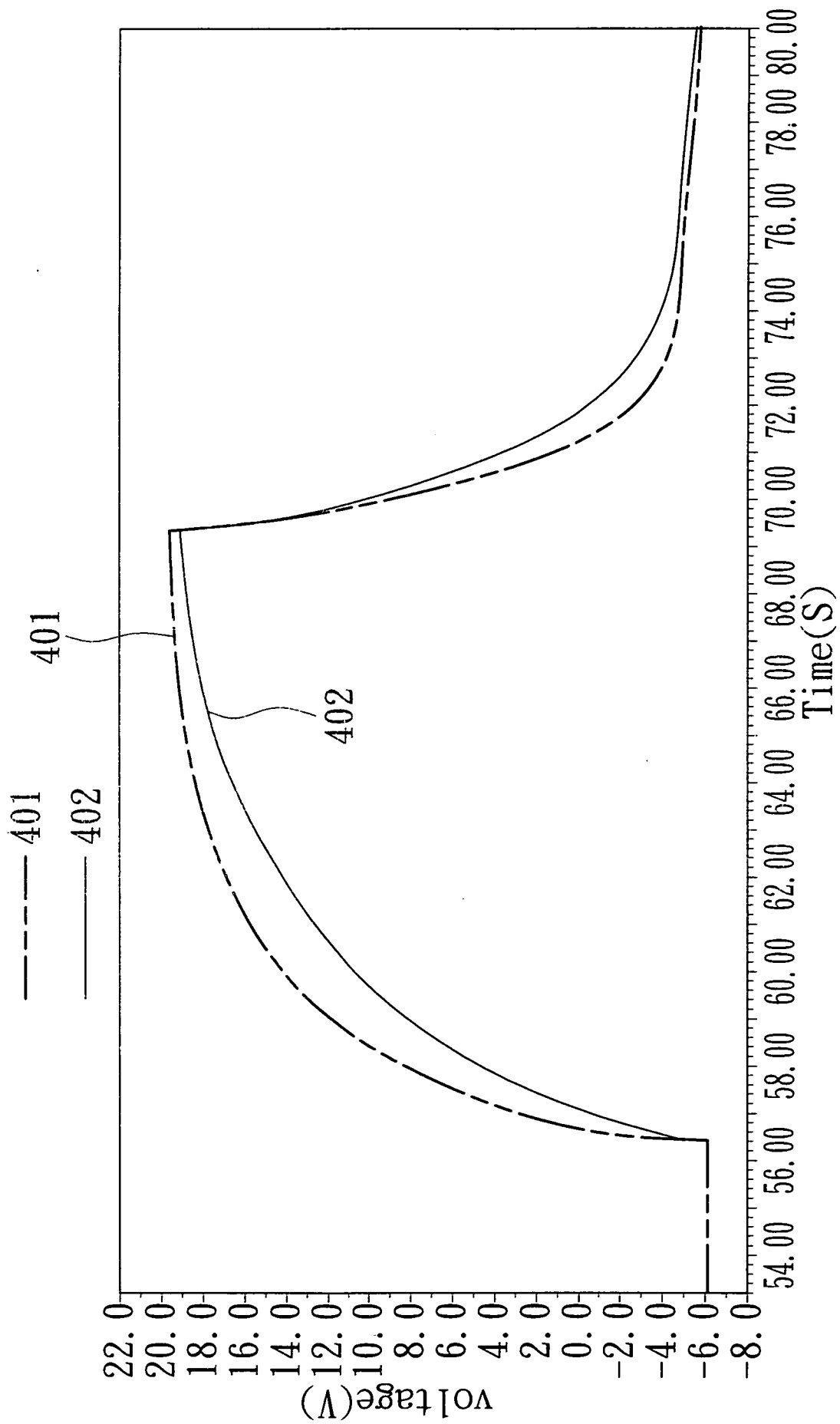


圖4

