



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0124527  
(43) 공개일자 2009년12월03일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2008-0050802

(22) 출원일자 2008년05월30일

심사청구일자 2008년05월30일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

정종한

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

김광숙

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

(뒷면에 계속)

(74) 대리인

신영무

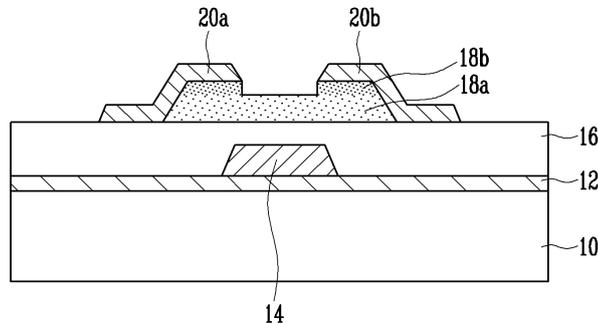
전체 청구항 수 : 총 18 항

**(54) 박막 트랜지스터, 그의 제조 방법 및 박막 트랜지스터를 구비하는 평판 표시 장치**

**(57) 요약**

본 발명은 산화물 반도체를 활성층으로 하는 박막 트랜지스터, 그의 제조 방법 및 박막 트랜지스터를 구비하는 평판 표시 장치에 관한 것으로, 본 발명의 박막 트랜지스터는 기판 상에 형성된 게이트 전극, 게이트 절연막에 의해 게이트 전극과 절연되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 산화물 반도체층, 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극, 그리고 소스 영역 및 드레인 영역과 소스 전극 및 드레인 전극 사이에 개재된 오믹 접촉층을 포함하며, 오믹 접촉층이 소스 영역 및 드레인 영역보다 캐리어 농도가 높은 산화물 반도체층으로 이루어진다.

**대표도** - 도1



(72) 발명자

**정재경**

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙  
연구소

**양희원**

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙  
연구소

**모연곤**

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙  
연구소

## 특허청구의 범위

### 청구항 1

기관;

상기 기관 상에 형성된 게이트 전극;

게이트 절연막에 의해 상기 게이트 전극과 절연되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 산화물 반도체층;

상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극; 및

상기 소스 영역 및 드레인 영역과 상기 소스 전극 및 드레인 전극 사이에 개재된 오믹 접촉층을 포함하며,

상기 오믹 접촉층이 상기 소스 영역 및 드레인 영역보다 캐리어 농도가 높은 산화물 반도체층으로 이루어진 박막 트랜지스터.

### 청구항 2

제 1 항에 있어서, 상기 산화물 반도체층 및 상기 오믹 접촉층이 산화아연(ZnO)을 주성분으로 하는 박막 트랜지스터.

### 청구항 3

제 2 항에 있어서, 상기 산화물 반도체층 및 상기 오믹 접촉층에 인듐(In), 갈륨(Ga) 및 스테늄(Sn) 중 적어도 하나의 이온이 도핑된 박막 트랜지스터.

### 청구항 4

제 1 항에 있어서, 상기 산화물 반도체층의 캐리어 농도는  $1e+13$  내지  $1e+17\#/cm^3$ 이고, 상기 오믹 접촉층의 캐리어 농도는  $1e+19$  내지  $1e+21\#/cm^3$ 인 박막 트랜지스터.

### 청구항 5

기관 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 포함하는 상부에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 채널 영역, 소스 영역 및 드레인 영역을 제공하는 산화물 반도체층을 형성하되, 상기 산화물 반도체층의 표면에 상기 소스 영역 및 드레인 영역보다 캐리어 농도가 높은 오믹 접촉층이 형성되도록 하는 단계;

상기 오믹 접촉층을 통해 상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극을 형성하는 단계; 및

상기 소스 전극 및 드레인 전극 사이의 상기 오믹 접촉층을 제거하는 단계를 포함하는 박막 트랜지스터의 제조 방법.

### 청구항 6

제 5 항에 있어서, 상기 산화물 반도체층을 산화아연(ZnO)으로 형성하는 박막 트랜지스터의 제조 방법.

### 청구항 7

제 6 항에 있어서, 상기 산화물 반도체층에 인듐(In), 갈륨(Ga) 및 스테늄(Sn) 중 적어도 하나의 이온이 도핑된 박막 트랜지스터의 제조 방법.

### 청구항 8

제 5 항에 있어서, 상기 오믹 접촉층은 상기 산화물 반도체층을 형성하는 과정에서 산소 분압을 감소시킴으로써 형성되도록 하는 박막 트랜지스터의 제조 방법.

**청구항 9**

제 5 항에 있어서, 상기 오믹 접촉층은 상기 산화물 반도체층의 표면부를 플라즈마 처리하여 형성되도록 하는 박막 트랜지스터의 제조 방법.

**청구항 10**

제 5 항에 있어서, 상기 산화물 반도체층의 캐리어 농도는  $1e+13$  내지  $1e+17\#/cm^2$ 가 되도록 하고, 상기 오믹 접촉층의 캐리어 농도는  $1e+19$  내지  $1e+21\#/cm^2$ 가 되도록 하는 박막 트랜지스터의 제조 방법.

**청구항 11**

다수의 제 1 도전선과 제 2 도전선에 의해 다수의 화소가 정의되고, 각 화소로 공급되는 신호를 제어하는 박막 트랜지스터 및 박막 트랜지스터와 연결된 제 1 전극이 형성된 제 1 기판;

제 2 전극이 형성된 제 2 기판; 및

상기 제 1 전극과 제 2 전극 사이의 밀봉된 공간에 주입된 액정층을 포함하며,

상기 박막 트랜지스터는 상기 제 1 기판 상에 형성된 게이트 전극;

게이트 절연막에 의해 상기 게이트 전극과 절연되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 산화물 반도체층;

상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극; 및

상기 소스 영역 및 드레인 영역과 상기 소스 전극 및 드레인 전극 사이에 개재된 오믹 접촉층을 포함하고,

상기 오믹 접촉층이 상기 소스 영역 및 드레인 영역보다 캐리어 농도가 높은 산화물 반도체층으로 이루어진 박막 트랜지스터를 구비하는 평판 표시 장치.

**청구항 12**

제 11 항에 있어서, 상기 산화물 반도체층 및 상기 오믹 접촉층이 산화아연(ZnO)을 주성분으로 하는 박막 트랜지스터를 구비하는 평판 표시 장치.

**청구항 13**

제 12 항에 있어서, 상기 산화물 반도체층 및 상기 오믹 접촉층에 갈륨(Ga), 인듐(In) 및 스테늄(Sn) 중 적어도 하나의 이온이 도핑된 박막 트랜지스터를 구비하는 평판 표시 장치.

**청구항 14**

제 11 항에 있어서, 상기 산화물 반도체층의 캐리어 농도는  $1e+13$  내지  $1e+17\#/cm^2$ 이고, 상기 오믹 접촉층의 캐리어 농도는  $1e+19$  내지  $1e+21\#/cm^2$ 인 박막 트랜지스터를 구비하는 평판 표시 장치.

**청구항 15**

제 1 전극, 유기 박막층 및 제 2 전극으로 이루어진 유기전계발광 소자와, 상기 유기전계발광 소자의 동작을 제어하기 위한 박막 트랜지스터가 형성된 제 1 기판; 및

상기 제 1 기판에 대향되도록 배치된 제 2 기판을 포함하며,

상기 박막 트랜지스터는 상기 제 1 기판 상에 형성된 게이트 전극;

게이트 절연막에 의해 상기 게이트 전극과 절연되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 산화물 반도체층;

상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극; 및

상기 소스 영역 및 드레인 영역과 상기 소스 전극 및 드레인 전극 사이에 개재된 오믹 접촉층을 포함하고,

상기 오믹 접촉층이 상기 소스 영역 및 드레인 영역보다 캐리어 농도가 높은 산화물 반도체층으로 이루어진 박

막 트랜지스터를 구비하는 평판 표시 장치.

**청구항 16**

제 15 항에 있어서, 상기 산화물 반도체층 및 상기 오믹 접촉층이 산화아연(ZnO)을 주성분으로 하는 박막 트랜지스터를 구비하는 평판 표시 장치.

**청구항 17**

제 16 항에 있어서, 상기 산화물 반도체층 및 상기 오믹 접촉층에 갈륨(Ga), 인듐(In) 및 스테늄(Sn) 중 적어도 하나의 이온이 도핑된 박막 트랜지스터를 구비하는 평판 표시 장치.

**청구항 18**

제 16 항에 있어서, 상기 산화물 반도체층의 캐리어 농도는  $1e+13$  내지  $1e+17\#/cm^3$ 이고, 상기 오믹 접촉층의 캐리어 농도는  $1e+19$  내지  $1e+21\#/cm^3$ 인 박막 트랜지스터를 구비하는 평판 표시 장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 박막 트랜지스터, 그의 제조 방법 및 박막 트랜지스터를 구비하는 평판 표시 장치에 관한 것으로, 보다 상세하게는 산화물 반도체를 활성층으로 하는 박막 트랜지스터, 그의 제조 방법 및 박막 트랜지스터를 구비하는 평판 표시 장치에 관한 것이다.

**배경기술**

- <2> 일반적으로 박막 트랜지스터(Thin Film Transistor)는 채널 영역, 소스 영역 및 드레인 영역을 제공하는 활성층과, 채널 영역 상부에 형성되며 게이트 절연막에 의해 활성층과 전기적으로 절연되는 게이트 전극으로 이루어진다.
- <3> 이와 같이 이루어진 박막 트랜지스터의 활성층은 대개 비정질 실리콘(Amorphous Silicon)이나 폴리 실리콘(Poly-Silicon)과 같은 반도체 물질로 형성되는데, 활성층이 비정질 실리콘으로 형성되면 이동도(mobility)가 낮아 고속으로 동작되는 구동 회로의 구현이 어려우며, 폴리 실리콘으로 형성되면 이동도는 높지만 문턱전압이 불균일하여 별도의 보상 회로가 부가되어야 하는 문제점이 있다.
- <4> 또한, 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS)을 이용한 종래의 박막 트랜지스터 제조 방법은 레이저 열처리 등과 같은 고가의 공정이 포함되고 특성 제어가 어렵기 때문에 대면적의 기판에 적용이 어려운 문제점이 있다.
- <5> 이러한 문제점을 해결하기 위해 최근에는 산화물 반도체를 활성층으로 이용하는 연구가 진행되고 있다.
- <6> 일본공개특허 2004-273614호에는 산화아연(Zinc Oxide; ZnO) 또는 산화아연(ZnO)을 주성분으로 하는 산화물 반도체를 활성층으로 이용한 박막 트랜지스터가 개시되어 있다.
- <7> 산화아연(ZnO)을 주성분으로 하는 산화물 반도체는 비정질 형태이면서 안정적인 재료로서 평가되고 있으며, 이러한 산화물 반도체를 활성층으로 이용하면 기존의 저온 폴리 실리콘(LTPS) 공정으로 박막 트랜지스터를 제조할 수 있고, 300℃ 이하의 저온에서도 공정이 가능해진다.
- <8> 그러나 산화아연(ZnO)을 주성분으로 하는 산화물 반도체를 소자에 적용하기 위해서는 전기적 특성을 만족시킬 수 있는 공정 개발 및 특성 개선이 요구되는 실정이며, 소스 및 드레인 영역과 금속 전극의 저항성 접촉(ohmic contact)을 형성하기 어려운 문제점이 있다.

**발명의 내용**

**해결하고자하는 과제**

<9> 본 발명의 목적은 산화물 반도체층과 금속 전극의 저항성 접촉을 이룰 수 있는 박막 트랜지스터, 그의 제조 방

법 및 박막 트랜지스터를 구비하는 평판 표시 장치를 제공하는 데 있다.

<10> 본 발명의 다른 목적은 마스크 및 공정 단계를 추가하지 않고 저항성 접촉층을 형성할 수 있는 박막 트랜지스터, 그의 제조 방법 및 박막 트랜지스터를 구비하는 평판 표시 장치를 제공하는 데 있다.

**과제 해결수단**

<11> 상기한 목적을 달성하기 위한 본 발명의 일 측면에 따른 박막 트랜지스터는 기판; 상기 기판 상에 형성된 게이트 전극; 게이트 절연막에 의해 상기 게이트 전극과 절연되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 산화물 반도체층; 상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극; 그리고 상기 소스 영역 및 드레인 영역과 상기 소스 전극 및 드레인 전극 사이에 개재된 오믹 접촉층을 포함하며, 상기 오믹 접촉층이 상기 소스 영역 및 드레인 영역보다 캐리어 농도가 높은 산화물 반도체층으로 이루어진다.

<12> 상기한 목적을 달성하기 위한 본 발명의 다른 일 측면에 따른 박막 트랜지스터의 제조 방법은 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 포함하는 상부에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 채널 영역, 소스 영역 및 드레인 영역을 제공하는 산화물 반도체층을 형성하되, 상기 산화물 반도체층의 표면부에 상기 소스 영역 및 드레인 영역보다 캐리어 농도가 높은 오믹 접촉층이 형성되도록 하는 단계; 상기 오믹 접촉층을 통해 상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극을 형성하는 단계; 그리고 상기 소스 전극 및 드레인 전극 사이의 상기 오믹 접촉층을 제거하는 단계를 포함한다.

<13> 상기한 목적을 달성하기 위한 본 발명의 또 다른 일 측면에 따른 박막 트랜지스터를 구비하는 평판 표시 장치는 다수의 제 1 도전선과 제 2 도전선에 의해 다수의 화소가 정의되고, 각 화소로 공급되는 신호를 제어하는 박막 트랜지스터 및 박막 트랜지스터와 연결된 제 1 전극이 형성된 제 1 기판; 제 2 전극이 형성된 제 2 기판; 및 상기 제 1 전극과 제 2 전극 사이의 밀봉된 공간에 주입된 액정층을 포함하며, 상기 박막 트랜지스터는 상기 제 1 기판 상에 형성된 게이트 전극; 게이트 절연막에 의해 상기 게이트 전극과 절연되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 산화물 반도체층; 상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극; 그리고 상기 소스 영역 및 드레인 영역과 상기 소스 전극 및 드레인 전극 사이에 개재된 오믹 접촉층을 포함하고, 상기 오믹 접촉층이 상기 소스 영역 및 드레인 영역보다 캐리어 농도가 높은 산화물 반도체층으로 이루어진다.

<14> 또한, 상기한 목적을 달성하기 위한 본 발명의 또 다른 일 측면에 따른 박막 트랜지스터를 구비하는 평판 표시 장치는 제 1 전극, 유기 박막층 및 제 2 전극으로 이루어진 유기전계발광 소자와, 상기 유기전계발광 소자의 동작을 제어하기 위한 박막 트랜지스터가 형성된 제 1 기판; 및 상기 제 1 기판에 대향되도록 배치된 제 2 기판을 포함하며, 상기 박막 트랜지스터는 상기 제 1 기판 상에 형성된 게이트 전극; 게이트 절연막에 의해 상기 게이트 전극과 절연되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 산화물 반도체층; 상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극; 그리고 상기 소스 영역 및 드레인 영역과 상기 소스 전극 및 드레인 전극 사이에 개재된 오믹 접촉층을 포함하고, 상기 오믹 접촉층이 상기 소스 영역 및 드레인 영역보다 캐리어 농도가 높은 산화물 반도체층으로 이루어진다.

**효과**

<15> 실리콘(Si) 반도체와 금속 전극의 접촉저항(contact resistance)은 실리콘 반도체의 캐리어 농도에 반비례한다. 그러므로 실리콘 반도체를 활성층으로 하는 박막 트랜지스터의 제조 과정에서는 고농도의 이온을 도핑하여 반도체층의 공핍폭을 감소시킴으로써 캐리어가 에너지 장벽을 쉽게 통과할 수 있도록 한다. 그러나 도핑 방법을 이용하면 마스크 및 공정 단계가 추가되기 때문에 제조 비용이 증가되는 단점이 있다. 최근들어 개발되고 있는 산화물 반도체를 활성층으로 하는 박막 트랜지스터는 제조 공정이 개발되고 있는 실정이며, 산화물 반도체와 금속 전극의 저항성 접촉을 위한 방법에 대해서는 아직 제시된 바 없다.

<16> 본 발명은 산화물 반도체층을 형성하는 과정에서 산소 분압을 증가시키거나, 산화물 반도체층의 표면을 플라즈마 처리하여 표면부에 캐리어 농도가 높은 저항성 접촉층을 형성한다. 비교적 간단한 방법으로 캐리어 농도를 조절하여 저항성 접촉층을 형성하기 때문에 마스크 및 공정 단계를 감소시키는 효과를 얻을 수 있으며, 저저항의 저항성 접촉에 의해 소자의 전기적 특성이 향상될 수 있다.

**발명의 실시를 위한 구체적인 내용**

<17> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이하의 실시예는 이 기술

분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서, 여러 가지 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다.

- <18> 도 1은 본 발명에 따른 박막 트랜지스터를 설명하기 위한 단면도이다.
- <19> 절연물로 이루어진 기판(10) 상에 버퍼층(12)이 형성되고, 버퍼층(12) 상에 게이트 전극(14)이 형성된다. 게이트 전극(14)을 포함하는 상부에는 게이트 절연막(16)에 의해 게이트 전극(14)과 전기적으로 절연되며, 채널 영역, 소스 영역 및 드레인 영역을 제공하는 산화물 반도체층(18a)이 형성되고, 소스 영역 및 드레인 영역의 산화물 반도체층(18a)과 소스 전극(20a) 및 드레인 전극(20b) 사이에는 오믹 접촉층(18b)이 개재된다.
- <20> 산화물 반도체층(18a) 및 오믹 접촉층(18b)은 산화아연(ZnO)을 주성분으로 하는 반도체 물질로 형성되거나, 산화아연(ZnO)을 주성분으로 하는 반도체 물질에 인듐(In), 갈륨(Ga) 및 스테늄(Sn) 중 적어도 하나의 이온이 도핑된 예를 들어, InZnO(IZO), GaInZnO(GIZO) 등으로 형성될 수 있다. 이 때 오믹 접촉층(18b)은 소스 영역 및 드레인 영역의 산화물 반도체층(18a)과 소스 전극 및 드레인 전극(20a 및 20b)의 저항성 접촉을 위해 소스 영역 및 드레인 영역의 산화물 반도체층(18a)보다 높은 캐리어 농도를 갖는다. 예를 들어, 산화물 반도체층(18a)은  $1e+13$  내지  $1e+17\#/cm^2$ 의 캐리어 농도를 가지며, 오믹 접촉층(18b)은  $1e+19$  내지  $1e+21\#/cm^2$ 의 캐리어 농도를 갖는다.
- <21> 도 2a 내지 도 2e는 본 발명에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 단면도로서, 제조 과정을 통해 본 발명의 박막 트랜지스터를 보다 상세히 설명한다.
- <22> 도 2a를 참조하면, 절연물로 이루어진 기판(10) 상에 버퍼층(12)을 형성한다. 버퍼층(12) 상에 게이트 전극(14)을 형성하고, 게이트 전극(14)을 포함하는 상부에 게이트 절연막(16)을 형성한다. 게이트 전극(14)은 Mo, MoW, Al 등의 금속으로 형성하고, 게이트 절연막(16)은 실리콘 산화막( $SiO_2$ )이나 실리콘 질화막( $SiN_x$ )으로 형성한다.
- <23> 도 2b를 참조하면, 게이트 전극(14)과 중첩되도록 게이트 절연막(16) 상부에 채널 영역, 소스 영역 및 드레인 영역을 포함하는 산화물 반도체층(18a)을 형성한다. 산화물 반도체층(18a)은 산화아연(ZnO)을 주성분으로 하는 반도체 물질로 형성하거나, 산화아연(ZnO)을 주성분으로 하는 반도체 물질에 인듐(In), 갈륨(Ga) 및 스테늄(Sn) 중 적어도 하나의 이온이 도핑된 예를 들어, InZnO(IZO), GaInZnO(GIZO) 등으로 형성한다.
- <24> GIZO층을 형성하는 실시예로서, 두 개 또는 두 개 이상의 타겟(target)을 사용하는 코스퍼터링(co-sputtering) 방법이나, 펄스 레이저 증착(pulse laser deposition) 방법을 이용할 수 있다. 타겟으로는 GaInZnO, InZnO,  $Ga_2O_3$  등을 사용하고, 타겟으로부터 In, Ga 및 Zn을 포함하는 이온이 증착되어  $1e+13$  내지  $1e+17\#/cm^2$  정도의 캐리어 농도를 갖는 GIZO층이 형성되도록 한다. 이 때 캐리어 농도는 산소가 차지하는 비중 즉, 산소 분압으로 조절할 수 있는데, 캐리어 농도를  $1e+17\#/cm^2$  이상으로 조절하면 이동도는 증가하지만, 비저항 감소로 인해 오프 상태(off-state)에서 누설전류가 발생한다.
- <25> 도 3은 산소 분압(Oxygen partial pressure)에 따른 산화물 반도체층의 캐리어 농도(Carrier concentration) 변화를 도시한 그래프로서, 증착 과정에서 산소 분압을 예를 들어, 30 내지 90%로 조절하면  $1e+13$  내지  $1e+17\#/cm^2$ 의 캐리어 농도를 갖는 반도체 특성의 비정질 산화물 반도체층(IZO, GIZO)을 형성할 수 있다. 산소 분압에 따른 캐리어 농도의 변화에 대해서는 논문(H. Hosono, 'Non-crystalline solide', 2006)을 참조할 수 있다.
- <26> 도 2c를 참조하면, 산화물 반도체층(18a)의 표면에 소스 및 드레인 영역의 산화물 반도체층(18a)보다 캐리어 농도가 높은 오믹 접촉층(18b)을 형성한다.
- <27> 오믹 접촉층(18b)을 형성하는 일 실시예로서, 오믹 접촉층(18b)을 산화물 반도체층(18a)과 동시에 형성할 수 있다. 도 2b와 같이 산화물 반도체층(18a)을 형성하는 과정에서 산소 분압을 감소시키면 소스 및 드레인 영역의 산화물 반도체층(18a)보다 캐리어 농도가 높은 오믹 접촉층(18b)을 형성할 수 있다.
- <28> 산소 분압을 증가시키면 반응성 스퍼터링(reactive sputtering)에 의해 박막 내의 산소( $O_2$ ) 원소의 함유량이 증가되는데, 박막 내에서 하나의 산소 원소는 두 개의 전자와 결합을 이루기 때문에 캐리어 농도는 감소하게 된다. 따라서 이와 같은 원리를 이용하여 산소 분압을 감소시킴으로써 캐리어 농도를 증가시킬 수 있다. GIZO의 경우 산소 분압으로 캐리어 농도를 조절하여 반도체 특성에서 준도체 특성으로 변화시키거나, 캐리어 농도를 깊이에 따라 변화시킬 수 있다.
- <29> 또한, 오믹 접촉층(18b)을 형성하는 다른 실시예로서, 산화물 반도체층(18a)을 형성한 후 오믹 접촉층(18b)을

형성한다. 도 2b와 같이 산화물 반도체층(18a)을 형성한 후 도 2d와 같이 산화물 반도체층(18a)의 표면을 플라즈마(plasma) 처리하여 오믹 접촉층(18b)을 형성한다.

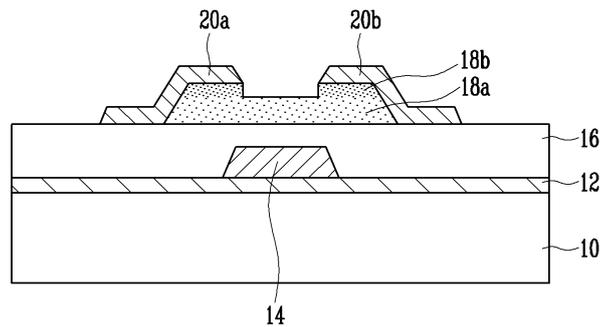
- <30> 산화물 반도체층(18a)의 표면부가 아르곤(Ar) 등의 플라즈마에 노출되면 표면 격자가 파괴되어 산소 결함(deficiency)이 발생되고, 산소 결함에 의해 캐리어 농도가 증가됨으로써  $1e+19$  내지  $1e+21\#/cm^3$  정도의 캐리어 농도를 갖는 준도체 특성의 오믹 접촉층(18b)이 형성된다.
- <31> 도 2e를 참조하면, 전체 상부면에 Mo, MoW, Al, AlAd, AlLiLa 등의 금속으로 도전층을 형성한 후 패터닝하여 오믹 접촉층(18b)을 통해 소스 및 드레인 영역의 산화물 반도체층(18a)과 연결되는 소스 전극 및 드레인 전극(20a 및 20b)을 형성하고, 소스 전극 및 드레인 전극(20a 및 20b) 사이의 노출된 오믹 접촉층(18b)을 제거한다. 소스 전극 및 드레인 전극(20a 및 20b) 사이의 오믹 접촉층(18b)은 소스 전극 및 드레인 전극(20a 및 20b)을 패터닝하기 위한 식각 과정에서 과도 식각(over etch)을 통해 제거할 수 있다. 이와 같이 노출된 부분의 오믹 접촉층(18b)을 과도 식각을 통해 제거하면 마스크 및 공정 단계를 감소시킬 수 있는 효과를 얻을 수 있다.
- <32> 본 발명의 박막 트랜지스터는 액정 표시 장치나 유기전계발광 표시 장치와 같은 평판 표시 장치에 응용될 수 있다.
- <33> 도 4는 본 발명에 따른 박막 트랜지스터를 구비하는 평판 표시 장치의 일 실시예를 설명하기 위한 사시도로서, 화상을 표시하는 표시 패널(100)을 중심으로 개략적으로 설명한다.
- <34> 표시 패널(100)은 대향하도록 배치된 두 개의 기관(110 및 120)과, 두 개의 기관(110 및 120) 사이에 개재된 액정층(130)으로 이루어지며, 기관(110)에 매트릭스 형태로 배열된 다수의 게이트 선(111)과 데이터 선(112)에 의해 화소 영역(113)이 정의된다. 그리고 게이트 선(111)과 데이터 선(112)이 교차되는 부분의 기관(110)에는 각 화소로 공급되는 신호를 제어하는 박막 트랜지스터(114) 및 박막 트랜지스터(114)와 연결된 화소 전극(115)이 형성된다.
- <35> 박막 트랜지스터(114)는 도 1과 같은 구조를 가지며, 도 2a 내지 도 2e를 참조하여 설명한 본 발명의 제조 방법에 따라 제조될 수 있다.
- <36> 또한, 기관(120)에는 컬러필터(121) 및 공통전극(122)이 형성된다. 그리고 기관(110 및 120)의 배면에는 편광판(116 및 123)이 각각 형성되며, 편광판(116)의 하부에는 광원으로서 백 라이트(도시안됨)가 배치된다.
- <37> 한편, 표시 패널(100)의 화소 영역(113) 주변에는 표시 패널(100)을 구동시키기 위한 구동부(LCD Drive IC; 도시안됨)가 실장된다. 구동부는 외부로부터 제공되는 전기적 신호를 주사 신호 및 데이터 신호로 변환하여 게이트 선과 데이터 선으로 공급한다.
- <38> 도 5a 및 도 5b는 본 발명에 따른 박막 트랜지스터를 구비하는 평판 표시 장치의 다른 실시예를 설명하기 위한 평면도 및 단면도로서, 화상을 표시하는 표시 패널(200)을 중심으로 개략적으로 설명한다.
- <39> 도 5a를 참조하면, 기관(210)은 화소 영역(220)과, 화소 영역(220)을 둘러싸는 비화소 영역(230)으로 정의된다. 화소 영역(220)의 기관(210)에는 주사 라인(224) 및 데이터 라인(226) 사이에 매트릭스 방식으로 연결된 다수의 유기전계발광 소자(300)가 형성되고, 비화소 영역(230)의 기관(210)에는 화소 영역(220)의 주사 라인(224) 및 데이터 라인(226)으로부터 연장된 주사 라인(224) 및 데이터 라인(226), 유기전계발광 소자(300)의 동작을 위한 전원공급 라인(도시안됨) 그리고 패드(228)를 통해 외부로부터 제공된 신호를 처리하여 주사 라인(224) 및 데이터 라인(226)으로 공급하는 주사 구동부(234) 및 데이터 구동부(236)가 형성된다.
- <40> 도 6을 참조하면, 유기전계발광 소자(300)는 애노드 전극(317) 및 캐소드 전극(320)과, 애노드 전극(317) 및 캐소드 전극(320) 사이에 형성된 유기 박막층(319)으로 이루어진다. 유기 박막층(319)은 정공 수송층, 유기발광층 및 전자 수송층이 적층된 구조로 형성되며, 정공 주입층과 전자 주입층이 더 포함될 수 있다. 또한, 유기전계발광 소자(300)의 동작을 제어하기 위한 박막 트랜지스터와 신호를 유지시키기 위한 캐패시터가 더 포함될 수 있다.
- <41> 박막 트랜지스터는 도 1과 같은 구조를 가지며, 도 2a 내지 도 2e를 참조하여 설명한 본 발명의 제조 방법에 따라 제조될 수 있다.
- <42> 상기와 같이 구성된 박막 트랜지스터를 포함하는 유기전계발광 소자(300)를 도 5a 및 도 6을 통해 보다 상세히 설명하면 다음과 같다.
- <43> 기관(210) 상에 버퍼층(12)이 형성되고, 화소 영역(220)의 버퍼층(12) 상에 게이트 전극(14)이 형성된다. 이 때



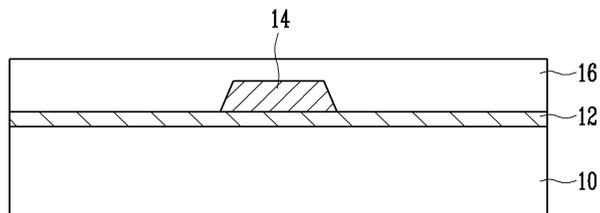
- |      |                 |                |
|------|-----------------|----------------|
| <60> | 100, 200: 표시 패널 | 111: 게이트 선     |
| <61> | 112: 데이터 선      | 113: 화소 영역     |
| <62> | 114: 박막 트랜지스터   | 115: 화소 전극     |
| <63> | 116, 123: 편광판   | 121: 컬러필터      |
| <64> | 122: 공통전극       | 130: 액정층       |
| <65> | 220: 화소 영역      | 224: 주사 라인     |
| <66> | 226: 데이터 라인     | 228: 패드        |
| <67> | 230: 비화소 영역     | 234: 주사 구동부    |
| <68> | 236: 데이터 구동부    | 300: 유기전계발광 소자 |
| <69> | 316: 평탄화막       | 317: 애노드 전극    |
| <70> | 318: 화소 정의막     | 319: 유기 박막층    |
| <71> | 320: 캐소드 전극     | 400: 봉지 기판     |
| <72> | 410: 밀봉재        |                |

**도면**

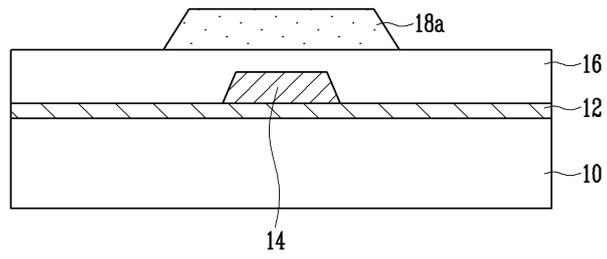
**도면1**



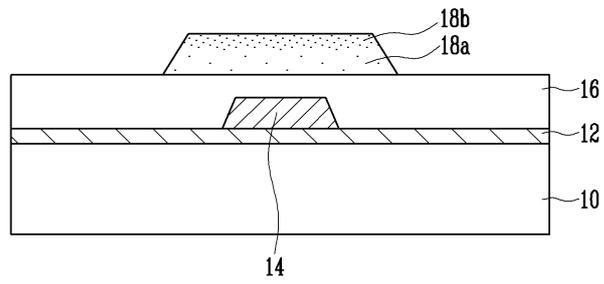
**도면2a**



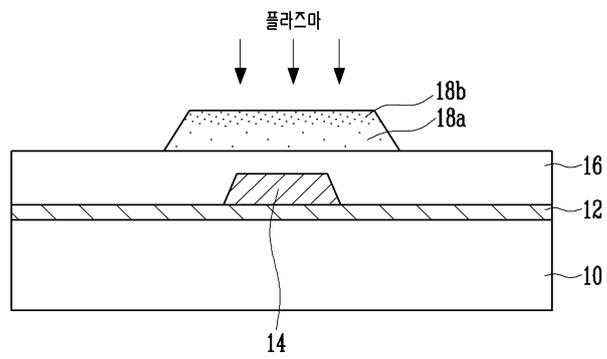
도면2b



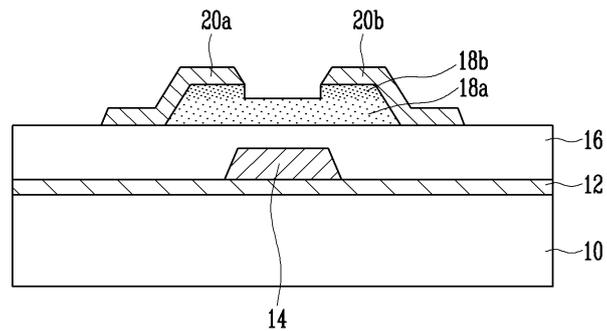
도면2c



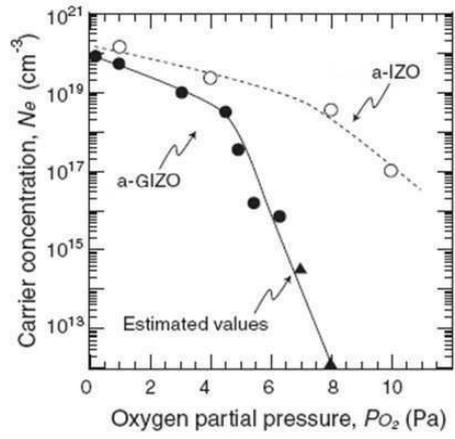
도면2d



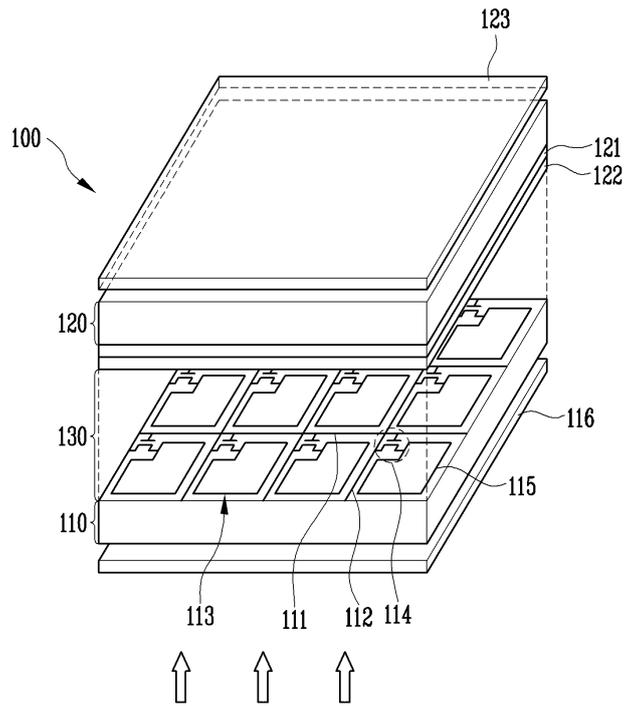
도면2e



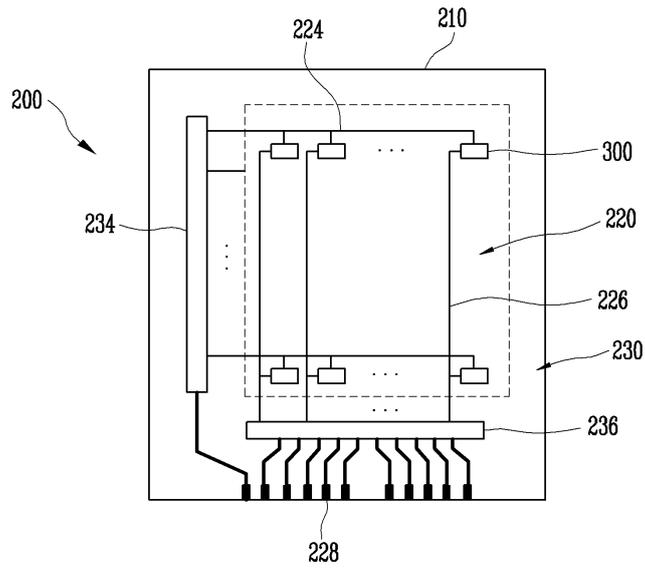
도면3



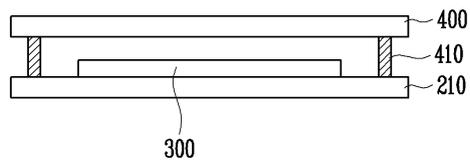
도면4



도면5a



도면5b



도면6

