



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년04월07일  
(11) 등록번호 10-2384484  
(24) 등록일자 2022년04월05일

(51) 국제특허분류(Int. Cl.)  
H01L 21/205 (2006.01)  
(21) 출원번호 10-2014-0193925  
(22) 출원일자 2014년12월30일  
심사청구일자 2019년12월26일  
(65) 공개번호 10-2015-0079470  
(43) 공개일자 2015년07월08일  
(30) 우선권주장  
14/144,107 2013년12월30일 미국(US)  
(56) 선행기술조사문헌  
JP2010539730 A\*  
JP2012506640 A\*  
KR1020130035880 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
램 리써치 코퍼레이션  
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650  
(72) 발명자  
심스 제임스 에스.  
미국, 오리건 97223, 티가드, 사우스웨스트 미셸 코트 13537  
헨리 존  
미국, 오리건 97068, 웨스트 린, 마일즈 드라이브 21330  
(뒷면에 계속)  
(74) 대리인  
특허법인인벤싱크

전체 청구항 수 : 총 24 항

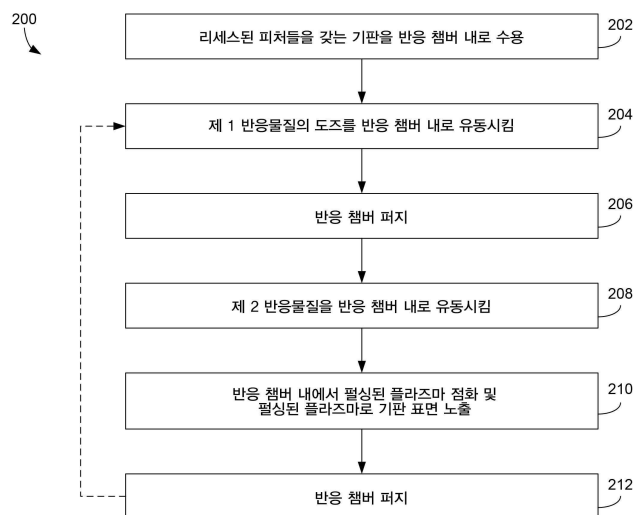
심사관 : 오창석

(54) 발명의 명칭 **펄싱된 플라즈마 노출을 사용하여 플라즈마 강화된 원자층 증착**

(57) 요약

본 명세서의 실시예들은 펄싱된 플라즈마들을 사용하는 PEALD (plasma enhanced atomic layer deposition) 프로세스들에 초점을 둔다. 종래의 PEALD 프로세스는 플라즈마 노출/변환 동작 동안 연속과 플라즈마들을 사용하지만, 본 명세서의 실시예들은 이 동작 동안 고품질 층벽들을 갖는 막을 달성하기 위해 펄싱된 플라즈마를 활용한다. 종래의 PEALD 기법들은 피처의 하단 및 상단에 고품질을 갖지만, 층벽들 상에 저품질층을 갖는 막들을 발생하기 때문에, 개시된 방법들의 증가된 층벽 품질은 종래의 연속과 플라즈마 기법들을 사용하여 달성된 품질에 비해 전체적으로 보다 균일한 품질에 대응한다.

대표도 - 도2a



(72) 발명자

**켈츠너 캐서린 엠.**

미국, 오리건 97209, 포틀랜드, 노스웨스트 에버렛  
스트리트 2081, 에이피티. 303

**잔잠 사티쉬 바부 에스.브이.**

미국, 오리건 97322, 올버니, 녹스 뷰트 로드 이스  
트 3847, 에이피티. 301

**당 섹션**

미국, 오리건 97068, 웨스트 린, 베닝턴 코트  
19763

**명세서**

**청구범위**

**청구항 1**

반도체 기판 표면 상의 껍을 증진하는 방법으로서,

- (a) 반응 챔버 내에 상기 반도체 기판을 갖는 상기 반응 챔버 내로 증기 상의 제 1 반응물질을 도입하고, 상기 제 1 반응물질로 하여금 상기 반도체 기판 표면 상에 흡착되게 하는 단계;
- (b) 상기 제 1 반응물질의 플로우가 중단된 후 상기 반응 챔버를 퍼지하는 단계;
- (c) 상기 제 1 반응물질이 상기 반도체 기판 표면 상에 흡착되는 동안 상기 반응 챔버 내로 증기 상의 제 2 반응물질을 도입하는 단계;
- (d) 상기 껍을 라이닝하는 막층을 형성하도록 상기 반도체 기판 표면 상의 상기 제 1 반응물질과 상기 제 2 반응물질 간의 표면 반응을 일으키기 위해 상기 반도체 기판 표면을 플라즈마에 노출하는 단계로서, 상기 플라즈마는 필싱된 플라즈마인, 상기 노출 단계;
- (e) 상기 플라즈마를 소화 (extinguishing) 하는 단계; 및
- (f) 상기 반응 챔버를 퍼지하는 단계를 포함하는, 껍을 증진하는 방법.

**청구항 2**

제 1 항에 있어서,

상기 반도체 기판 표면을 플라즈마 노출하는 단계 동안 플라즈마 펄스들의 주파수는 25 내지 5000 Hz인, 껍을 증진하는 방법.

**청구항 3**

제 2 항에 있어서,

상기 플라즈마 펄스들의 상기 주파수는 100 내지 500 Hz인, 껍을 증진하는 방법.

**청구항 4**

제 1 항에 있어서,

증착된 막은 질화 실리콘막 또는 실리콘 카보나이트라이드 막인, 껍을 증진하는 방법.

**청구항 5**

제 1 항에 있어서,

상기 증착된 막은 산화물인, 껍을 증진하는 방법.

**청구항 6**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

단계들 (c) 및 (d) 는 적어도 부분적으로, 동시에 발생하는, 껍을 증진하는 방법.

**청구항 7**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 플라즈마는 용량 결합 플라즈마 (capacitively coupled plasma) 또는 유도 결합 플라즈마 (inductively coupled plasma) 인, 껍을 증진하는 방법.

**청구항 8**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,  
상기 플라즈마는 RF 플라즈마 생성기를 사용하여 생성된, 갭을 충전하는 방법.

**청구항 9**

제 8 항에 있어서,  
플라즈마 전력은 50 내지 2500 W/스테이션인, 갭을 충전하는 방법.

**청구항 10**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,  
상기 갭의 측벽의 중간 부분에서의 습식 에칭 레이트 ( $WE_m$ ) 와 상기 갭의 상단에서의 습식 에칭 레이트 ( $WE_t$ ) 및 /또는 상기 갭의 하단에서의 습식 에칭 레이트 ( $WE_b$ ) 간의 비는 0.25 내지 3인, 갭을 충전하는 방법.

**청구항 11**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,  
수직으로 측정될 때, 상기 갭의 중간 부분에서 상기 갭 내에 형성된 상기 막은 1 내지 25 Å/min의 습식 에칭 레이트를 나타내는, 갭을 충전하는 방법.

**청구항 12**

제 11 항에 있어서,  
상기 갭의 측벽에서 탄소:실리콘의 평균 비율은 적어도 0.4인, 갭을 충전하는 방법.

**청구항 13**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,  
상기 막의 조성은 상기 막에 걸쳐서 실질적으로 균일한, 갭을 충전하는 방법.

**청구항 14**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,  
동작들 (a) 내지 (f) 를 반복하는 단계를 더 포함하고, 단계 (d) 의 제 1 반복은 단계 (d) 의 제 2 반복과 상이한 펄스 주파수로 수행되는, 갭을 충전하는 방법.

**청구항 15**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,  
단계들 (a) 내지 (f) 를 반복하는 단계를 더 포함하고, 단계 (d) 의 제 1 반복은 단계 (d) 의 제 2 반복과 상이한 듀티 사이클로 수행되는, 갭을 충전하는 방법.

**청구항 16**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,  
단계들 (a) 내지 (f) 를 반복하는 단계를 더 포함하고, 단계 (d) 의 제 1 반복은 단계 (d) 의 제 2 반복과 상이한 RF 전력으로 수행되는, 갭을 충전하는 방법.

**청구항 17**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,  
상기 필싱된 플라즈마는 온 상태와 오프 상태 사이에서 필싱하는, 갭을 충전하는 방법.

**청구항 18**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 필싱된 플라즈마는 적어도 제 1 전력 상태와 제 2 전력 상태 사이에서 필싱하고, 상기 제 1 전력 상태 동안 전달된 전력은 상기 제 2 전력 상태 동안 전달된 전력과 상이하고,

상기 제 1 전력 상태 또는 상기 제 2 전력 상태 어느 것도 오프 상태에 대응하지 않는, 깎을 충전하는 방법.

**청구항 19**

기관 상에 막들을 증착하기 위한 장치에 있어서,

반응 챔버;

상기 반응 챔버로 가스상의 반응물질들을 전달하기 위한 유입 포트;

상기 반응 챔버로 필싱된 플라즈마를 제공하기 위한 플라즈마 생성기; 및

제어기를 포함하고,

상기 제어기는,

(a) 상기 반응 챔버 내에 증기 상의 제 1 반응물질을 도입하는 동작;

(b) 상기 반응 챔버 내에 증기 상의 제 2 반응물질을 도입하는 동작;

(c) 막을 형성하도록 상기 반도체 기관 표면 상의 상기 제 1 반응물질과 상기 제 2 반응물질 간의 표면 반응을 일으키기 위해 상기 제 1 반응물질의 상기 증기 상의 플로우가 중단될 때 필싱된 플라즈마에 상기 반도체 기관 표면을 노출시키도록 필싱된 플라즈마를 주기적으로 점화하는 동작을 위한 인스트럭션들을 포함하는, 증착 장치.

**청구항 20**

제 19 항에 있어서,

상기 제어기는 동작 (c) 동안 25 내지 5000 Hz의 주파수로 플라즈마를 필싱하기 위한 인스트럭션들을 갖는, 증착 장치.

**청구항 21**

제 20 항에 있어서,

상기 제어기는 동작 (c) 동안 100 내지 500 Hz의 주파수로 플라즈마를 필싱하기 위한 인스트럭션들을 갖는, 증착 장치.

**청구항 22**

제 19 항 내지 제 21 항 중 어느 한 항에 있어서,

상기 제어기는 동작들 (b) 및 (c) 를 적어도 부분적으로 동시에 수행하기 위한 인스트럭션들을 갖는, 증착 장치.

**청구항 23**

제 19 항 내지 제 21 항 중 어느 한 항에 있어서,

상기 제어기는 5 내지 95 %의 플라즈마 듀티 사이클로 동작 (c) 를 수행하기 위한 인스트럭션들을 갖는, 증착 장치.

**청구항 24**

제 19 항 내지 제 21 항 중 어느 한 항에 있어서,

상기 제어기는 동작들 (a) 내지 (c) 를 반복하기 위한 인스트럭션들을 갖고, 상기 제어기는 동작 (c) 의 제 1

반복이 동작 (c) 의 제 2 반복과 상이한 펄스 주파수 및/또는 듀티 사이클 및/또는 RF 전력으로 수행하기 위한 인스트럭션들을 갖는, 증착 장치.

**발명의 설명**

**배경 기술**

- [0001] 관련된 출원의 교차 참조
- [0002] 본 출원은 제목이 “PLASMA ENHANCED ATOMIC LAYER DEPOSITION WITH PULSED PLASMA EXPOSURE” 인 2013년 12월 30일 출원된 미국 특허 출원 번호 제 14/144,107 호의 우선권의 이익을 주장한다.
- [0003] 집적 회로들의 제조는 많은 분기 프로세싱 단계들을 포함한다. 빈번하게 채용되는 동작들 중 하나는 실리콘 기판들 위 또는 내로 패터닝된 피쳐들 간의 갭 내의 유전체 막의 증착이다. 이러한 막을 증착하는 한 방법은 PEALD (plasma enhanced atomic layer deposition) 를 통한 것이다. 이 타입의 방법에서, 몇몇 동작들은 컨포멀 막을 증착하기 위해 주기적인 방식으로 취해진다. 통상적으로, PEALD 프로세스들은 (a) 반응 챔버 내에 제 1 반응 물질의 도즈 (dose) 를 제공하는 단계, (b) 반응 챔버를 퍼지하는 단계, (c) 제 2 반응물질의 플로우를 제공하는 단계, (d) 반응 챔버 내에 연속과 플라즈마를 점화하는 단계, 및 (e) 플라즈마를 소화하고 (extinguishing) 반응 챔버를 퍼지하는 단계들을 포함한다. 반도체 기판 표면 상으로의 전구체 전달/흡착 특성의 결과로서, 단일 사이클의 PEALD 프로세스가 재료의 모노레이어 (monolayer) 를 증착한다. 동작들은 목표된 막 두께들에 도달하기 위해 추가적인 모노레이어들을 증착하기 위해 다수 회 반복될 수도 있다.

**발명의 내용**

- [0004] 본 명세서의 특정한 실시예들은 반도체 또는 다른 기판들 상에 컨포멀 막층들을 증착하는 기법들에 관한 것이다. 본 명세서의 실시예들의 일 양태에서, 반도체 기판 표면 상의 갭을 충전하는 방법으로서, (a) 반응 챔버 내에 반도체 기판을 갖는 반응 챔버 내로 증기 상의 제 1 반응물질을 도입하고, 제 1 반응물질로 하여금 반도체 기판 표면 상에 흡착되게 하는 단계; (b) 제 1 반응물질의 플로우가 중단된 후 반응 챔버를 퍼지하는 단계; (c) 제 1 반응물질이 반도체 기판 표면 상에 흡착되는 동안 반응 챔버 내로 증기 상의 제 2 반응물질을 도입하는 단계; (d) 갭을 라이닝하는 막층을 형성하도록 반도체 기판 표면 상의 제 1 반응물질과 제 2 반응물질 간의 표면 반응을 일으키기 위해 반도체 기판 표면을 플라즈마에 노출하는 단계로서, 플라즈마는 펄싱된 플라즈마인, 노출 단계; (e) 플라즈마를 소화 (extinguishing) 하는 단계; 및 (f) 반응 챔버를 퍼지하는 단계를 포함하는, 반도체 기판 표면 상의 갭을 충전하는 방법이 제공된다.
- [0005] 일부 실시예들에서, 반도체 기판 표면을 플라즈마에 노출하는 동안 플라즈마 펄스들의 주파수는 약 25 내지 5000 Hz이다. 플라즈마 펄스들의 주파수는 약 100 내지 500 Hz일 수도 있다. 일부 경우들에서, 플라즈마 펄스들의 주파수는 적어도 약 25 Hz이고, 예를 들어, 적어도 약 50 Hz 또는 적어도 약 100 Hz 또는 적어도 약 1000 Hz이다. 다양한 상이한 타입들의 막이 개시된 방법들에 따라 증착될 수도 있다. 일부 구현예들에서, 증착된 막은 질화 실리콘막 또는 실리콘 카보나이트라이드 막이다. 일부 경우들에서 막은 산화물일 수도 있다.
- [0006] 특정한 경우들에서, 단계들 (c) 및 (d) 는 적어도 부분적으로, 동시에 발생한다. 상이한 타입들의 플라즈마가 사용될 수도 있다. 일부 실시예들에서, 플라즈마는 용량 결합 플라즈마 (capacitively coupled plasma) 또는 유도 결합 플라즈마 (inductively coupled plasma) 일 수도 있다. 플라즈마는 RF 플라즈마 생성기를 사용하여 생성될 수도 있다. 일부 구현예들에서, 플라즈마 전력은 약 50 내지 2500 W/스테이션일 수도 있다.
- [0007] 개시된 방법은 품질이 매우 균일한 증착된 막을 달성한다. 일부 실시예들에서, 갭의 측벽의 중간 부분에서의 습식 에칭 레이트 (WEm) 와 갭의 상단에서의 습식 에칭 레이트 (WEt) 및/또는 갭의 하단에서의 습식 에칭 레이트 (WEb) 간의 비는 약 0.25 내지 3이다. 수직으로 측정될 때, 갭의 중간 부분에서 갭 내에 형성된 막은 약 1 내지 25 Å/min의 습식 에칭 레이트를 나타낼 수도 있다. 갭의 측벽에서 탄소:실리콘의 평균 비율은 적어도 약 0.4이고, 예를 들어, 약 0.5 또는 0.6일 수도 있다. 이러한 비교적 높은 탄소:실리콘 비율은 측벽들에서 보아 비교적 낮은 습식 에칭 레이트에 기여한다. 다양한 실시예들에서, 막의 조성은 막에 걸쳐서 실질적으로 균일하다.
- [0008] 일부 실시예들에서, 이 방법은 단계들 (a) 내지 (f) 를 반복하는 단계를 더 포함한다. 일부 경우들에서, 단계 (d) 의 제 1 반복은 단계 (d) 의 제 2 반복과 상이한 펄스 주파수로 수행된다. 대안적으로 또는 부가적으로, 단계 (d) 의 제 1 반복은 단계 (d) 의 제 2 반복과 상이한 듀티 사이클로 수행될 수도 있다. 또한, 단계 (d)

의 제 1 반복은 단계 (d) 의 제 2 반복과 상이한 RF 전력으로 수행될 수도 있다.

[0009] 개시된 실시예들에서, 펄싱된 플라즈마가 사용된다. 일부 경우들에서, 플라즈마는 온 상태와 오프 상태 사이에서 펄싱한다. 다른 경우들에서, 플라즈마는 적어도 제 1 전력 상태와 제 2 전력 상태 사이에서 펄싱하고, 제 1 전력 상태 동안 전달된 전력은 제 2 전력 상태 동안 전달된 전력보다 상이하다.

[0010] 개시된 실시예들의 다른 양태에서, 기관 상에 막들을 증착하기 위한 장치로서, 반응 챔버; 반응 챔버로 가스상의 반응물질들을 전달하기 위한 유입 포트; 반응 챔버로 펄싱된 플라즈마를 제공하기 위한 플라즈마 생성기; 및 제어기를 포함하고, 제어기는, (a) 반응 챔버 내에 증기 상의 제 1 반응물질을 도입하는 동작; (b) 반응 챔버 내에 증기 상의 제 2 반응물질을 도입하는 동작; (c) 막을 형성하도록 반도체 기관 표면 상의 제 1 반응물질과 제 2 반응물질 간의 표면 반응을 일으키기 위해 제 1 반응물질의 증기 상의 플로우가 중단될 때 펄싱된 플라즈마에 반도체 기관 표면을 노출시키도록 펄싱된 플라즈마를 주기적으로 점화하는 동작을 위한 인스트럭션들을 포함하는, 막 증착 장치가 제공된다.

[0011] 일부 실시예들에서, 제어기는 동작 (c) 동안 약 25 내지 5000 Hz의 주파수로 플라즈마를 펄싱하기 위한 인스트럭션들을 갖는다. 제어기는 단계들 (b) 및 (c) 를 적어도 부분적으로 동시에 수행하기 위한 인스트럭션들을 가질 수도 있다. 제어기는 또한 약 5 내지 95 %의 플라즈마 듀티 사이클로 동작 (c) 를 수행하기 위한 인스트럭션들을 가질 수도 있다. 특정한 경우들에서, 제어기는 동작들 (a) 내지 (c) 를 반복하기 위한 인스트럭션들을 가질 수도 있고, 제어기는 또한 동작 (c) 의 제 1 반복이 동작 (c) 의 제 2 반복과 상이한 펄스 주파수 및/또는 듀티 사이클 및/또는 RF 전력으로 수행하기 위한 인스트럭션들을 가질 수도 있다.

[0012] 이들 및 다른 피쳐들은 연관된 도면들을 참조하여 이하에 기술될 것이다.

**도면의 간단한 설명**

[0013] 도 1a 내지 도 1d는 트렌치 내의 상이한 위치들에서 트렌치 내에 증착된 막에 존재하는 다양한 종들의 원자 농도를 도시하는 그래프를 도시한다.

도 1e는 플라즈마 펄스 사이클 동안 시간에 따른 상이한 플라즈마 특성들이 변하는 방식을 도시하는 다양한 그래프들이다.

도 2a 및 도 2b는 특정한 개시된 실시예들에 따른 PEALD 방법을 통한 기관 상에 막을 증착하는 방법들의 플로우 차트들이다.

도 3은 특정한 개시된 실시예들에 따라 기관 상에 막을 증착하기 위한 장치의 간략화된 도면이다.

도 4는 특정한 개시된 실시예들에 따라 기관 상에 막을 증착하기 위한 멀티-툴 반도체 프로세싱 장치를 도시한다.

도 5a 및 도 5b는 그 위에 증착된 종래의 막을 갖는 트렌치의 증착 시 (도 5a) 및 에칭 동작 후 (도 5b) 의 단면도들을 도시한다.

도 5c는 도 5a 및 도 5b에 도시된 종래의 막의 상이한 부분들의 에칭 레이트를 도시하는 표이다.

도 6a 및 도 6b는 개시된 방법들에 따라 증착된 그 위에 신규한 막을 갖는 트렌치의 증착 시 (도 6a) 및 에칭 동작 후 (도 6b) 의 단면도들을 도시한다.

도 6c는 도 6a 및 도 6b에 도시된 신규한 막의 상이한 부분들의 에칭 레이트를 도시하는 표이다.

도 7a 및 도 7b는 컬러로 제공되고 연속파 플라즈마를 사용하여 (도 7a) 및 펄싱된 플라즈마를 사용하여 (도 7b) 증착된 막들의 탄소:실리콘 비율을 예시하는 면적 밀도 맵들을 도시한다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 본 명세서에서, 용어들 “반도체 웨이퍼”, “웨이퍼”, “기관”, “웨이퍼 기관”, 및 “부분적으로 제조된 집적 회로” 는 상호교환 가능하게 사용된다. 당업자는 용어 “부분적으로 제조된 집적 회로” 가 그 위의 집적 회로 제조의 많은 단계들 중 임의의 단계 동안 실리콘 웨이퍼를 지칭할 수 있다는 것을 이해할 것이다. 반도체 디바이스 산업에서 사용된 웨이퍼 또는 기관은 통상적으로 200 mm, 또는 300 mm, 또는 450 mm의 직경을 가질 수도 있다. 이하의 상세한 설명은 본 발명이 웨이퍼 상에서 구현된다는 것을 가정한다. 그러나, 본 발명은 이렇게 제한되지 않는다. 워크피스는 다양한 형태들, 크기들, 및 재료들일 수도 있다. 반도체 웨이퍼들에 부

가하여, 본 발명의 장점을 취할 수도 있는 다른 워크피스들은 인쇄 회로 기판들 등과 같은 다양한 물체들을 포함한다.

- [0015] 이하의 기술에서, 제시된 실시예들의 전체적인 이해를 제공하기 위해 다수의 구체적인 상세들이 언급된다. 개시된 실시예들은 이들 구체적인 상세들 일부 또는 전부가 없이도 실시될 수도 있다. 다른 예들에서, 공지의 프로세스 동작들은 개시된 실시예들을 불필요하게 모호하게 하지 않도록 상세히 기술되지 않았다. 개시된 실시예들이 구체적인 실시예들과 함께 기술되지만, 이는 개시된 실시예들로 제한하도록 의도되지 않는다는 것이 이해될 것이다.
- [0016] 반도체 디바이스들의 제작은 통상적으로 집적 제조 프로세스에서 비-평면 기판 상에 하나 이상의 박막들을 증착하는 단계를 수반한다. 집적 프로세스의 일부 양태들에서, 이는 기판 토포그래피를 따르는 박막들을 증착하기 위해 유용할 수도 있다. 예를 들어, 질화 실리콘 막이 후속하는 이온 주입 프로세스들로부터 약하게 도핑된 소스 및 드레인 영역들을 보호하기 위한 스페이서층으로서 기능하도록 들어올려진 게이트 스택의 상단부 상에 증착될 수도 있다.
- [0017] 스페이서층 증착 프로세스들에서, CVD (chemical vapor deposition) 프로세스들이 비-평면 기판 상에 질화 실리콘 막을 형성하도록 사용될 수도 있고, 질화 실리콘 막은 이어서 스페이서 구조를 형성하기 위해 이방성으로 에칭된다. 그러나, 게이트 스택들 간의 거리가 감소함에 따라, CVD 가스의 대량 수송 한계들은 “브레드-로핑 (bread-loafing)” 증착 효과들을 유발할 수도 있다. 이러한 효과들은 통상적으로 게이트 스택들의 상단 표면들에서 보다 두꺼운 증착 및 게이트 스택들의 하단 모서리들에서 보다 얇은 증착을 나타낸다. 또한, 일부 다이 가 디바이스 밀도가 다른 영역들을 갖기 때문에, 웨이퍼 표면에 걸친 대량 수송 효과들은 다이-내 및 웨이퍼-내 막 두께 변화를 초래할 수도 있다. 이들 두께 변화들은 일부 영역들의 오버에칭 및 다른 영역들의 언더에칭을 초래할 수도 있다. 이는 디바이스 성능 및/또는 다이 수율을 열화시킬 수도 있다. CVD 프로세스에서 발생하는 다른 문제는 종종 고 애스펙트 비 피처들 내에서 컨포멀 막들을 형성할 수 없다는 것이다. 특정한 맥락에서, 피처는 기판의 표면 내에서 리세스된 갭, 예를 들어 기판 상에 증착된 하나 이상의 막들 내의 갭이다. 피처의 애스펙트 비는 피처의 깊이와 폭 간의 비로 정의된다. 디바이스 치수들이 계속 작아지기 때문에, 애스펙트 비들은 증가하고 CVD 프로세스들은 이러한 피처들을 적절하게 충전할 수 없다.
- [0018] 이러한 문제들을 처리하기 위한 일부 방법들은 ALD (atomic layer deposition) 이다. 막들을 증착하기 위해 열적으로 활성화된 가스 상의 반응물질들이 사용되는 CVD 프로세스와 반대로, ALD 프로세스들은 층-단위 (layer-by-layer) 기반으로 막들을 증착하기 위해 표면-매개 증착 반응들을 사용한다. 일 예의 ALD 프로세스에서, 표면 활성 사이트들의 집단을 포함하는 기판 표면은 제 1 막 프리커서 (P1) 의 가스 상 분포에 노출된다. P1의 일부 분자들은 P1의 화학흡착된 종들 및 물리흡착된 분자들을 포함하여, 반도체 기판 표면의 맨 위에 조밀한 상을 형성할 수도 있다. 이어서 반응물질은 화학흡착된 종들만 남도록 가스 상 및 물리흡착된 P1을 제거하기 위해 배기된다. 이어서 제 2 막 프리커서 (P2) 의 일부 분자들이 반도체 기판 표면에 흡착되도록 P2가 반응물질에 도입된다. 반응물질은 다시 배기될 수도 있고, 이때 결합되지 않은 P2가 제거된다. 후속하여, 반도체 기판에 제공된 열 에너지가 P1 및 P2의 흡착된 분자들 간의 표면 반응을 활성화하여, 막층을 형성한다. 마지막으로, 반응 부산물들 및 반응하지 않은 P1 및 P2를 제거하기 위해 반응물질이 배기되고, ALD 사이클이 종료된다. 부가적인 ALD 사이클들이 막 두께를 구축하기 위해 포함될 수도 있다.
- [0019] 프리커서 도징 단계들의 노출 시간 및 프리커서들의 부착 계수들에 따라, ALD 사이클 각각은 일 예에서, 약 0.5 내지 3 Å 두께의 막층을 증착할 수도 있다.
- [0020] 컨포멀 막들은 또한 평면 기판들 상에 증착될 수도 있다. 예를 들어, 리소그래피 패터닝 애플리케이션을 위한 반사방지층들이 교번하는 막 타입들을 포함하는 평면 스택들로부터 형성될 수도 있다. 이러한 반사방지층들은 대략 100 내지 1000 Å 두께일 수도 있고, ALD 프로세스들을 느리게 하여 보다 고속인 CVD 프로세스들보다 덜 매력적이다. 그러나, 이러한 반사방지층들은 또한 웨이퍼-내 두께 변화에 대해 많은 CVD 프로세스들이 제공하는 것보다 낮은 허용오차를 가질 수도 있다. 예를 들어, 600 Å 두께의 반사방지층은 3 Å보다 작은 범위의 두께를 용인할 수도 있다.
- [0021] 일부 구현예들에서, CFD (conformal film deposition) 프로세스들이 채용될 수도 있다. CFD를 사용하여 막들을 형성하는 방법들은 모든 목적들을 위해 본 명세서에 참조로서 통합된 2011년 4월 11일 출원된 미국 특허 출원 번호 제 13/084,399 호에 기술되었다. ALD 프로세스들과 같이, CFD 프로세스들도 층-단위 기반으로 막들을 증착하기 위한 표면-매개 증착 반응들을 사용한다. 일반적으로, CFD는 막을 형성하기 위한 반응 전에 하나 이상의 반응물질들의 완전한 피지에 의존하지 않는다. 예를 들어, 플라즈마 (또는 다른 활성화 에너지) 가 접화



될 때 증기 상의 하나 이상의 반응물질들이 존재할 수도 있다. 따라서, ALD 프로세스에서 기술된 하나 이상의 프로세스 단계들은 예시적인 CFD 프로세스에서 단축되거나 생략될 수도 있다. 또한, 일부 실시예들에서, 증착 반응물질들의 플라즈마 활성화는 열-활성화된 반응들보다 낮은 증착 온도들을 유발할 수도 있고, 이는 잠재적으로 집적 프로세스의 열 예산을 감소시킨다. 본 명세서의 실시예들은 PEALD (plasma enhanced ALD) 및 CFD 프로세스들을 포함한다.

[0022] 종래의 PEALD 프로세스들은 실질적으로 균일한 막 두께를 갖는 킨포멀 막들의 증착을 유발한다. 그러나, 막들이 균일한 두께들을 갖지만, 균일한 품질을 갖는 것은 아니다. 많은 경우들에서, 리세스된 피치의 측벽 상에 증착된 막은 피치의 상단에 가까운 필드 영역 또는 피치의 하단에 증착된 막보다 불량한 품질을 갖는다. 이러한 불량한 품질은 피치의 상단부 근처 또는 하단부의 막과 비교하여 측벽들에서 막의 증가된 습식 에칭 레이트 및 증가된 산화물에 의해 증명된다.

[0023] 도 1a 내지 도 1d는 종래의 PEALD 방법에 따른 기판 상의 트렌치 내에 증착된 막의 조성에 대한 Auger 분석으로부터의 데이터를 나타낸다. 이들 도면들 각각에서, x-축은 반도체 기판 상의 상이한 위치들에 관한 것이다. “Top”은 리세스된 피치의 상단부 근처의 필드 영역 내의 위치를 지칭하고, “Side 1/2”은 측벽의 1/2 위치를 지칭하고, “Side 1/4”은 측벽의 1/4 위치 (상단부보다 피치의 하단부에 더 가까운)를 지칭한다. y-축은 해당 원소 (도 1a에서 실리콘, 도 1b에서 질소, 도 1c에서 탄소, 도 1d에서 산소)의 원자 농도와 관련된다.

[0024] 도 1d에서, 특히 관심있는 것은 막 내의 산소의 농도가 필드 영역에서보다 측벽에서 훨씬 높다는 것이다. 막이 증착된 후, 반응 챔버로부터 제거되어, 막은 종종 대기 조건들에 노출된다. 낮은 밀도를 갖는 막들, 및 특정한 다른 불량한 품질의 막들은 고밀도, 고품질 막들보다 큰 정도로 수분 및 다른 대기 오염물들을 흡착한다. 따라서, 막 내에 혼입된 산소량은 막의 품질에 대응한다. 도 1d에서, 실질적으로 많은 양의 산소가 필드 영역 (약 4 %의 산소)에 비해 측벽들 (약 23 내지 27 %의 산소)에 혼입되는 것이 명백하다. 이는 막 품질이 필드 영역에서보다 측벽들 상에서 훨씬 불량하다는 것을 나타낸다.

[0025] 도 1a 내지 도 1d는 “RBS” 값들에 대한 기준을 갖는다. 이들은 Auger 분석을 검증하기 위해 수행된 러더포드 후방산란 (Rutherford Backscattering) 데이터에 대응한다. RBS 데이터는 피치의 상단부의 막에만 관련된다.

[0026] 또한, 상이한 막/피치 위치들에서 실리콘 카보나이트라이드 막의 습식 에칭 레이트에 관한 데이터가 이하의 실험 섹션에 제공된다. 간단히 요약하기 위해, 관습적으로 증착된 막에 대해, 100:1의 물:HF의 습식 에칭 레이트는 피치의 상단부에서보다 측벽들에서 훨씬 높고, 상단부의 에칭 레이트는 여전히 피치의 하단부보다 높다. 따라서, 종래의 PEALD 방법들이 균일한 두께의 막들을 달성할 수 있지만, 이들은 균일한 품질 또는 조성의 막들을 증착하지 못한다는 것이 명백하다.

[0027] 종래의 PEALD 방법들이 플라즈마 노출/변환 단계 동안 연속과 플라즈마를 활용하지만, 본 명세서의 실시예들은 이러한 변환 동작 동안 플라즈마가 펄싱되는 (예를 들어, RF 전력이 턴 온 및 턴오프되거나 그렇지 않으면 여러 번 변조됨) 방법들에 관한 것이다. 종래의 PEALD 방법들이 때로는 “펄싱된 플라즈마” 방법들이라고 하지만, 이들 종래의 펄스들과 본 실시예들의 펄스들이 구별되어야 한다. 특히, 종래의 PEALD 방법들은 플라즈마 노출/변환 단계 동안 단일 펄스 (플라즈마 온, 플라즈마 오프)를 사용한다. PEALD 프로세스가 주기적이고 플라즈마 노출 단계가 증착 프로세스 동안 몇 번 반복되기 때문에, 이들 종래의 프로세스들을 펄싱된 플라즈마 프로세스라고 할 수도 있다. 그러나, 이들 종래의 방법들은 본 기술에 대해 “펄싱된 플라즈마”를 사용하는 것으로 고려되지 않는다. 펄싱된 플라즈마로서 자격을 얻기 위해, 플라즈마는 턴 온 및 턴오프되거나 그렇지 않으면 단일 플라즈마 노출/변환 동작 동안 다수회 변조되어야 한다. 예를 들어, 플라즈마의 고주파수 RF 전력은 온 상태와 오프 상태 사이에서 전환될 수도 있다. 다른 예에서, RF 전력은 펄스들 동안 감소될 수도 있지만 턴 오프되지 않는다. 예를 들어, 고주파수 RF 전력 펄스들은 펄스가 온될 때 고주파수 RF 전력의 100 %일 수 있고, 펄스가 오프될 때 고주파수 RF 전력의 50 %일 수 있다. 부가적으로, 또는 대안적으로, 플라즈마의 고주파수 RF 전력은 턴 온 및 턴오프되는 대신 시간 기간에 따라 증가될 수도 있고 시간 기간에 따라 감소될 수도 있다. 플라즈마 펄스들은 약 100 Hz 내지 500 Hz의 차수의 펄스 주파수로 일반적으로 매우 짧지만, 이 범위 밖의 값들도 사용될 수도 있다. 개시된 방법들에 따라 생산된 막들은 관습적으로 증착된 막들에 비해 측벽들에서 훨씬 높은 품질을 나타낸다. 이러한 측벽 막 품질의 상승은 증착된 막들이 전체적으로 훨씬 균일한 품질을 갖는다는 것을 의미한다.

[0028] 이론 또는 작용 메커니즘에 제한되지 않고, 종래의 PEALD 방법들에서 피치의 측벽들과 피치의 다른 영역들 사이의 막 품질의 차이는 이온 지향성의 특성으로 인해 발생하는 것으로 믿어진다. 기판이 플라즈마에 노출될 때, 반도체 기판의 표면에 부딪치도록 실질적으로 선형으로 플라즈마 내에 존재하는 이온들이 이동한다. 이들 이온

들은 프리커서 재료(들)를 변환하기 위한 에너지를 제공할 수도 있다. 피처가 리세스되고 이온들이 실질적으로 선형으로 이동하기 때문에, 반도체 기관에 충돌하는 이온들의 밀도는 측면들에 비해, 피처의 필드 영역 근처 및 하단부에서 훨씬 높다. 이는 측면들 상에 덜 조밀한 막들을 남기면서, 피처의 상단 근처 및 하단에 선택적으로 조밀한 막으로 기능하게 할 수도 있다. 또한, 측면에 부딪히는 이온들에 의해 전달된 에너지는 다시 리세스된 피처의 기하 구조로 인해, 피처의 다른 부분들에 부딪히는 이온에 의해 전달된 에너지와 상이하다. 이는 다른 영역들보다 측면들에서 상이한 반응들이 발생하게 할 수도 있다. 필싱된 플라즈마의 사용은 이온들의 지향성을 감소시키고, 반도체 기관 상에 보다 균일한 이온 충격 밀도/에너지 및 보다 균일한 막 품질을 발생한다.

[0029] 다시 이론 또는 작용 메커니즘에 제한되지 않고, 상이한 위치들에서의 막 품질의 차이는 또한 플라즈마 내에서 라디컬들에 대한 이온의 비로부터 기인할 수도 있다. 플라즈마를 필싱함으로써, 이온들 및 중성자들의 상이한 양, 비 및 타입이 달성될 수도 있다. 이는 보다 균일한 품질의 막 형성을 도울 수도 있다.

[0030] 몇몇 상이한 프로세싱 방식들이 플라즈마가 필스될 때 달성될 수도 있다. 이들 방식들은 도 1e를 참조하여 이하에 기술되고, 도 1e는 일부 구현예들의 다양한 프로세싱 및 플라즈마 특성들이 플라즈마 필스 사이클 동안 시간에 따라 변하는 방식을 도시한다. 일 플라즈마 필스 사이클은 플라즈마 전력을 한번 턴 온 및 턴오프 (또는 한번 오프 및 온) 하는 것을 포함한다. RF 플라즈마를 일으키기 위해 사용된 전력이 도 1e에 도시된다. 플라즈마 전력은 온 기간 동안 능동적으로 인가되지만, 오프 기간 동안에는 인가되지 않는다. 온 및 오프 기간들은 턴 온 방식, 정상 상태 방식, 턴 오프 방식 및 늦은 잔광 (late afterglow) 방식을 포함하는 구체적인 프로세싱 방식들로 나뉘질 수도 있다. 전자 에너지, 전자 밀도, 양이온 플럭스 및 음이온 플럭스 및 플라즈마 전위는 플라즈마가 현재 경험하는 플라즈마 사이클 프로세싱 방식에 기초하여 변한다.

[0031] 턴 온 사이클은 플라즈마 전력의 인가 시 시작된다. 이 기간은 일부 실시예들에서 약 10 내지 500  $\mu$ s의 차수로 지속될 수도 있다. 플라즈마 전력이 인가될 때, 플라즈마 내의 전자 에너지가 점프하고 이어서 빠르게 떨어지기 시작한다. 전자들의 밀도는 이 시간 동안 증가한다. 일반적으로 플라즈마들을 이온들, 전자들 및 라디컬들을 포함한다. 전하 밸런스를 만족시키기 위해, 플라즈마 내에 존재하는 보다 많은 이온들이 음으로 대전되는 대신 양으로 대전된다. 이는 양이온들은 플라즈마 내에 양성 종들만 있지만, 음성 종들은 음이온들 및 전자들도 포함하기 때문이다. 또한, 음전기 플라즈마들을 포함하는 많은 플라즈마들은 양전기 에지/시스 영역을 갖는다. 양이온들의 밀도가 음이온들의 밀도보다 높고 플라즈마 시스가 양전기이기 때문에, 기관의 표면으로의 음이온들의 플럭스는 플라즈마가 활성화되는 동안 매우 낮다 (예를 들어, 실질적으로 0). 도 1e로 돌아가서, 플라즈마 전력이 인가될 때, 플라즈마 전위가 점프하고 이어서 떨어지기 시작한다. 턴 온 프로세싱 방식 동안, 플라즈마 시스들은 플라즈마 접화 장치를 사용하여 형성 및 변화될 수도 있다.

[0032] 정상 상태 프로세싱 방식 동안, 전자 에너지는 턴 온 방식보다 낮다. 전자 에너지 및 전자 밀도 양자는 상당히 일정하다. 양이온 플럭스 및 음이온 플럭스는 또한 이 방식 동안 높은 양이온 플럭스 및 매우 낮은 (예를 들어, 실질적으로 0) 음이온 플럭스로 일정하다. 플라즈마 전위는 상당히 안정되고, 턴 온 방식에서보다 정상 상태 방식에서 보다 낮다. 정상 상태 프로세싱 방법 동안, 플라즈마 시스들은 정상 상태 방식으로 진동할 수도 있다.

[0033] 턴 오프 프로세싱 방식은 플라즈마 전력이 턴 오프되자마자 시작한다. 이 기간 동안, 전자 에너지, 전자 밀도, 양이온 플럭스 및 플라즈마 전위 모두 떨어지기 시작한다. 플라즈마 시스들은 턴 오프 방식 동안 전자 밀도의 감소로 구별될 수도 있다. 특히, 음이온 플럭스는 이 프로세스 방식 동안 상승할 수도 있다. 상기에 언급된 바와 같이, 많은 플라즈마들은 양전기 에지 영역을 갖는다. 플라즈마로부터 음이온들을 추출하기 위해, 이 에지 영역은 음이온들로 하여금 탈출하게 하는, 상당히 긴 기간 동안 전기장의 방향을 반전시킴으로써 변화되어야 한다. 전기장을 반전시키기 위해, 전자 전류가 흡수되어야 한다. 이 전류는 연속과 플라즈마의 맥락에서 매우 실질적일 수 있다. 그러나, 이 전류는 전자 밀도가 감소함에 따라 감소한다. 필싱된 플라즈마가 사용될 때, 전자 밀도는 턴 오프 방식 동안 빠르게 감소하고, 늦은 잔광 방식 동안 낮게 유지된다. 이들 방식들 동안 저 전자 밀도는 전기장의 방향을 반전시키고 플라즈마로부터 음이온들을 추출하는 것을 상당히 쉽게 만든다. 이와 같이, 이론 또는 작용 메커니즘에 제한되지 않고, 필싱된 플라즈마 증착에 관해 본 막 품질 개선에 대한 일 설명이 증착 프로세스 내에서 음이온들의 증가된 참여로 발생할 수도 있다.

[0034] 턴 오프 방식 후에 경험되는 다음 프로세싱 방식은 늦은 잔광 방식이다. 이 시간 동안, 플라즈마 전력, 전자 에너지, 전자 밀도, 양이온 플럭스 및 플라즈마 전위는 매우 낮고, 어떤 경우들에서 0이다. 전자 밀도는 매우 낮고, 예를 들어 열 전자 평균 에너지에 가깝다. 기관의 표면에 이르는 양이온들이 없거나 적어서, 이온 플럭스 밀도가 유사하게 낮다. 그러나, 상기에 나타난 바와 같이, 이 시간 동안 반도체 기관의 표면에 음이온들의

플럭스가 있을 수도 있다. 일부 경우들에서, 플라즈마 전위는 낮은 잔광 방식 동안 0이거나 심지어 음일 수도 있다.

- [0035] 막 품질의 차이에 대한 다른 잠재적인 설명은 막 부산물들이 상이한 위치들, 특히, 측벽들에서 막 내에 선택적으로 매립될 수도 있다는 것이다. 필싱된 플라즈마의 사용은 이들 부산물들로 하여금 막으로부터 보다 효율적으로 제거되게 하여, 보다 균일한 품질의 막을 생성한다.
- [0036] 필싱된 플라즈마들은 다른 목적들을 위한 특정한 다른 문맥들에서 사용되었다. 예를 들어, 플라즈마는 증착된 막의 컨포멀성을 향상시키기 위해 PECVD 프로세스 동안 필싱될 수도 있다. 이러한 필싱된 PECVD 프로세스는 또한 전체가 본 명세서에 통합된 제목이 “METHOD FOR IMPROVING PROCESS CONTROL AND FILM CONFORMALITY OF PECVD FILM” 인, 미국 특허 제 7,745,346 호에서 논의되고 기술된다. 그러나, ALD 및 CFD 방법들이 본질적으로 매우 컨포멀한 막들을 증착하기 때문에, 당업자는 이들 맥락에서 예상된 이익들이 적거나 없기 때문에, 이들 필싱된 플라즈마 방법들을 ALD/CFD 프로세스에 적용하려고 하지 않는다.
- [0037] 본 명세서의 많은 실시예들이 SiN 또는 SiCN 막들을 증착하는 관점에서 논의되었지만, 실시예들은 이렇게 제한되지 않는다. 다른 경우들에서, 증착된 막은 산화물 (예를 들어, 산화 실리콘 또는 금속 산화물) 일 수도 있다. 이들 타입들의 막들 각각은 종래의 연속과 플라즈마 프로세싱 방법들에 따라 증착될 때 측벽들 상에서 불량한 품질의 막을 겪는다. 특정한 실시예들에서, 증착된 막은 예를 들어, 탄소, 붕소, 인, 질소, 등으로 도핑될 수도 있다.
- [0038] 도 2a는 다양한 개시된 실시예들에 따라 균일한 품질의 막을 증착하는 방법의 플로우차트이다. 방법 (200)은 리세스된 피처들을 갖는 기판이 반응 챔버내로 수용되는 동작 (202) 으로 시작한다. 동작 (204) 에서, 제 1 반응물질의 도르는 반응 챔버 내로 유동한다. 반응물질은 리세스된 피처들을 포함하는, 반도체 기관의 표면 상에 흡착된다. 증착되는 막이 실리콘을 함유하면, 제 1 반응물질은 통상적으로 실리콘-함유 반응물질이다. 증착되는 막이 금속을 함유하면, 제 1 반응물질은 일반적으로 금속-함유 반응물질이다. 다음에, 반응 챔버는 동작 (206) 에서 퍼지된다. 일부 실시예들에서, 퍼지는 비반응성 가스로 반응 챔버를 스위핑하는 것을 포함한다. 대안적으로 또는 부가적으로, 퍼지는 펌프 다운을 수행함으로써 반응 챔버를 배기하는 것을 포함한다. 이 경우에서, 반응 챔버 내의 압력은 예를 들어, 반응물질 전달 동안보다 펌프 다운 동안 상당히 낮다. 이 퍼지 동작 (206) 의 목적은 반응 챔버로부터 모든 또는 실질적으로 모든 제 1 반응물질을 제거하는 것이다. 일부 실시예들에서, 퍼지/스위핑은 덜 완료될 수도 있고, 제 1 반응물질의 부분만이 반응 챔버로부터 제거된다. 최적의 퍼지 조건들은 목표된 막 특성들에 의존할 수도 있다. 달리 언급되지 않는 한, 본 명세서에 기술된 바와 같은 스위핑 또는 퍼지는 부분적이고, 완료되거나 실질적으로 완료될 수도 있다. 특정한 구현예들에서, 이러한 퍼지/스위핑은 발생하지 않을 수도 있다. 다음에, 동작 (208) 에서, 제 2 반응물질이 반응 챔버 내로 유동된다. 제 2 반응물질은 종종 질소-함유 반응물질, 탄소-함유 반응물질, 및/또는 산소-함유 반응물질이다.
- [0039] 제 1 반응물질 및 제 2 반응물질 각각은 또한 반응물질들의 혼합물일 수도 있다. 일 예에서, 제 2 반응물질은 산소 및 아산화 질소 양자를 포함할 수도 있다. 하나 이상의 반응물질이 동시에 반응 챔버로 전달될 때, 반응물질들은 전달 전 (예를 들어, 개별 혼합 용기에서) 또는 전달 후 (예를 들어, 반응 챔버 자체 내에서) 에 혼합될 수도 있다.
- [0040] 동작 (210) 에서, 필싱된 플라즈마가 반응 챔버 내에서 점화되고 반도체 기관 표면에 노출된다. 펄스 주파수는 예를 들어, 약 100 내지 500 Hz의 차수로 비교적 높다. 필싱된 플라즈마 노출 동작 (210) 은 종래의 연속과 플라즈마 프로세스에 통상적으로 사용된 것보다 긴 지속기간을 가질 수도 있다. 다양한 실시예들에서, 동작들 (208 및 210) 은 적어도 부분적으로, 동시에 발생한다. 일부 경우들에서, 제 2 반응물질은 210에서 플라즈마가 점화되기 전에 208에서 반응 챔버 내로 사전-유동될 수도 있다. 특정한 예에서, 제 2 반응물질은 연속적으로 제공된다. 다른 실시예들에서, 동작들 (208 및 210) 은 동시에 시작된다. 대안적인 실시예들에서, 제 2 반응물질은 208에서 반응 챔버 내로 유동되고, 이어서 동작 (210) 에서 필싱된 플라즈마 점화가 발생하기 전에 반응 챔버로부터 스위핑/퍼지된다. 그러나, 다양한 경우들에서, 퍼지는 발생하지 않을 수도 있다.
- [0041] 다음에, 동작 (212) 에서 플라즈마가 소화되고 반응 챔버가 퍼지된다. 동작 (206) 에서 퍼지에 대해 언급된 바와 같이, 이는 반응 챔버 스위핑 및/또는 펌핑 다운을 포함할 수도 있다. 특정한 경우들에서 이러한 스위핑/퍼지는 선택적일 수도 있지만, 플라즈마 후 퍼지의 사용은 고품질 막의 형성을 촉진하는 것을 도울 수도 있다. 일반적으로 동작들 (204 내지 212) 은 재료의 모노레이어 증착을 유발하지만, 특정한 실시예들에서, 재료의 모노레이어보다 적게 증착될 수도 있다. 이들 단계들은 점선 화살표로 나타낸 바와 같이, 목표된 두께의 막을 성장시키도록 다수 회 반복될 수도 있다.

- [0042] 나타낸 바와 같이, 플라즈마 특성들은 증착된 막 상에 실질적인 효과를 갖는다. 많은 실시예들에서, 플라즈마는 용량 결합 플라즈마이다. 그러나, 다른 타입의 플라즈마, 예를 들어 유도 결합 플라즈마가 또한 사용될 수도 있다. RF, DC 및 마이크로파 플라즈마 생성기들과 같은 다양한 타입들의 플라즈마 생성기들이 사용될 수도 있다. 플라즈마는 직접 플라즈마 (즉, 반응 챔버 내에서 생성된 플라즈마) 이거나, 원격 생성 플라즈마일 수도 있다.
- [0043] 현재 제작된 고주파수 RF 전력 생성기들을 사용하여, 플라즈마의 고주파수 RF 전력이 약 75 내지 500 Hz로 펄스될 수도 있다. 이들 생성기들은 15 %보다 낮은 듀티 사이클 또는 500 Hz보다 큰 펄스 주파수로 플라즈마를 지속시킬 수 없다. 생성기들이 보다 높은 주파수들 및 보다 낮은 듀티 사이클들을 이용가능해질 때 듀티 사이클의 추가 감소와 함께 펄싱된 PEALD 프로세스를 사용하여 막들의 추가 개선들이 관찰될 수도 있다. 그러나, 펄스 주파수의 증가 및 듀티 사이클의 감소로, 플라즈마의 고주파수 RF 전력은 적어도 반응 종들을 생성하기에 충분히 길어야 한다. 반응 종들이 생성되지 않으면, 펄싱된 PEALD의 이점들은 실현되지 않을 것이다.
- [0044] 전달된 플라즈마 전력은 약 50 내지 2500 W/station, 예를 들어 300 mm 직경 웨이퍼에 대해, 약 75 내지 500 W/station일 수도 있다. 이들 값들은 상이한 크기들의 기관들에 대해 기관의 면적에 기초하여 선형으로 스케일링될 수도 있다. 예를 들어, 300 mm 웨이퍼에 대해 100 W/station의 값은 450 mm 웨이퍼에 대해 225 W/station의 값에 대응할 것이다.
- [0045] RF 플라즈마가 사용될 때, RF 주파수는 저주파수 (LF) 성분 (예를 들어, 약 250 내지 400 kHz) 및/또는 고주파수 (HF) 성분 (예를 들어, 약 13.56 또는 27 MHz) 을 포함할 수도 있다. 특정한 실시예들에서, LF 주파수의 포함은 스텝 커버리지를 원치않게 감소시킨다. 이와 같이, 특정한 실시예들에서, 전달된 RF는 HF 주파수들만을 포함한다.
- [0046] 듀티 사이클은 펄싱된 플라즈마 노출 단계 동안 플라즈마가 점화된 상대적인 시간 양에 관련된다. 예를 들어, 500 Hz의 주파수 및 15 %의 듀티 사이클을 갖는 펄스에 대해, 일 펄스 기간은 1.7 ms 동안 RF 전력 오프 및 0.3 ms 동안 온되는 2 ms이다. 일부 실시예들에서, 듀티 사이클은 약 5 내지 95 %이다. 특정한 경우들에서, 듀티 사이클은 약 5 내지 50 %, 또는 약 5 내지 15 %, 예를 들어 약 10 %이다. 플라즈마 펄스 각각의 지속 기간은 상당히 짧고 플라즈마 펄스들의 주파수는 상대적으로 높다. 일부 경우들에서, 플라즈마 펄스 주파수는 약 25 내지 5000 Hz, 예를 들어 약 100 내지 500 Hz이다. 일부 경우들에서, 펄스 주파수는 약 1000 Hz 이하, 예를 들어 약 500 Hz 이하이다. 이들 및 다른 경우들에서, 펄스 주파수는 약 25 Hz 이상, 예를 들어 약 50 Hz 이상, 또는 약 100 Hz 이상이다. 전체 플라즈마 노출 동작의 지속 기간은 연속과 플라즈마 PEALD 프로세스들에서보다 높을 수도 있다. 일부 경우들에서, 펄싱된 플라즈마 노출의 지속 기간은 약 0.05 내지 2 초, 예를 들어 약 0.05 내지 1 초, 또는 약 0.1 내지 0.5 초이다.
- [0047] 특정한 실시예들에서, 플라즈마 펄스 특성들은 시간에 걸쳐 변할 수도 있다. 예를 들어, 펄스 주파수 및/또는 듀티 사이클은 제 1 세트의 증착 사이클들과 제 2 세트의 증착 사이클들 사이에서 변할 수도 있다. 일부 실시예들에서, 펄스 주파수는 나중의 사이클들에서 증가되거나 감소된다. 이들 및 다른 경우들에서, 듀티 사이클은 나중의 사이클들에서 증가되거나 감소될 수도 있다. 다른 플라즈마 특성들이 증착 프로세스 내에서 시간에 걸쳐 변할 수도 있다. 예를 들어, RF 전력 값, RF 주파수, 플라즈마 생성 가스, 등이 증착 프로세스 동안 변할 수도 있다.
- [0048] 도 2b는 증착 동안 플라즈마 조건들이 변하는 기관 상의 막 증착 방법에 대한 플로우차트이다. 방법 (250)은 본 명세서에 기술된 바와 같이, 제 1 세트의 플라즈마 조건들을 갖는 펄싱된 플라즈마를 활용하는 증착 프로세스를 사용하여 하나 이상의 막층들이 증착되는 동작 (252) 에서 시작된다. 다음에 방법 (250)은 제 2 세트의 플라즈마 조건들을 갖는 펄싱된 플라즈마를 활용하는 증착 프로세스를 사용하여 하나 이상의 추가적인 막층들이 증착되는 동작 (254) 으로 계속된다. 제 1 세트의 플라즈마 조건들 및 제 2 세트의 플라즈마 조건들은 상이할 수도 있다. 언급된 바와 같이, 하나 이상의 다음의 플라즈마 특성들: 펄스 주파수, 듀티 사이클, RF 전력, RF 주파수, 플라즈마를 생성하기 위해 상요된 가스의 조성 또는 플로우 레이트, 등이 동작들 (252 및 254) 사이에서 상이할 수도 있다. 플라즈마 특성들을 변화시키는 것은 막을 목표된 대로 튜닝하는 것을 도울 수도 있다.
- [0049] 개시된 실시예들은 특정한 반응물질들로 제한되지 않지만, 반응물질들의 예시적인 리스트가 이하에 제공된다.
- [0050] 특정한 실시예들에서, 증착된 막은 실리콘-함유 막이다. 이들 경우들에서, 실리콘-함유 반응물질은 예를 들어, 실란, 할로실란 또는 아미노실란일 수도 있다. 실란은 수소기 및/또는 탄소기를 함유하지만, 할로젠을 함유하지 않는다. 실란들의 예들은 실란 (SiH<sub>4</sub>), 디실란 (Si<sub>2</sub>H<sub>6</sub>), 및 메틸실란, 에틸실란, 이소프로필실란, t-부틸실

란, 디메틸실란, 디에틸실란, 디-t-부틸실란, 아릴실란, sec-부틸실란, 헥실실란 (hexylsilane), 이소아밀실란 (isoamylsilane), t-부틸디실란, 디-t-부틸디실란, 테트라-에틸-오르소-실리케이트 (또한 테트라-에톡시-실란 또는 TEOS라고 함) 등과 같은 유기 실란들이다. 할로실란은 적어도 하나의 할로젠기를 포함하고, 수소기 및/또는 탄소기를 포함하거나 포함하지 않을 수도 있다. 할로실란들의 예들은 요오드실란들, 브로모실란들, 클로로실란들 및 플루오로실란들이다. 할로실란들, 특히 플루오로실란들이 실리콘 재료들을 에칭할 수 있는 반응성 할라이드 종들을 형성할 수도 있지만, 본 명세서에 기술된 특정한 실시예들에서, 실리콘-함유 반응물질은 플라즈마가 점화될 때 존재하지 않는다. 구체적인 클로로실란들은 테트라클로로실란 (SiCl<sub>4</sub>), 트리클로로실란 (HSiCl<sub>3</sub>), 디클로로실란 (H<sub>2</sub>SiCl<sub>2</sub>), 모노클로로실란 (ClSiH<sub>3</sub>), 클로로아릴실란, 클로로메틸실란, 디클로로메틸실란, 클로로디메틸실란, 클로로에틸실란, t-부틸클로로실란, 디-t-부틸클로로실란, 클로로이소프로필실란, 클로로-sec-부틸실란, t-부틸디메틸클로로실란, 헥실디메틸클로로실란, 등이다. 아미노실란은 실리콘 원자에 결합된 적어도 하나의 질소 원자를 포함하지만, 또한 수소, 산소, 할로젠 및 탄소를 함유할 수도 있다. 아미노실란들의 예들은 모노-, 디-, 트리- 및 테트라-아미노실란 (각각 H<sub>3</sub>Si(NH<sub>2</sub>)<sub>4</sub>, H<sub>2</sub>Si(NH<sub>2</sub>)<sub>2</sub>, HSi(NH<sub>2</sub>)<sub>3</sub> 및 Si(NH<sub>2</sub>)<sub>4</sub>), 및 모노-, 디-, 트리- 및 테트라-아미노실란들, 예를 들어, t-부틸아미노실란, 메틸아미노실란, tert-부틸실란아미노, BTBAS (bis(tertiarybutylamino)silane (SiH<sub>2</sub>(NHC(CH<sub>3</sub>)<sub>3</sub>)<sub>2</sub>), tert-부틸 실릴카바메이트, SiH(CH<sub>3</sub>)-(N(CH<sub>3</sub>)<sub>2</sub>)<sub>2</sub>, SiHCl-(N(CH<sub>3</sub>)<sub>2</sub>)<sub>2</sub>, (Si(CH<sub>3</sub>)<sub>2</sub>NH)<sub>3</sub> 등으로 치환된다. 아미노실란의 다른 예는 트리실릴아민 (N(SiH<sub>3</sub>)<sub>3</sub>) 이다.

[0051] 다른 경우들에서, 증착된 막은 금속을 함유한다. 형성될 수 있는 금속-함유 막들의 예들은 알루미늄, 티타늄, 하프늄, 탄탈, 텅스텐, 망간, 마그네슘, 스트론튬, 등의 산화물들 및 질화물들 및 원소적 금속 막들을 포함한다. 예시적인 프리커서들은 금속 알킬아민들, 금속 알콕사이드들, 금속 알킬아미드들, 금속 할라이드들, 금속 β-디케톤들, 금속 카르보닐들, 유기금속들, 등을 포함할 수도 있다. 적절한 금속-함유 프리커서들은 막 내에 혼입되도록 목표된 금속을 포함할 것이다. 예를 들어, 탄탈-함유층은 펜타키스(디메틸아미도)탄탈을 암모니아 또는 다른 환원제와 반응시킴으로써 증착될 수도 있다. 채용될 수도 있는 금속-함유 프리커서들의 다른 예들은 트리메틸알루미늄, 테트라에톡시티타늄, 테트라키스-디메틸-아미도 티타늄, 테트라키스-디에틸아미도-티타늄, 티타늄 이소프로폭사이드, 티타늄 테트라이소프로폭사이드, 티타늄 테트라클로라이드, 비스(메틸-η<sup>5</sup>-사이클로펜타디에닐)디메틸하프늄, 비스(메틸-η<sup>5</sup>-사이클로펜타디에닐)메톡시메틸하프늄, 하프늄(IV) tert-부톡사이드, 테트라키스(디메틸아미도)하프늄(IV), 하프늄 테트라키스(에틸메틸아미드), 비스(시클로펜타디에닐)망간, 비스(n-프로필시클로펜타디에닐)마그네슘, 탄탈(V) 에톡사이드, 트리스(디에틸아미도)(tert-부틸이미도)탄탈(V), 비스(tert-부틸이미도)비스(디메틸아미도)텅스텐(VI), 텅스텐 헥사카르보닐, 등을 포함한다.

[0052] 특정한 구현예들에서, 산소-함유 반응물질이 사용된다. 산소-함유 반응물질들의 예들은 산소, 오존, 아산화 질소, 일산화 질소, 이산화 질소, 일산화 탄소, 이산화 탄소, 일산화 수분, 물, 산소-함유 하이드로카본 (C<sub>x</sub>H<sub>y</sub>O<sub>z</sub>), 등을 포함한다.

[0053] 일부 실시예들에서, 증착된 막은 질소를 함유하고, 질소-함유 반응물질이 사용된다. 질소-함유 반응물질은 적어도 하나의 질소, 예를 들어, 암모니아, 하이드라진, 메틸아민, 디메틸아민, 에틸아민, 이소프로필아민, t-부틸아민, 디-t-부틸아민, 사이클로프로필아민, sec-부틸아민, 사이클로부틸아민, 이소아밀아민, 2 내지 메틸부탄-2-아민, 트리메틸아민, 디이소프로필아민, 디에틸이소프로필아민, 디-t-부틸하이드라진과 같은 아민들 (예를 들어, 아민 함유 탄소), 및 아닐린들, 피리딘들, 및 벤질아민들과 같은 아민들을 함유하는 방향족을 함유한다. 아민들은 1원계, 2원계, 3원계 또는 4원계 (예를 들어, 테트라알킬암모늄 화합물들) 일 수도 있다. 질소-함유 반응물질은 질소 이외의 헤테로 원자들, 예를 들어, 히드록실아민, t-부틸옥시카르보닐 아민을 함유할 수도 있고 N-t-부틸 히드록실아민은 질소-함유 반응물질이다.

[0054] 당업자에게 명백하거나 쉽게 인식할 수 있는 다른 프리커서들이 또한 사용될 수도 있다.

[0055] 개시된 실시예들이 리세스된 피쳐들 내에서 균일한 막 품질을 달성하는데 유리하다는 것이 기대된다. 그러나, 방법들은 또한 다른 타입들의 기관들 (예를 들어, 편평한 기관, 또는 돌출된 피쳐부들을 갖는 기관들) 상에 막들을 증착하기 위해 사용될 수도 있다. 개선된 측면 품질 및 전체 막 균일성에 대한 수요는 이들 타입들의 리세스되지 않은 기관들의 맥락에서는 크지 않을 수도 있다.

[0056] 일부 실시예들에서, 반도체 기관은 약 6:1 이하의 애스펙트 비들을 갖는 하나 이상의 리세스된 피쳐들을 포함한다. 이 비는 리세스된 피쳐의 깊이:폭으로 정의된다. 다른 경우들에서, 피쳐들의 애스펙트 비는 보다 높을 수

도 있다.

- [0057] 증착 프로세스 동안 반응 챔버의 온도는 약 150 내지 550 °C, 예를 들어 약 250 내지 550 °C일 수도 있다. 이 온도는 프리커서들을 변환하기 위해, 플라즈마 에너지보다 열 에너지가 사용될 때 통상적으로 요구되는 것보다 실질적으로 낮다 (예를 들어, > 700 °C).
- [0058] 증착 프로세스 동안 반응 챔버의 압력은 약 1 내지 10 Torr, 또는 약 3 내지 7 Torr, 예를 들어 약 6 Torr일 수도 있다.
- [0059] 종래의 연속과 프로세스와 비교하여, 기술된 펄싱된 플라즈마 실시예들은 통상적으로 보다 낮은 증착 레이트를 보인다.
- [0060] 개시된 방법들은 또한 매우 낮은 습식 에칭 레이트와 함께 상대적으로 인장성 및 중립 응력을 갖는 막들의 증착을 유발한다. 반대로, 종래의 방법들은 통상적으로 낮은 습식 에칭 레이트를 갖는 압축성 막들 또는 매우 높은 습식 에칭 레이트들을 갖는 인장성 막들의 증착을 유발한다. 종래의 연속과 플라즈마들을 사용하여, 습식 에칭 레이트는 상이한 레벨의 RF 전력을 사용함으로써 변할 수 있다. 보다 높은 레벨의 RF 전력 (예를 들어, 약 6500 W/station) 은 낮은 습식 에칭 레이트들을 갖는 매우 압축성 막들을 유발한다. 보다 낮은 레벨의 RF 전력 (예를 들어, 약 500 W/station) 은 보다 낮은 압축성/보다 높은 인장성인 막들을 유발하지만, 이들 막들은 매우 높은 습식 에칭 레이트들을 갖는다. 반대로, 개시된 펄싱된 플라즈마 방법들에 의해 생산된 막들은 중립 응력들에 매우 가깝고, 일부 경우들에서 약간 인장성의 응력을 갖는다. 동시에, 이들 막들은 매우 낮은 습식 에칭 레이트들을 나타내고, 많은 경우들에서 연속과 플라즈마들을 사용한 고 RF 전력에서 달성가능한 것보다 낮다. 일부 실시예들에서, 측벽의 중간 부분에서 증착 시 막의 습식 에칭 레이트는 약 1 내지 25 Å/min, 예를 들어 약 1 내지 10 Å/min일 수도 있다. 이들 값들은 증착된 막이 탄소 도핑된 질화 실리콘 막일 때 특히 적절할 수도 있다. 증착된 막들을 특징화하기 위한 다른 방법은 증착된 막의 상이한 부분들에서의 습식 에칭 레이트들을 비교하는 내부 습식 에칭 레이트 비들을 검사하는 것이다. 예를 들어, 피처의 측벽의 중간 부분에서의 습식 에칭 레이트 ( $WE_m$ ) 는 피처의 하단부 ( $WE_b$ ) 및/또는 상단부 ( $WE_t$ ) 에서의 습식 에칭 레이트와 비교될 수도 있다. 이들 막 위치들이 도 5a 및 도 5b에 도시되고, 또한 이하에 기술된다. 일부 실시예들에서,  $WE_m/WE_b$  및/또는  $WE_m/WE_t$  는 약 0.25 내지 3, 예를 들어 약 0.25 내지 2, 또는 약 0.25 내지 1이다. 연속과 플라즈마의 경우, 이들 비들은 일반적으로 훨씬 크고, 예를 들어 약 5 내지 10 이상이다. 증착 시 응력은 매우 크게 변할 수도 있고, 예를 들어 응력은 약 500 MPa 인장성 및 약 2 GPa 압축성일 수도 있다.
- [0061] 장치
- [0062] 펄싱된 플라즈마 프로세싱은 플라즈마의 고주파수 및/또는 저주파수 RF 전력을 펄스할 수 있는 고주파수 RF 생성기를 사용함으로써 기존의 반도체 프로세싱 장비를 사용하여 수행될 수 있다. 특히, 캘리포니아, 프레몬트의 Lam Research Corp.로부터 입수가능한 Vector™ 반응챔버들과 같은 반응기들이 펄싱된 PEALD에 사용될 수도 있다. 따라서, 개선된 막들이 최소의 하드웨어 변경들을 통해 만들어질 수도 있다.
- [0063] 개시된 방법들을 수행하기에 적합한 장치는 통상적으로 프로세스 동작들을 달성하기 위한 하드웨어 및 본 발명에 따라 프로세스 동작들을 제어하기 위한 인스트럭션들을 갖는 시스템 제어기를 포함한다. 예를 들어, 일부 실시예들에서, 하드웨어는 프로세스 툴에 포함된 하나 이상의 PEALD 프로세스 스테이션들을 포함할 수도 있다.
- [0064] 도 3은 개시된 실시예들을 실시하기 위해 사용될 수도 있는 예시적인 장치의 블록도를 제공한다. 도시된 바와 같이, 반응기 (300) 는 반응기의 다른 구성요소들을 둘러싸고 예를 들어, 접지된 히터 블록 (320) 과 함께 동작하는 샤워헤드 (314) 를 포함하는 커패시터 타입 시스템에 의해 생성된 플라즈마를 포함하도록 기능하는 프로세스 챔버 (324) 를 포함한다. 매칭 네트워크 (306) 에 연결된 고주파수 RF 생성기 (304) 및 저주파수 RF 생성기 (302) 는 샤워헤드 (314) 에 연결된다. 이들 RF 생성기들은 본 명세서에 기술된 바와 같이 플라즈마를 펄스할 수 있다. 매칭 네트워크 (306) 에 의해 공급된 전력 및 주파수, 예를 들어 400 내지 700 W의 총 에너지는 프로세스 가스로부터 플라즈마를 생성하기에 충분하다. 본 발명의 일 구현예에서 HFRF 생성기 및 LFRF 생성기 양자가 사용된다. 통상적인 프로세스에서, 고주파수 RF 성분은 일반적으로 약 2 내지 60 MHz이고; 바람직한 실시예에서, HF 성분은 약 13.56 MHz 또는 27 MHz이다. 저주파수 LF 성분은 일반적으로 약 250 내지 400 kHz이고; 특정한 실시예에서, LF 성분은 약 350 kHz이다.

- [0065] 반응기 내에서, 웨이퍼 페데스탈 (318) 은 기관 (316) 을 지지한다. 페데스탈은 통상적으로 증착 및/또는 플라즈마 처리 반응들 사이에 그리고 증착 및/또는 플라즈마 처리 반응들 동안 기관을 홀딩하고 이동시키기 위한 척, 포크, 포크 (fork), 또는 리프트 핀들 (lift pins) 을 갖는다. 척은 산업 및/또는 연구에 사용할 수 있는 정전 척, 기계적인 척 또는 다양한 다른 타입들의 척일 수도 있다.
- [0066] 프로세스 가스들은 유입구 (312) 를 통해 도입된다. 다수의 소스 가스 선들 (310) 이 매니폴드 (308) 에 연결된다. 가스들은 미리 혼합될 수도 미리 혼합되지 않을 수도 있다. 적절한 밸브 및 질량 유량 (mass flow) 제어 매커니즘들이 프로세스의 증착 및 플라즈마 처리 단계들 동안 정확한 가스들이 전달되는 것을 보장하기 위해 채택될 수도 있다. 화학적 프리커서(들)가 액체 형태로 전달되는 경우에서, 액체 유량 제어 매커니즘들이 채택된다. 그 후 액체는 기화되고 증착 챔버에 도달하기 전에 자신의 기화점 이상으로 히팅 (heat) 된 매니폴드 내에서의 이동 동안 다른 프로세스 가스들과 혼합된다.
- [0067] 프로세스 가스들은 유출구 (322) 를 통해 챔버 (300) 를 나온다. 진공 펌프 (326) (예를 들어, 1단계 또는 2단계 기계적 드라이 펌프, 또는 터보분자 (turbomolecular) 펌프) 는 통상적으로 프로세스 가스들을 유출하고 (draw out), 쓰로틀 밸브 (throttle valve) 또는 진자 밸브 (pendulum valve) 와 같은 페루프 제어된 유량 제한 디바이스에 의해 반응기 내에서 적합한 낮은 압력을 유지한다.
- [0068] 본 발명은 멀티-스테이션 또는 단일 스테이션 톨에서 구현될 수도 있다. 구체적인 실시예들에서, 4-스테이션 증착 스킴을 갖는 300mm Novellus Vector™ 톨 또는 6-스테이션 증착 스킴을 갖는 200mm Sequel™ 톨이 사용된다. 매 증착 및/또는 후-증착 플라즈마 어닐링 처리 후에 요구된 모든 증착들 및 처리들이 완료될 때까지 웨이퍼들을 인덱스 (index) 할 수 있고, 또는 다수의 증착들 및 처리들이 웨이퍼를 인덱스하기 전에 단일 스테이션에서 수행될 수 있다. 막 응력이 어느 경우에서나 동일하다는 것이 도시되었다. 그러나, 하나의 스테이션에서 다수의 증착들/처리들을 수행하는 것은 실질적으로 증착 및/또는 처리 각각에 이어지는 인덱싱보다 빠르다.
- [0069] 도 4는 인바운드 로드 록 (2402) 및 아웃바운드 로드 록 (2404) 을 갖는 멀티-스테이션 프로세싱 톨 (2400) 의 실시예의 개략도이고, 인바운드 로드 록 및 아웃바운드 로드 록 중 하나 또는 양자는 원격 플라즈마 소스를 포함할 수도 있다. 대기압에서, 로봇 (2406) 은 대기 포트 (2410) 를 통해 인바운드 로드 록 (2402) 으로 로딩된 카세트로부터 포트 (2408) 를 통해 웨이퍼들을 이동시키도록 구성된다. 웨이퍼는 로봇 (2406) 에 의해 인바운드 로드 록 (2402) 내의 페데스탈 (2412) 상에 위치되고, 대기 포트 (2410) 는 닫히고, 로드 록은 펌프다운된다. 인바운드 로드 록 (2402) 이 원격 플라즈마 소스를 포함하면, 웨이퍼는 프로세싱 챔버 (2414) 내에 도입되기 전에 로드 록 내의 원격 플라즈마 처리에 노출될 수도 있다. 또한, 웨이퍼는 또한 예를 들어, 수분 및 흡착된 가스들을 제거하기 위해, 인바운드 로드 록 (2402) 내에서 히팅될 수도 있다. 다음에, 챔버 이동 포트 (2416) 가 프로세싱 챔버 (2414) 에 대해 개방되고, 다른 로봇 (미도시) 이 프로세싱을 위한 반응기 내에 도시된 제 1 스테이션의 페데스탈 상의 반응기 내에 웨이퍼를 위치시킨다. 도 4에 도시된 실시예는 로드 록들을 포함하지만, 일부 실시예들에서, 프로세스 스테이션에 웨이퍼가 직접적으로 제공될 수도 있다는 것이 이해될 것이다.
- [0070] 도시된 프로세싱 챔버 (2414) 는 도 4에 도시된 실시예들에서 1 내지 4로 번호가 붙여진, 4 개의 프로세스 스테이션들을 포함한다. 스테이션 각각은 히팅된 페데스탈 (스테이션 1에 대해 2418로 도시됨), 및 가스선 유입구들을 갖는다. 일부 실시예들에서, 프로세스 스테이션 각각이 상이한 목적 또는 다수의 목적들을 가질 수도 있다는 것이 이해될 것이다. 도시된 프로세싱 챔버 (2414) 는 4 개의 스테이션들을 포함하지만, 본 개시에 따른 프로세싱 챔버는 임의의 적합한 수의 스테이션들을 가질 수도 있다는 것이 이해될 것이다. 예를 들어, 일부 실시예들에서, 프로세싱 챔버는 5 개 이상의 스테이션들을 갖는 반면, 다른 실시예들에서 프로세싱 챔버는 3 개 이하의 스테이션들을 가질 수도 있다.
- [0071] 도 4는 또한 프로세싱 챔버 (2414) 내에서 웨이퍼들을 이동하기 위한 웨이퍼 처리 시스템 (2490) 의 실시예를 도시한다. 일부 실시예들에서, 웨이퍼 처리 시스템 (2490) 은 다양한 프로세스 스테이션들 사이 및/또는 프로세스 스테이션과 로드 록 사이에서 웨이퍼들을 이동시킬 수 있다. 임의의 적합한 웨이퍼 처리 시스템이 채택될 수도 있다는 것이 이해될 것이다. 비-제한적인 예들은 웨이퍼 캐로셀들 (carousels) 및 웨이퍼 처리 로봇들을 포함한다. 도 4는 또한 프로세스 톨 (2400) 의 프로세스 조건들 및 하드웨어 상태들을 제어하도록 채택된 시스템 제어기 (2450) 의 실시예를 도시한다. 시스템 제어기 (2450) 은 하나 이상의 메모리 디바이스들 (2456), 하나 이상의 대용량 저장 디바이스들 (2454), 및 하나 이상의 프로세서들 (2452) 을 포함할 수도 있다. 프로세서 (2452) 는 CPU 또는 컴퓨터, 아날로그 입력/출력 연결부 및/또는 디지털 입력/출력 연결부, 스텝퍼 모터 제어

보드들, 등을 가질 수도 있다.

- [0072] 일부 실시예들에서, 시스템 제어기 (2450) 는 프로세스 툴 (2400) 의 모든 액티비티들을 제어한다. 시스템 제어기 (2450) 는 대용량 저장 디바이스 (2454) 에 저장되고, 메모리 디바이스 (2456) 로 로딩되고, 프로세서 (2452) 상에서 실행되는 시스템 제어 소프트웨어 (2458) 를 실행한다. 시스템 제어 소프트웨어 (2458) 는 타이밍, 가스들의 혼합, 챔버 및/또는 스테이션 압력, 챔버 및/또는 스테이션 온도, 퍼지 조건들 및 타이밍, 웨이퍼 온도, RF 전력 레벨들, RF 주파수들, 기관, 페데스탈, 척 및/또는 서셉터 위치, 및 프로세스 툴 (2400) 에서 수행된 특정한 프로세스의 다른 파라미터들을 포함할 수도 있다. 시스템 제어 소프트웨어 (2458) 는 임의의 적합한 방식으로 구성될 수도 있다. 예를 들어, 다양한 프로세스 툴 구성요소 서브루틴들 또는 제어 객체들이 개시된 방법들에 따라 다양한 프로세스 툴 프로세스들을 수행하기 위해 필요한 프로세스 툴 구성요소들의 동작을 제어하도록 작성될 수도 있다. 시스템 제어 소프트웨어 (2458) 는 임의의 적합한 컴퓨터 판독가능 프로그래밍 언어로 코딩될 수도 있다.
- [0073] 일부 실시예들에서, 시스템 제어 소프트웨어 (2458) 는 상기 기술된 다양한 파라미터들을 제어하기 위한 IOC (input/output control) 시퀀싱 (sequencing) 인스트럭션들을 포함할 수도 있다. 예를 들어, PEALD 프로세스의 단계 각각은 시스템 제어기 (2450) 에 의해 실행할 하나 이상의 인스트럭션들을 포함할 수도 있다. PEALD 프로세스 단계에 대한 프로세스 조건들을 설정하기 위한 인스트럭션들이 대응하는 PEALD 레시피 단계에 포함될 수도 있다. 일부 실시예들에서, PEALD 프로세스 PEALD 단계를 위한 모든 인스트럭션들이 프로세스 단계와 동시에 실행되도록 PEALD 레시피 단계들이 연속적으로 배열될 수도 있다.
- [0074] 시스템 제어기 (2450) 와 연관된 대용량 저장 디바이스 (2454) 및/또는 메모리 디바이스 (2456) 에 저장된 다른 컴퓨터 소프트웨어 및/또는 프로그램들이 일부 실시예들에서 채택될 수도 있다. 이러한 목적을 위한 프로그램들 또는 프로그램들의 섹션들의 예들은 기관 포지셔닝 (positioning) 프로그램, 프로세스 가스 제어 프로그램, 압력 제어 프로그램, 히터 제어 프로그램, 및 플라즈마 제어 프로그램을 포함한다.
- [0075] 기관 포지셔닝 프로그램은 페데스탈 (2418) 상에 반도체 기관을 로딩하고 반도체 기관과 프로세스 툴 (2400) 의 다른 부분들 사이의 공간을 제어하도록 사용된 프로세스 툴 구성요소들에 대한 프로그램 코드를 포함할 수도 있다.
- [0076] 프로세스 가스 제어 프로그램은 프로세스 스테이션 내의 압력을 안정화시키기 위해 증착 전에 가스 조성 및 플로우 레이트들을 제어하기 위한 코드 및 선택적으로 하나 이상의 프로세스 스테이션들로 가스를 유동시키기 위한 코드를 포함할 수도 있다. 압력 제어 프로그램은 예를 들어, 프로세스 스테이션의 배기 시스템의 쓰로틀 밸브, 프로세스 스테이션으로의 가스 플로우, 등을 조정함으로써 프로세스 스테이션 내의 압력을 제어하기 위한 코드를 포함할 수도 있다.
- [0077] 히터 제어 프로그램은 기관을 히팅하기 위해 사용된 히팅 유닛으로의 전류를 제어하기 위한 코드를 포함할 수도 있다. 대안적으로, 히터 제어 프로그램은 기관으로의 (헬륨과 같은) 열 전달 가스 (heat transfer gas) 의 전달을 제어할 수 있다.
- [0078] 플라즈마 제어 프로그램은 하나 이상의 프로세스 스테이션들 내의 프로세스 전극들에 인가된 RF 전력 레벨들 및 주파수들을 설정하기 위한 코드를 포함할 수도 있다. 플라즈마 제어 프로그램은 또한 플라즈마 노출/변환 동작 동안 플라즈마 듀티 사이클 및 플라즈마 펄스들의 주파수를 제어하기 위한 코드를 포함할 수도 있다.
- [0079] 일부 실시예들에서, 시스템 제어기 (2450) 와 연관된 사용자 인터페이스가 있을 수도 있다. 사용자 인터페이스는 디스플레이 스크린, 장치의 그래픽적인 소프트웨어 디스플레이 및/또는 프로세스 조건들의 그래픽적인 소프트웨어 디스플레이, 및 포인팅 디바이스들, 키보드들, 터치 스크린들, 마이크로폰들 등의 사용자 입력 디바이스들을 포함할 수도 있다.
- [0080] 일부 실시예들에서, 시스템 제어기 (2450) 에 의해 조정된 파라미터들은 프로세스 조건들과 관련될 수도 있다. 비제한적인 예들은 프로세스 가스 조성 및 플로우 레이트들, 온도, 압력, (RF 바이어스 전력 레벨들과 같은) 플라즈마 조건들, 압력, 온도 등을 포함한다. 이들 파라미터들은 사용자 인터페이스를 활용하여 입력될 수도 있는, 레시피의 형태로 사용자에게 제공될 수도 있다.
- [0081] 프로세스를 모니터링하기 위한 신호들은 다양한 프로세스 툴 센서들로부터 시스템 제어기 (2450) 의 아날로그 입력 연결부 및/또는 디지털 입력 연결부에 의해 제공될 수도 있다. 프로세스를 제어하기 위한 신호들은 프로세스 툴 (2400) 의 아날로그 출력 연결부 및/또는 디지털 출력 연결부 상에 출력될 수도 있다. 모니터링될 수도 있는 프로세스 툴 센서들의 비제한적인 예들은 질량 유량 제어기들, (압력계들 (manometers) 과 같은) 압력



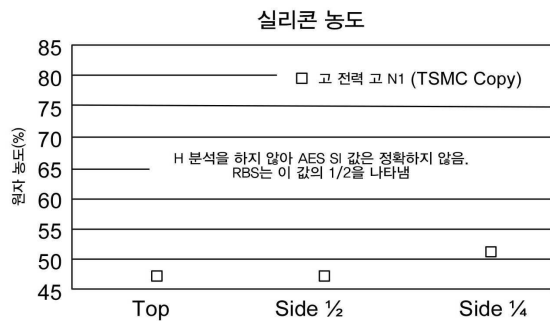
센서들, 열전대들 (thermocouple), 등을 포함한다. 적절하게 프로그램된 피드백 및 제어 알고리즘들이 프로세스 조건들을 유지하기 위해 이들 센서들로부터의 데이터를 사용할 수도 있다.

- [0082] 시스템 제어기 (2450) 는 상기 기술된 증착 프로세스들을 구현하기 위한 프로그램 인스트럭션들을 제공할 수도 있다. 프로그램 인스트럭션들은 DC 전력 레벨, RF 전력 레벨, RF 바이어스 전력 레벨, RF 주파수, 플라즈마 펄스 주파수, 압력, 온도, 등과 같은 다양한 프로세스 파라미터들을 제어할 수도 있다. 인스트럭션들은 본 명세서에 기술된 다양한 실시예들에 따른 막 스택들의 인-시츄 증착을 동작시키기 위한 파라미터들을 제어할 수도 있다.
- [0083] 상기 기술된 다양한 하드웨어 및 방법 실시예들은 예를 들어, 반도체 디바이스들, 디스플레이, LED들, 광전 패널 등의 제조 또는 제작을 위해 리소그래피 패터닝 툴들 또는 프로세스들과 함께 사용될 수도 있다. 통상적으로, 이러한 툴들/프로세스들은 반드시 그러한 것은 아니지만 공통 제조 시설 내에서 함께 사용 또는 수행될 수 있다.
- [0084] 막의 리소그래피 패터닝은 통상적으로 단계들 각각이 다수의 가능한 툴들을 사용하여 인에이블되는, 이하의 단계들: (1) 예를 들어, 그 위에 형성된 질화 실리콘막을 갖는 기판에 스프레이-온 (spin-on) 툴 또는 스프레이-온 (spray-on) 툴을 사용하여 워크피스 상에 포토레지스트를 도포하는 단계; (2) 핫 플레이트 또는 노 또는 다른 적합한 경화 툴을 사용하여 포토레지스트 경화 단계; (3) 웨이퍼 스텝퍼와 같은 툴을 사용하여 가시광 또는 UV 또는 x-선 광에 포토레지스트를 노출시키는 단계; (4) 레지스트를 선택적으로 제거하도록 레지스트를 현상하여 습식 벤치 또는 스프레이 현상기와 같은 툴을 사용하여 레지스트를 패터닝하는 단계; (5) 건식 또는 플라즈마 보조 에칭 툴을 사용함으로써 아래에 놓인 막 또는 워크피스로 레지스트 패턴을 전사하는 단계; 및 (3) RF 또는 마이크로파 플라즈마 레지스트 스트립퍼와 같은 툴을 사용하여 레지스트를 제거하는 단계의 일부 또는 전부를 포함한다. 일부 실시예들에서, (비정질 탄소층과 같은) AHM (ashable hard mask layer) 및 다른 적합한 (반사 방지층과 같은) 하드마스크가 포토레지스트를 도포하기 전에 증착될 수도 있다.
- [0085] 본 명세서에 기술된 구성들 및/또는 접근 방법들은 본질적으로 예시적이고, 이들 구체적인 실시예들 또는 예들은 다양한 변형들이 가능하기 때문에 제한하는 방식으로 고려되지 않는다는 것이 이해된다. 본 명세서에 기술된 구체적인 루틴들 또는 방법들은 하나 이상의 임의의 수의 프로세싱 전략들을 나타낼 수도 있다. 이와 같이, 예시된 다양한 동작들은 예시된 순서로, 다른 순서로, 병행하여, 수행될 수도 있고, 또는 일부 경우들에서 생략될 수도 있다. 유사하게, 상기 기술된 프로세스들의 순서는 변경될 수도 있다.
- [0086] 본 개시의 주제는 본 명세서에 개시된 다양한 프로세스들, 시스템들 및 구성들, 및 다른 특징들, 기능들, 동작들, 및/또는 특성들의 모든 신규하고 명백하지 않은 조합들, 및 임의의 모든 이들의 등가물들을 포함한다.
- [0087] 실험
- [0088] 실험 결과들은 개시된 프로세스들이 균일한 고품질 막을 달성하기 위해 사용될 수도 있다는 것을 보여준다. 도 5a 및 도 5b 및 도 6a 및 도 6b는 100:1의 물:HF의 증착 시 및 90 초 간 에칭 후 반도체 기판 상의 트렌치들 내에 증착된 탄화질화 실리콘 막들의 단면도를 도시한다. 도 5c 및 도 6c는 각각 도 5a 및 도 5b 및 도 6a 및 도 6b에 도시된 막들의 에칭 속성들과 관련된 표를 도시한다.
- [0089] 도 5a는 증착 시 종래의 막을 도시한다. 도 5b는 에칭 후의 동일한 막을 도시한다. 도 5c는 피치의 측면에서의 에칭 레이트가 피치의 상단부에서의 에칭 레이트보다 실질적으로 높고, 상단부의 에칭 레이트는 피치의 하단부에서의 에칭 레이트보다 높다는 것을 도시한다. 이 경우에서, 피치의 측면에서의 에칭 레이트는 피치의 하단부에서의 에칭 레이트보다 대략 10 배 높다. 따라서, 측면들의 막이 피치의 다른 영역들의 막보다 불량한 품질을 갖는다는 것이 명백하다.
- [0090] 도 6a는 펄싱된 플라즈마를 사용하는, 개시된 방법들에 따라 증착된 증착 시 막을 도시한다. 이 경우에서, 플라즈마는 약 500 Hz의 주파수에서 펄싱된다. 도 6b는 에칭된 후의 동일한 막을 도시한다. 도 6c는 도 6a 및 도 6b에 도시된 막의 습식 에칭 레이트와 관련된다. 특히, 측면에서의 습식 에칭 레이트는 종래의 경우보다 실질적으로 낮고, 막의 상이한 부분들에서의 습식 에칭 레이트의 균일성이 상당히 개선되었다.
- [0091] 도 7a 및 도 7b는 연속과 플라즈마를 사용하여 증착된 막 (도 7a) 및 펄싱된 플라즈마를 사용하여 증착된 막 (도 7b) 에 대하여 STEM-EELS 분석에 의해 측정된 바와 같은 탄소 및 실리콘에 대한 상대적인 면적 밀도 맵들을 예시한다. 이들 도면들은 증착된 막들의 상이한 부분들에서의 C:Si 비율을 예시할 목적으로 컬러로 제공된다.

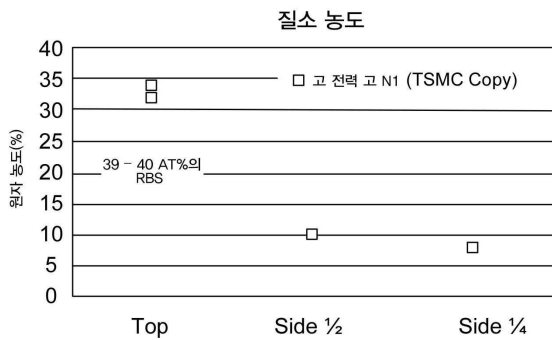
2 개의 막들의 측벽들을 비교할 때, 펄싱된 플라즈마 막이 연속과 플라즈마를 사용하여 준비된 막보다 높은 C:Si 비율을 갖는다는 것이 분명해진다. 이러한 보다 높은 측벽 C:Si 비율은 펄싱된 플라즈마 막으로 증착된 피쳐들의 측벽들에서 관찰된 보다 낮은 습식 에칭 레이트와 일치한다. 특정한 실시예들에서, 막의 측벽들은 적어도 약 0.4 또는 0.5 또는 0.6 (평균으로, 측벽의 실질적으로 수직부에서 측정됨, 도면들에 따라서 STEM-EELS 분석에 의해 측정됨, 또는 등가의 분석에 따라) 의 C:Si 비율을 갖는다. 도 7a에 도시된 예에서, 펄싱된 플라즈마 막에 대한 평균 측벽 C:Si 비율은 약 0.65인 반면, 도 7b의 연속과 막은 약 0.35의 평균 측벽 C:Si 비율을 갖는다.

**도면**

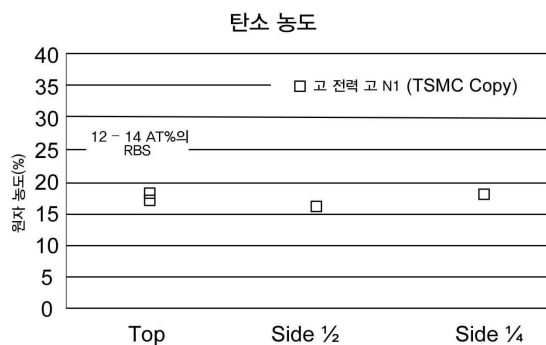
**도면1a**



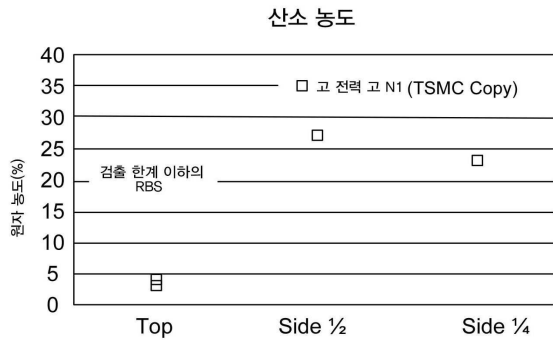
**도면1b**



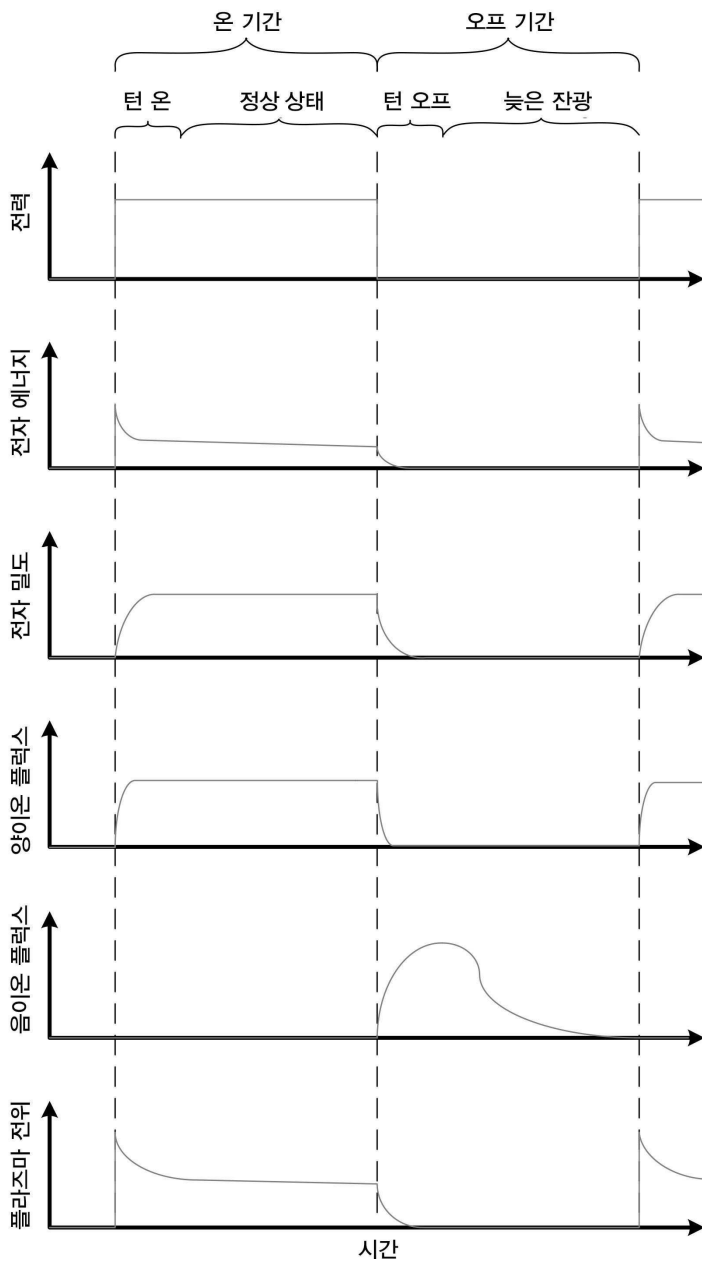
**도면1c**



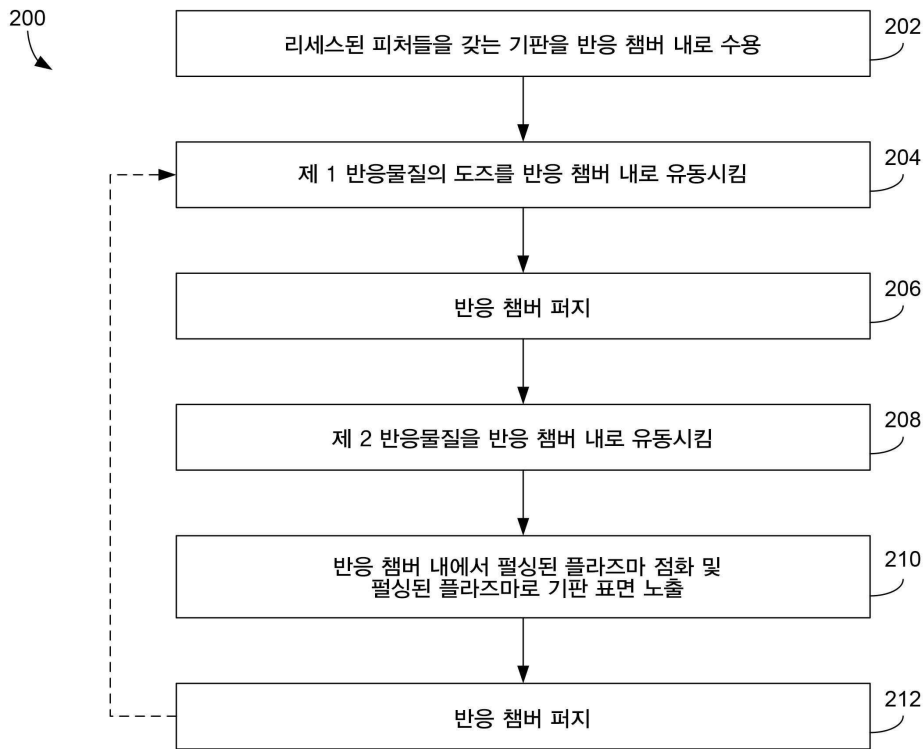
도면1d



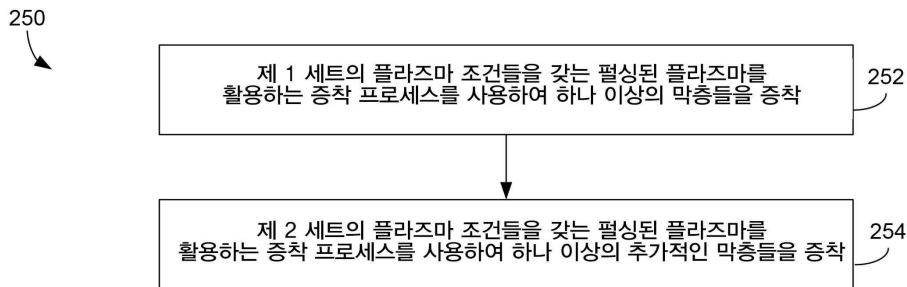
도면1e



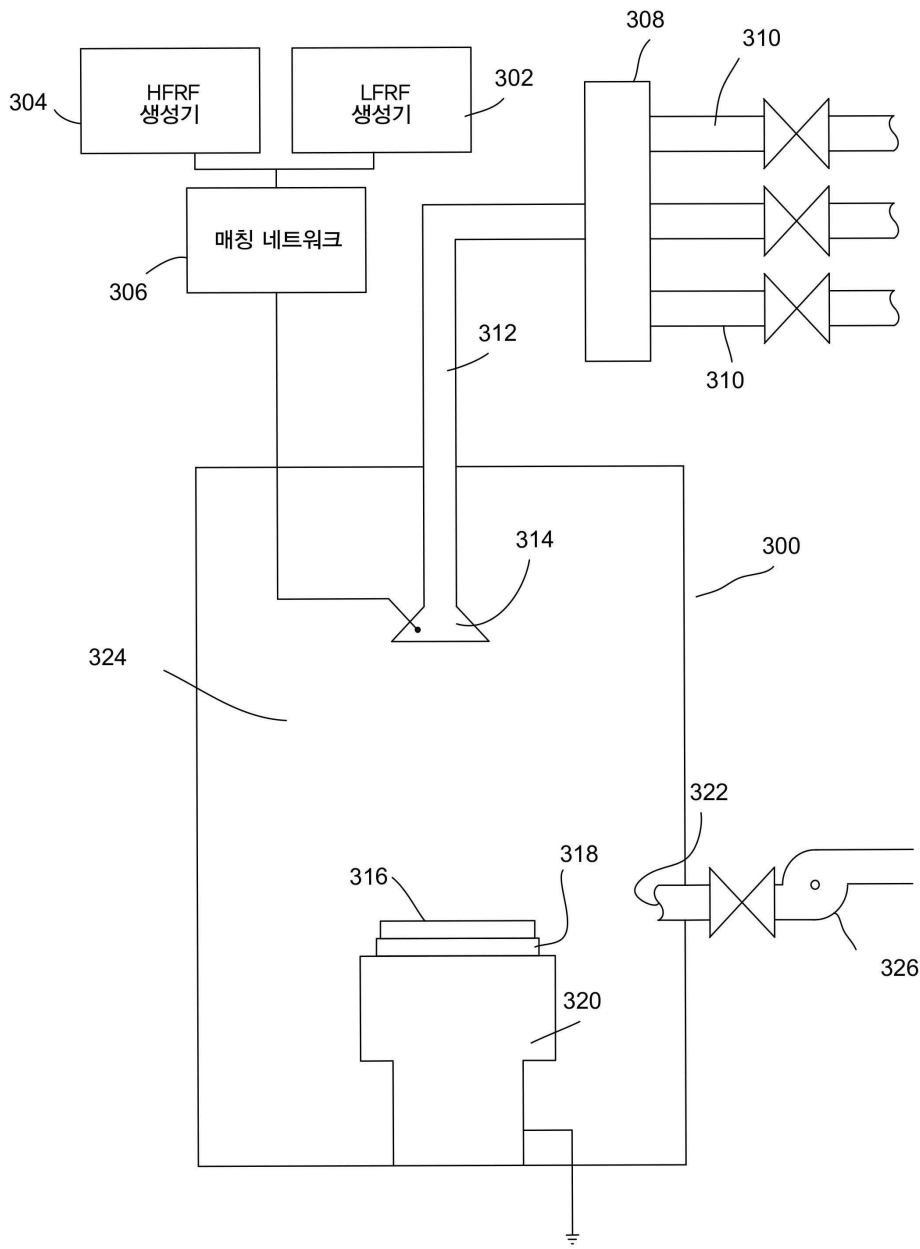
도면2a



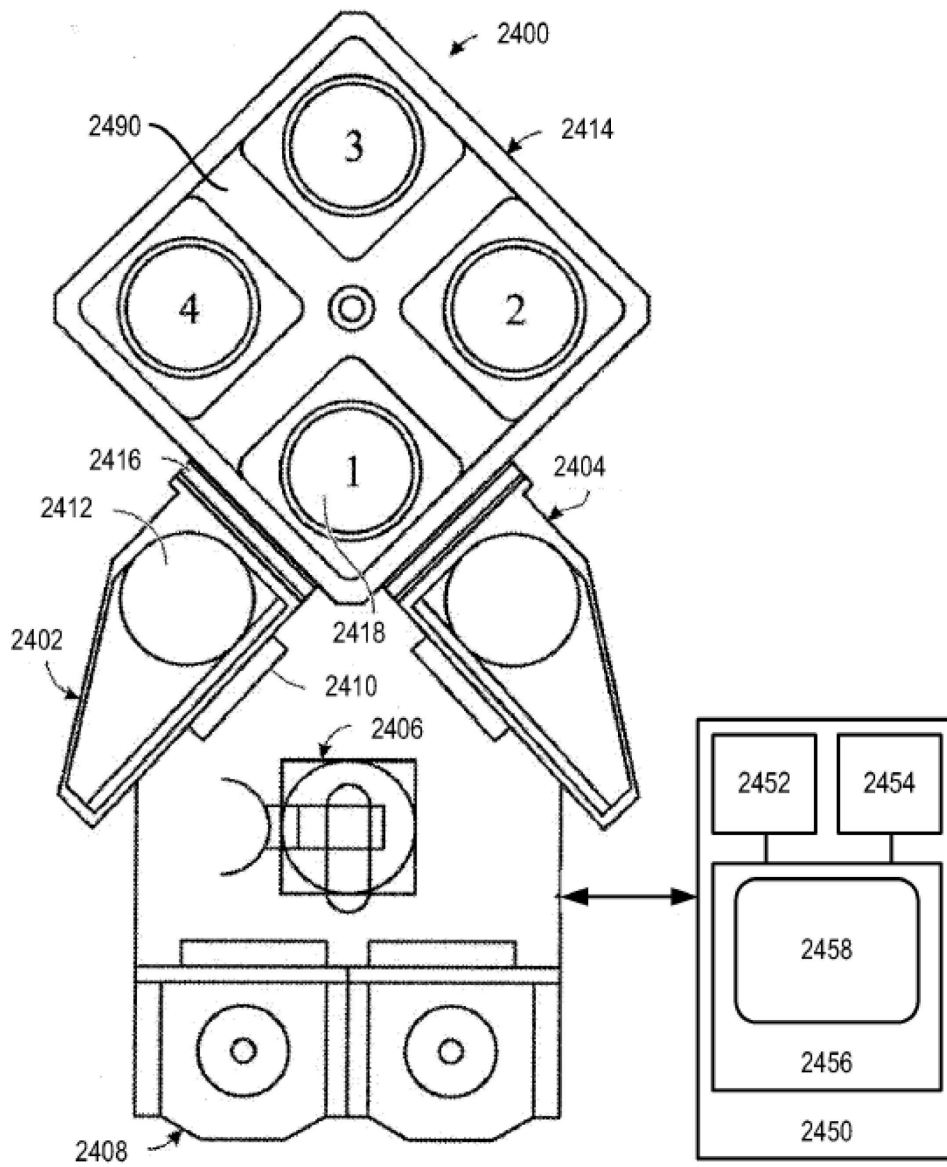
도면2b



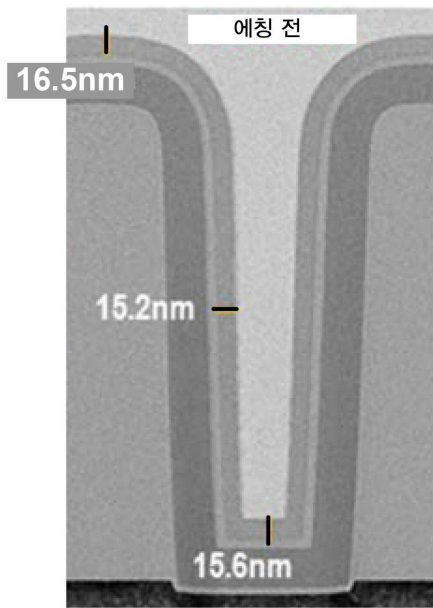
도면3



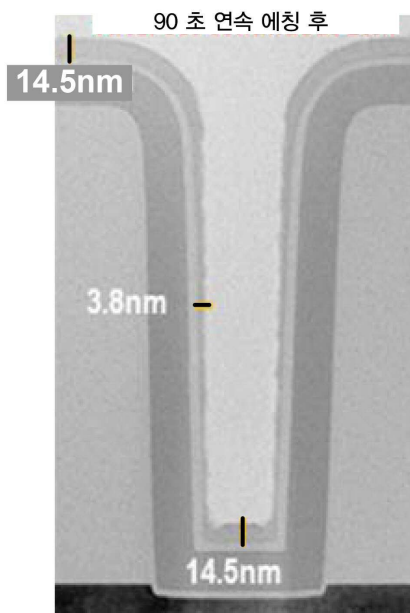
도면4



도면5a



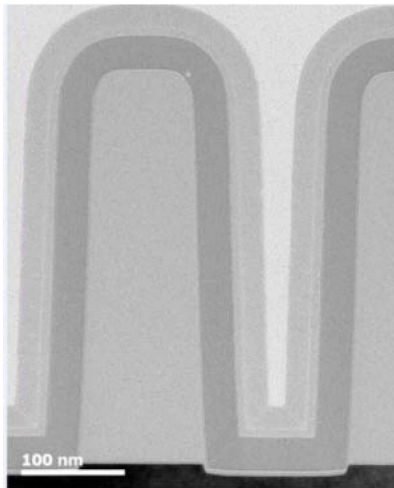
도면5b



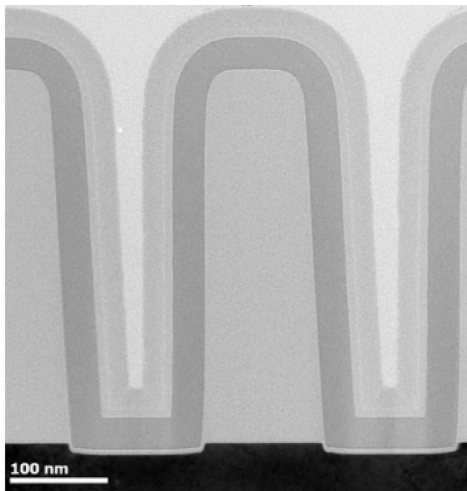
도면5c

위치	90 초 에칭 레이트 (A/min)
상단부	13
측면	76
하단부	7.3

도면6a



도면6b

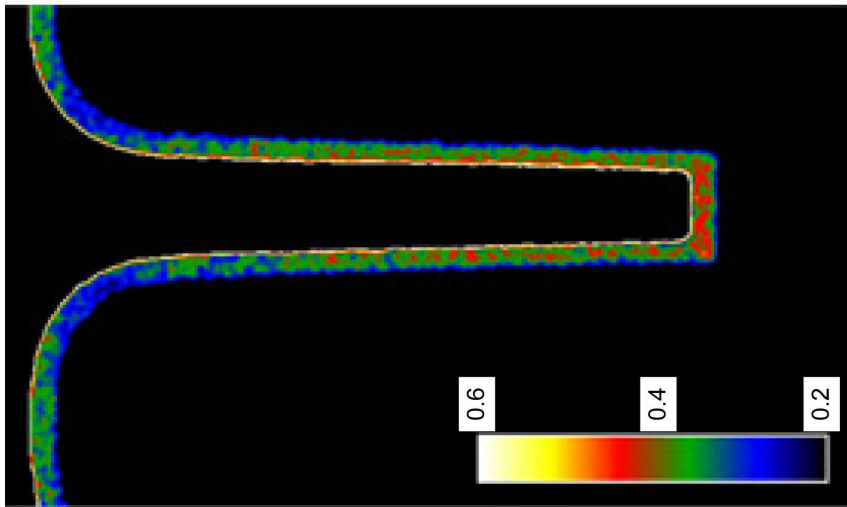


도면6c

위치	90 초 에칭 레이트 (A/min)
상단부	7
측면	3.9
하단부	7



도면7a



도면7b

