

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97133577

※ 申請日期：97.9.2

※ I P C 分類：H01L 23/48 (2006.01)

一、發明名稱：(中文/英文)

嵌埋有半導體元件之封裝基板及其製法

PACKAGE SUBSTRATE HAVING SEMICONDUCTOR COMPONENT EMBEDDED
THEREIN AND FABRICATION METHOD THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

欣興電子股份有限公司

UNIMICRON TECHNOLOGY CORP.

代表人：(中文/英文) 曾子章 / TSENG, TZYU-JANG

住居所或營業所地址：(中文/英文)

桃園縣桃園市龜山工業區興邦路 38 號

No. 38, Hsing Pong Rd., Kwei-San Industrial Zone, Taoyuan 333, Taiwan,
R. O. C.

國 籍：(中文/英文) 中華民國/R. O. C.

三、發明人：(共 1 人)

姓 名：(中文/英文)

曾昭崇 / ZENG, ZHAO CHONG

國 籍：(中文/英文) 中華民國/R. O. C.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種嵌埋有半導體元件之封裝基板及其製法，係於一具有穿孔之輔助層上固定一具有複數電極墊之半導體晶片，且電極墊形成凸塊以對應穿孔中之填充材，將輔助層與半導體晶片置於一第一介電層中，接著移除凸塊與填充材，以形成盲孔，再使盲孔形成第一導電盲孔以電性連接電極墊，且於盲孔周圍形成第一線路層以電性連接第一導電盲孔，俾使電極墊可藉由第一線路層之電性連接墊而與外接結構對位，以增加對位精度，俾提昇電性連接之良率。

六、英文發明摘要：

The invention provides a package substrate having a semiconductor component embedded therein and a method of fabricating the same. The method comprises fastening an assisting layer formed with through holes to a semiconductor chip having electrode pads formed thereon; forming a bump on each electrode pad corresponding to the filling material disposed in the through holes; disposing the assisting layer and the semiconductor chip in a first dielectric layer; removing the bumps and the filling material to form blind holes; forming the blind holes into first conductive blind holes for electrically connecting the electrode pads; forming a first circuit layer on the periphery of the blind hole for electrically connecting the first conductive blind hole, thereby enabling the electrode pads to be aligned in position with an externally connected structure to increase alignment precision and good yields of electrical connections.

七、指定代表圖：

(一)本案指定代表圖為：第(2L)圖。

(二)本代表圖之元件代表符號簡單說明：

22	半導體晶片
22a	作用面
22b	非作用面
220	電極墊
24	黏著材
25	第一介電層
25a	第一表面
25b	第二表面
32'	第一線路層
320	導電通孔
321	第一導電盲孔
322	導電跡線
323	電性連接墊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種封裝基板及其製法，尤指一種嵌埋有半導體元件之封裝基板及其製法。

【先前技術】

隨著半導體封裝技術的演進，除了傳統打線式(Wire bonding)半導體封裝技術以外，目前半導體裝置(Semiconductor device)已開發出不同的封裝型態，例如直接在一封裝基板(package substrate)中嵌埋並電性整合一例如具有積體電路之半導體晶片，此種封裝件可縮減整體半導體裝置之體積並提昇電性功能，遂成為一種封裝的主流。

請參閱第 1A 至第 1D 圖，係為習知嵌埋有半導體元件之封裝基板之製法示意圖。如第 1A 圖所示，提供一第一承載板 10，且該第一承載板 10 具有相對之第一表面 10a 及第二表面 10b，並於該第一承載板 10 形成至少一貫穿該第一表面 10a 及第二表面 10b 之開口 101，並提供一第二承載板 11，並將該第一承載板 10 之第二表面 10b 接合於該第二承載板 11 上；如第 1B 圖所示，提供一半導體晶片 12，其具有相對之作用面 12a 及非作用面 12b，且於該作用面 12a 上具有複數電極墊 121，藉由一黏著層 13 將該半導體晶片 12 之非作用面 12b 固定於該第一承載板 10 之開口 101 中的第二承載板 11 上；如第 1C 圖所示，於該第一承載板 10 及該半導體晶片 12 之作用面 12a 上以熱壓

貼覆一介電層 14，且該介電層 14 填入該開口 101 與半導體晶片 12 之間的間隙中；如第 1D 圖所示，以雷射先於該介電層 14 對應該半導體晶片 12 之電極墊 121 形成複數盲孔 141，再於該盲孔 141 中及該介電層 14 上形成導電盲孔 16 及線路層 15，以電性連接該半導體晶片 12 之電極墊 121。

惟前述習知技術中，由於半導體晶片 12 與開口 101 的邊緣之間必須預留間隙，在該介電層 14 進行熱壓時，因為壓力等因素，易使該半導體晶片 12 於該開口 101 中偏移 e，而此偏移 e 會造成導電盲孔 16 連接電極墊 121 之對位偏差，甚至因偏差過大而無法有效電性連接電極墊 121。

而且，以雷射形成盲孔 141 時，亦可能產生對位誤差，造成導電盲孔 16 連接該電極墊 121 之對位偏差，甚至因偏差過大而無法電性連接該電極墊 121。此外，雷射加工之成本較高、速度較慢且容易造成該半導體晶片 12 損壞。

因此，鑒於上述之問題，如何避免習知技術中半導體晶片之電極墊對位盲孔的對位偏差，以及雷射加工精度較低、成本較高、速度較慢且容易造成半導體晶片損壞等問題，實已成目前亟欲解決的課題。

【發明內容】

鑒於上述習知技術之缺失，本發明之一目的係提供一種提昇電性連接之對位之嵌埋有半導體元件之封裝元件

及其製法。

本發明之另一目的係提供一種嵌埋有半導體元件之封裝元件及其製法，以避免半導體晶片受外力而產生偏移。

本發明之又一目的係提供一種嵌埋有半導體元件之封裝元件及其製法，以避免雷射加工所造成之問題。

為達上述及其它目的，本發明揭露一種嵌埋有半導體元件之封裝基板，係包括：第一介電層；半導體晶片，係設於第一介電層中，且具有相對之作用面及非作用面，該作用面具有複數電極墊；第一線路層，係設於第一介電層上；以及黏著材，係設於第一介電層中，且對應位於半導體晶片之作用面及電極墊上，又部分第一線路層設於該黏著材上方，且該第一線路層具有設於該黏著材中並電性連接該電極墊之第一導電盲孔。

依上述結構，該第一介電層中設有導電通孔，且電性連接第一線路層；該第一線路層復具有複數導電跡線及位於該第一導電盲孔上之電性連接墊。

於一實施態樣中，該黏著材可未外露於該第一介電層表面，以令該第一介電層包覆部分之第一導電盲孔；然，該黏著材亦可外露於該第一介電層表面，以令部分第一線路層設於該黏著材上。

於另一實施態樣中，該封裝基板復包括增層結構，係設於第一線路層及第一介電層上，係包括至少一第二介電層、設於第二介電層上之第二線路層、及設於第二介電層中並電性連接第一及第二線路層之第二導電盲孔，又該增層結構上具有防焊層，且防焊層具有開孔，以外露部份第二線路層，俾供作為電性接觸墊。

本發明復揭露一種嵌埋有半導體元件之封裝基板之製法，係包括：提供一承載板，於該承載板上形成一具有

複數穿孔之輔助層，且於穿孔中形成填充材；提供一半導體晶片，係具有相對之作用面及非作用面，該作用面上具有複數電極墊；於該電極墊上形成凸塊，以對應穿孔且接著填充材，而使半導體晶片結合至輔助層；於該輔助層與半導體晶片之間灌注黏著材，以包覆凸塊及電極墊；於該輔助層上形成第一介電層，以包覆半導體晶片，且該第一介電層具有相對之第一表面及第二表面；移除該承載板，以外露輔助層；移除該填充材與凸塊，以形成盲孔；以及於該盲孔中形成第一導電盲孔，以電性連接電極墊。

依上述製法，該填充材及凸塊係可為金屬或樹脂；該輔助層係可為金屬材質，且於該盲孔中形成第一導電盲孔時，亦於該第一介電層上形成第一線路層，以電性連接第一導電盲孔。

依上述製法，復可包括於第一介電層中形成導電通孔，以電性連接該第一線路層；該第一線路層復可具有電性連接墊及導電跡線。

依上述製法，該第一線路層及導電通孔之製法係包括：於該第一介電層及輔助層上形成貫穿之通孔；於該輔助層、盲孔及通孔上形成導電層；於該導電層上形成阻層，且於該阻層中形成複數開口區以露出導電層，並對應露出盲孔及通孔；於各開口區中形成初始線路層，且於各盲孔中形成第一導電盲孔，而於通孔中形成導電通孔；移除該阻層；以及移除顯露之導電層，以使該初始線路層形成第一線路層。

依上述線路層之製法，可於第一介電層之第二表面上形成金屬層，且該通孔復可貫穿該金屬層，而該導電層復可形成於該金屬層上；又可包括移除該導電層所覆蓋之輔助層與金屬層。

依上述製法，復可包括於該第一線路層及第一介電層上形成增層結構，該增層結構係可包括至少一第二介電層、設於第二介電層上之第二線路層、及設於第二介電層中並電性連接第一及第二線路層之第二導電盲孔，且該增層結構上具有防焊層，而該防焊層具有開孔，以外露部份第二線路層，俾供作為電性接觸墊。

此外，於另一實施態樣中，該輔助層可為介電材質，以與第一介電層結合而形成合成介電層，且於合成介電層上形成第一線路層，以電性連接該第一導電盲孔；然，其他相關製程，可參考該輔助層為金屬材質時之製程。

由上可知，本發明之嵌埋有半導體元件之封裝基板及其製法，主要藉由將半導體晶片固定於輔助層上，再一同結合於第一介電層，相較於習知技術，因半導體晶片已先結合於第一介電層中，故於後續線路製程中，不需進行介電層熱壓，有效避免半導體晶片受外力而產生偏移。

再者，該半導體晶片之電極墊以藉第一導電盲孔電性連接第一線路層，相較於習知技術，俾使本發明之電極墊藉由第一線路層與外接結構對位，有效增加電極墊與外部結構的對位精度，以達到提昇電性連接之對位之目的。

同時，藉由於電極墊上形成凸塊、以及凸塊對應穿孔

之兩個設計，當半導體晶片設於第一介電層中之後，只需移除填充材與凸塊，即可形成盲孔，相較於習知技術，本發明因不需使用雷射即可形成盲孔，可避免雷射加工所造成之問題。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

[第一實施例]

請參閱第 2A 至 2M 圖係為本發明之嵌埋有半導體元件之封裝基板之製法之剖面示意圖。

如第 2A 圖所示，提供一承載板 20'，於該承載板 20' 上形成一具有複數穿孔 200 之金屬材質之輔助層 20，且於該穿孔 200 中形成填充材 21；其中，所述之輔助層 20 係為銅箔。

如第 2B 圖所示，提供一具有相對之作用面 22a 及非作用面 22b 之半導體晶片 22，且該作用面 22a 上具有複數電極墊 220，並於各該電極墊 220 上形成凸塊 23。

如第 2C 圖所示，各該凸塊 23 對應各穿孔 200 且接著穿孔 200 中之填充材 21，以使半導體晶片 22 結合至輔助層 20；該凸塊 23 與填充材 21 之接著處（如圖中虛線所示）緊密配合，而無任何間隙，以防止後續製程之材料滲入。

其中，該凸塊 23 之材質對應填充材 21 之材質，亦為

金屬或樹脂等導電或不導電之材質；於本實施例中，凸塊 23 與填充材 21 為相同材質，故可將凸塊 23 與填充材 21 視為同一物，但於其他實施例中，可互為不同材質。

如第 2D 圖所示，於該輔助層 20 與半導體晶片 22 之間灌注黏著材 24，以包覆各凸塊 23 及電極墊 220，且使半導體晶片 22 固定於輔助層 20 上。

如第 2E 圖所示，於輔助層 20 上形成第一介電層 25，以包覆半導體晶片 22，且該第一介電層 25 具有相對之第一表面 25a 及第二表面 25b，該第一表面 25a 用以結合輔助層 20，而於該第二表面 25b 上則形成金屬層 26；接著，再移除該承載板 20'，以外露該輔助層 20。

如第 2F 圖所示，移除填充材 21 與凸塊 23，以形成盲孔 27；於移除製程中，因凸塊 23 與填充材 21 之材質相同，故僅需使用相同的製程即可完成移除，進而提升製程效率。

相較於習知技術，本發明藉由於電極墊 220 上形成凸塊 23，且凸塊 23 對應穿孔 200，故只需移除填充材 21 與凸塊 23，即可形成盲孔 27，因而不需使用雷射技術，可避免雷射加工所造成例如精度較低、速度較慢且易使半導體晶片 22 損壞等之問題。

如第 2G、2H 圖所示，於該金屬層 26、第一介電層 25 及輔助層 20 上形成貫穿之通孔 250；再於該金屬層 26、輔助層 20、通孔 250 及盲孔 27 上形成導電層 28。

如第 2I、2J 圖所示，進行電鍍製程，於該導電層 28

上形成阻層 31，且於該阻層 31 中形成複數開口區 310 以露出第一介電層 25 上之部份導電層 28，並對應露出各該盲孔 27 及通孔 250；接著，再於各開口區 310 中電鍍金屬以形成初始線路層 32，且於各該盲孔 27 中形成第一導電盲孔 321 以電性連接電極墊 220，而於該通孔 250 中形成導電通孔 320。

如第 2K、2L 圖所示，移除該阻層 31；接著，蝕刻移除顯露之導電層 28 及其所覆蓋之輔助層 20 與金屬層 26，且一併蝕刻移除該初始線路層 32 之部份頂表面，使該初始線路層 32 藉由薄化頂表面而形成第一線路層 32'。所述之第一線路層 32' 電性連接該導電通孔 320，且具有電性連接墊 323、導電跡線 322 及第一導電盲孔 321。

如第 2M 圖所示，於第一介電層 25 及第一線路層 32' 上形成增層結構 34，係包括至少一第二介電層 340、設於第二介電層 340 上之第二線路層 342、及設於第二介電層 340 中並電性連接第二線路層 342 之第二導電盲孔 341，且部份第二導電盲孔 341 以其底部電性連接第一線路層 32' 之電性連接墊 323；接著，再於增層結構 34 最外層之第二介電層 340 及第二線路層 342 上 341 形成該防焊層 33，且該防焊層 33 形成有開孔 330 以外露部份第二線路層 341，俾供作為電性接觸墊 343，以外接其他電子元件。

[第二實施例]

請參閱第 3A 至 3J 圖係為本發明之嵌埋有半導體元件之封裝基板之製法之第二實施例之剖面示意圖，於本實施

例中，該輔助層 20 係為介電材質。

如第 3A 圖所示，提供一承載板 20'，於該承載板 20' 上形成一具有複數穿孔 200 之介電材質之輔助層 20，且於穿孔 200 中形成填充材 21。

如第 3B 至 3D 圖所示，於一半導體晶片 22 之電極墊 220 上形成對應穿孔 200 且接著填充材 21 之凸塊 23，以使半導體晶片 22 結合至輔助層 20 上，再於該輔助層 20 與半導體晶片 22 之間灌注黏著材 24，以使半導體晶片 22 固定於輔助層 20 上。

如第 3E 圖所示，於輔助層 20 上形成具有相對之第一表面 25a 及第二表面 25b 之第一介電層 25，並以第一表面 25a 結合輔助層 20；接著，再移除該承載板 20'，以外露該輔助層 20。

如第 3F、3G 圖所示，藉由輔助層 20 與第一介電層 25 係同為介電材質而結合為一體，以形成合成介電層 25'，且該合成介電層 25' 具有對應第一表面 25a 之第三表面 25c；接著，移除填充材 21 與凸塊 23，以形成盲孔 27，且於該合成介電層 25' 中形成貫穿之通孔 250'。

如第 3H 圖所示，於合成介電層 25' 上依序形成導電層 28 及阻層 31，且於該阻層 31 中形成複數開口區 310 以露出合成介電層 25' 上之部份導電層 28，並對應露出各該盲孔 27 及通孔 250'。

如第 3I 圖所示，於各開口區 310 中電鍍金屬以於合成介電層 25' 上形成第一線路層 32'，且於盲孔 27 中形成

第一導電盲孔 321 以電性連接電極墊 220 及第一線路層 32'，而於該通孔 250' 中形成導電通孔 320，以電性連接該第一線路層 32'。

如第 3J 圖所示，移除該阻層 31 及其所覆蓋之導電層 28；該第一線路層 32' 具有電性連接墊 323、導電跡線 322 及第一導電盲孔 321；然，後續製程亦可如第 2L 圖所示，於該第一線路層 32' 及合成介電層 25' 上形成增層結構，故不再贅述。

因此，本發明之半導體晶片 22 先藉由黏著材 24 以固定於輔助層 20 上，再與輔助層 20 一同固定於第一介電層 25 中，相較於習知技術，因本發明之半導體晶片 22 已設於第一介電層 25 中，故於後續線路製程中，本發明不需再熱壓合第一介電層 25，以避免半導體晶片 22 受外力影響而產生偏移。

同時，由於本發明之半導體晶片 22 設於第一介電層 25 中之前，已使其電極墊 220 對準並固定於輔助層 20 的穿孔 200 上，並於後續製程中，使該穿孔 200 形成第一導電盲孔 321，可直接電性連接第一線路層 32'，於後續製程中，不僅有效避免半導體晶片 22 因受熱或介電層流動影響而產生偏移，且使電極墊 220 藉由第一線路層 32' 之電性連接墊 323 與增層結構對位，以增加電極墊 220 對位至外部線路的精度。

再者，可參考第 2L 圖所示，本發明復提供一種嵌埋有半導體元件之封裝基板，該封裝基板係包括：第一介電

98年6月17日修正替換頁

層 25、設於第一介電層 25 中之半導體晶片 22、設於第一介電層 25 上之第一線路層 32'、以及設於第一介電層 25 中之黏著材 24。

所述之第一介電層 25 具有相對之第一表面 25a 及第二表面 25b，且具有位於其中之導電通孔 320；所述之半導體晶片 22 具有相對之作用面 22a 及非作用面 22b，該作用面 22a 具有複數電極墊 220；所述之第一線路層 32' 電性連接該導電通孔 320，且部分第一線路層 32' 設於該黏著材 24 上方，該第一線路層 32' 並具有電性連接墊 323、導電跡線 322 及設於該黏著材 24 中之第一導電盲孔 321，以電性連接電極墊 220，而該電性連接墊 323 則位於該第一導電盲孔 321 上；所述之黏著材 24 位於半導體晶片 22 之作用面 22a 上，以包覆第一導電盲孔 321。

又如第 2L 圖所示，該黏著材 24 外露於該第一介電層 25 表面，以令部分第一線路層 32' 直接設於該黏著材 24 上；或如第 3J 圖所示，該黏著材 24 未外露於該第一介電層 25 表面，以令該第一介電層 25 包覆部分之第一導電盲孔 321。

該封裝基板復包括增層結構 34，係設於該第一線路層 32' 及第一介電層 25 上，係包括至少一第二介電層 340、設於第二介電層 340 上之第二線路層 342、及設於第二介電層 340 中並電性連接第二線路層 342 之第二導電盲孔 341，且部份第二導電盲孔 341 電性連接第一線路層 32' 之電性連接墊 323，而增層結構 34 上具有防焊層 33，且該防焊層 33 具有開孔 330，以外露部份第二線路層 341，俾供作為電性接觸墊 343。

綜上所述，本發明之嵌埋有半導體元件之封裝基板及其製法，藉由先將半導體晶片固定於輔助層上，且電極墊對應後續製程之第一導電盲孔，再一同設於第一介電層中，於後續線路製程中，不僅有效避免半導體晶片受外力影響而產生偏移，且使電極墊藉由第一導電盲孔與外接結

構對位，以增加電極墊對位的精度，有效達到提昇電性連接之對位之目的。另外，於製程中，因不需使用雷射製作盲孔，故有效避免雷射加工所造成之問題。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1A 至 1D 圖係為習知封裝基板之製法示意圖；

第 2A 至 2M 圖係為本發明之嵌埋有半導體元件之封裝基板之製法之第一實施例之剖面示意圖；以及

第 3A 至 3J 圖係為本發明之嵌埋有半導體元件之封裝基板之製法之第二實施例之剖面示意圖。

【主要元件符號說明】

10	第一承載板
10a, 25a	第一表面
10b, 25b	第二表面
101	開口
11	第二承載板
12, 22	半導體晶片
12a, 22a	作用面
12b, 22b	非作用面
121, 220	電極墊

13	黏著層
14	介電層
141, 27	盲孔
15	線路層
16	導電盲孔
e	偏差
20	輔助層
20'	承載板
200	穿孔
21	填充材
23	凸塊
24	黏著材
25	第一介電層
25'	合成介電層
25c	第三表面
250, 250'	通孔
26	金屬層
28	導電層
31	阻層
310	開口區
32	初始線路層
32'	第一線路層
320	導電通孔
321	第一導電盲孔

322	導電跡線
323	電性連接墊
33	防焊層
330	開孔
34	增層結構
340	第二介電層
341	第二線路層
342	第二導電盲孔
343	電性接觸墊

十、申請專利範圍：

98年6月12日修(受)正替換頁

1. 一種嵌埋有半導體元件之封裝基板，係包括：
第一介電層；
半導體晶片，係設於該第一介電層中，且具有相對之作用面及非作用面，該作用面具有複數電極墊；
第一線路層，係設於該第一介電層上；以及
黏著材，係設於該第一介電層中，且對應位於該半導體晶片之作用面及電極墊上，又部分第一線路層設於該黏著材上方，且該第一線路層具有設於該黏著材中並電性連接該電極墊之第一導電盲孔。
2. 如申請專利範圍第 1 項之嵌埋有半導體元件之封裝基板，其中，該第一介電層中設有導電通孔，且電性連接該第一線路層。
3. 如申請專利範圍第 1 項之嵌埋有半導體元件之封裝基板，其中，該第一線路層復具有複數導電跡線及位於該第一導電盲孔上之電性連接墊。
4. 如申請專利範圍第 1 項之嵌埋有半導體元件之封裝基板，其中，該黏著材未外露於該第一介電層表面，以令該第一介電層包覆部分之第一導電盲孔。
5. 如申請專利範圍第 1 項之嵌埋有半導體元件之封裝基板，其中，該黏著材外露於該第一介電層表面，以令部分第一線路層設於該黏著材上。
6. 如申請專利範圍第 1 項之嵌埋有半導體元件之封裝基板，復包括增層結構，係設於該第一線路層及第一介

電層上，係包括至少一第二介電層、設於該第二介電層上之第二線路層、及設於該第二介電層中並電性連接該第二線路層之第二導電盲孔，其中部份該第二導電盲孔電性連接該第一線路層，又該增層結構上具有防焊層，且該防焊層具有開孔，以外露部份該第二線路層，俾供作為電性接觸墊。

7. 一種嵌埋有半導體元件之封裝基板之製法，係包括：

提供一承載板，於該承載板上形成一具有複數穿孔之輔助層，且於該穿孔中形成填充材；

提供一半導體晶片，該半導體晶片係具有相對之作用面及非作用面，於該作用面上具有複數電極墊；

於各該電極墊上形成凸塊，各該凸塊對應各該穿孔且接著各該穿孔中之填充材，以使該半導體晶片結合至該輔助層；

於該輔助層與該半導體晶片之間灌注黏著材，以包覆各該凸塊及各該電極墊；

於該輔助層上形成第一介電層，以包覆該半導體晶片，且該第一介電層具有用以結合該輔助層之第一表面及相對該第一表面之第二表面；

移除該承載板，以外露該輔助層；

移除該填充材與該凸塊，以形成盲孔；以及

於該盲孔中形成第一導電盲孔，以電性連接該電極墊。

8. 如申請專利範圍第7項之嵌埋有半導體元件之封裝基

98年6月2日修正替換頁

板之製法，其中，該輔助層係為介電材質並與第一介電層結合，以形成合成介電層，且於該盲孔中形成第一導電盲孔時，亦於該合成介電層上形成第一線路層，以電性連接該第一導電盲孔。

9. 如申請專利範圍第 8 項之嵌埋有半導體元件之封裝基板之製法，其中，該第一線路層之製法，係包括：

於該合成介電層上形成貫穿之通孔；

於該合成介電層、盲孔及通孔上形成導電層；

於該導電層上形成阻層，且於該阻層中形成複數開口區以露出該合成介電層上之部份該導電層，並對應露出各該盲孔及該通孔；

於各該開口區中形成該第一線路層，且於各該盲孔中形成該第一導電盲孔，而於該通孔中形成導電通孔，以電性連接該第一線路層；以及

移除該阻層及其所覆蓋之導電層。

10. 如申請專利範圍第 8 項之嵌埋有半導體元件之封裝基板之製法，復包括於該第一線路層及合成介電層上形成增層結構，該增層結構係包括至少一第二介電層、設於該第二介電層上之第二線路層、及設於該第二介電層中並電性連接該第一及第二線路層之第二導電盲孔，且該增層結構上具有防焊層，而該防焊層具有開孔，以外露部份該第二線路層，俾供作為電性接觸墊。

11. 如申請專利範圍第 7 項之嵌埋有半導體元件之封裝基

98年6月12日修正替換頁

板之製法，其中，該輔助層係為金屬材質，且於該盲孔中形成第一導電盲孔時，亦於該第一介電層上形成第一線路層，以電性連接該第一導電盲孔。

12. 如申請專利範圍第 11 項之嵌埋有半導體元件之封裝基板之製法，復包括於該第一介電層中形成導電通孔，以電性連接該第一線路層。

13. 如申請專利範圍第 12 項之嵌埋有半導體元件之封裝基板之製法，其中，該第一線路層及導電通孔之製法係包括：

於該第一介電層及該輔助層上形成貫穿之通孔；

於該輔助層、盲孔及通孔上形成導電層；

於該導電層上形成阻層，且於該阻層中形成複數開口區以露出該第一介電層上之部份該導電層，並對應露出各該盲孔及該通孔；

於各該開口區中形成初始線路層，且於各該盲孔中形成該第一導電盲孔，而於該通孔中形成該導電通孔；

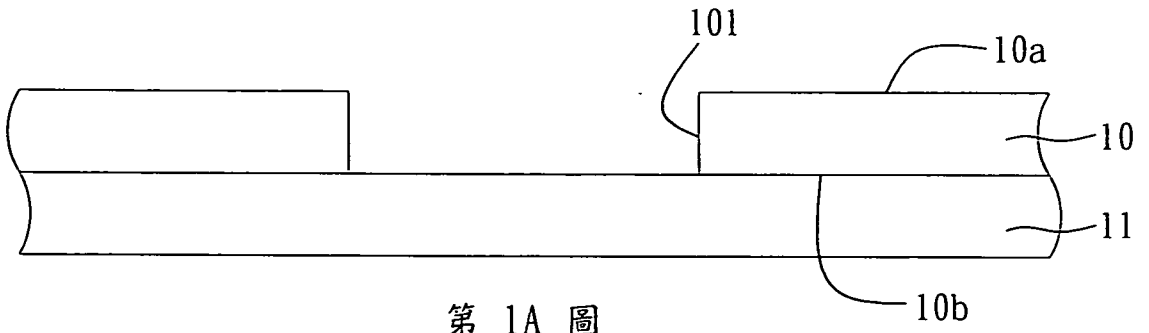
移除該阻層；以及

移除顯露之該導電層，以使該初始線路層形成該第一線路層。

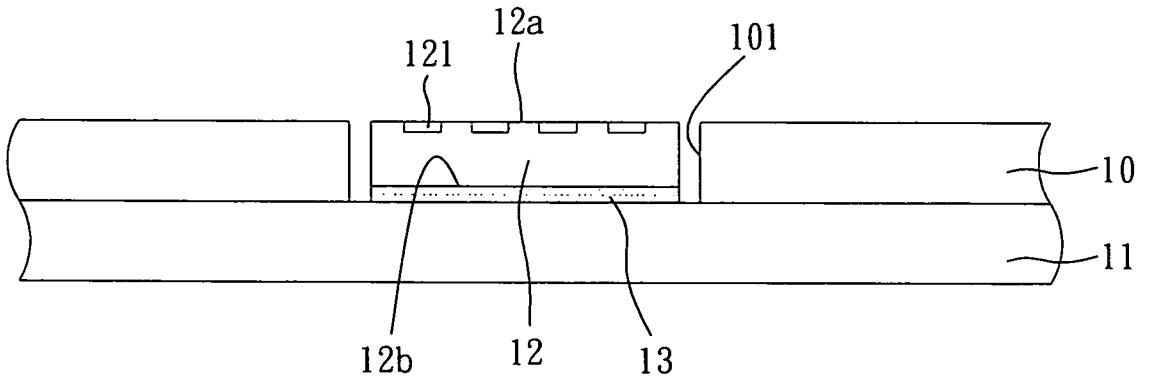
14. 如申請專利範圍第 13 項之嵌埋有半導體元件之封裝基板之製法，復包括於該第一介電層之第二表面上形成金屬層，且該通孔復貫穿該金屬層，而該導電層復形成於該金屬層上。

98年6月12日修正替換頁

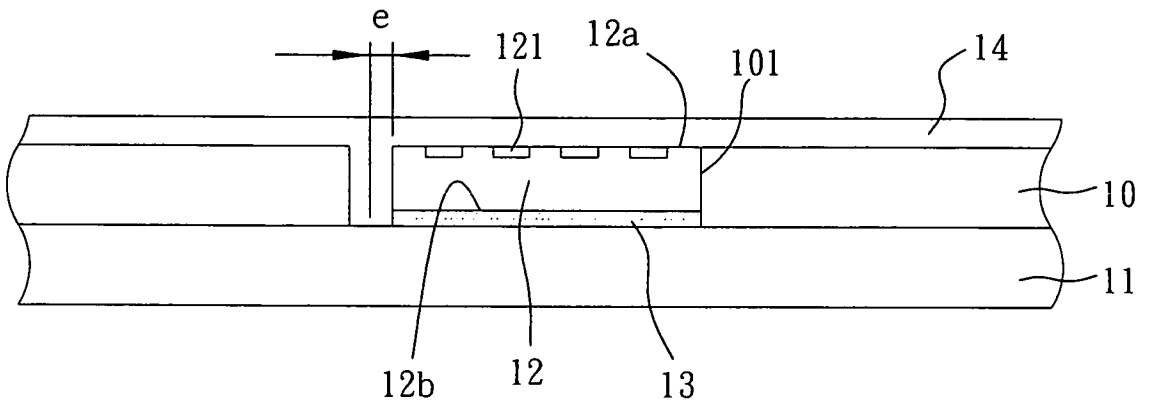
15. 如申請專利範圍第 14 項之嵌埋有半導體元件之封裝基板之製法，復包括移除該導電層所覆蓋之輔助層與金屬層。
16. 如申請專利範圍第 11 項之嵌埋有半導體元件之封裝基板之製法，復包括於該第一線路層及第一介電層上形成增層結構，該增層結構係包括至少一第二介電層、設於該第二介電層上之第二線路層、及設於該第二介電層中並電性連接該第一及第二線路層之第二導電盲孔，且該增層結構上具有防焊層，而該防焊層具有開孔，以外露部份該第二線路層，俾供作為電性接觸墊。
17. 如申請專利範圍第 8 或 11 項之嵌埋有半導體元件之封裝基板之製法，其中，該第一線路層復具有電性連接墊及導電跡線。
18. 如申請專利範圍第 7 項之嵌埋有半導體元件之封裝基板之製法，其中，該填充材係為金屬或樹脂。
19. 如申請專利範圍第 7 項之嵌埋有半導體元件之封裝基板之製法，其中，該凸塊係為金屬或樹脂。



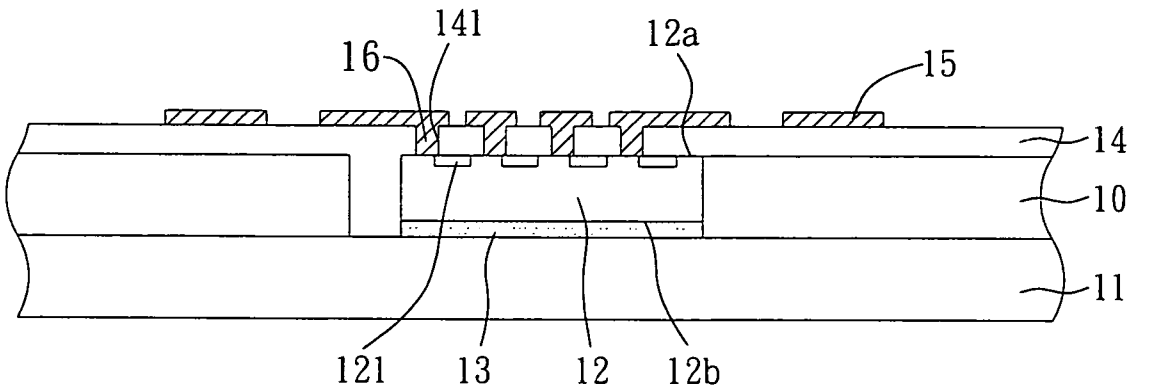
第 1A 圖



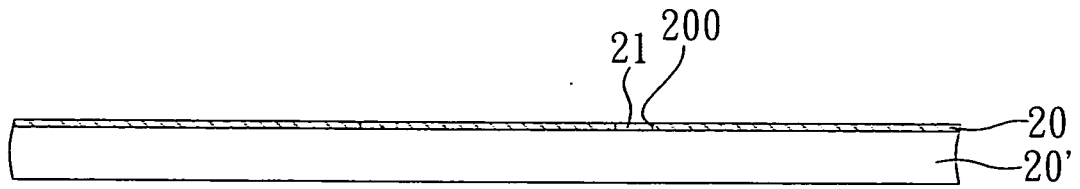
第 1B 圖



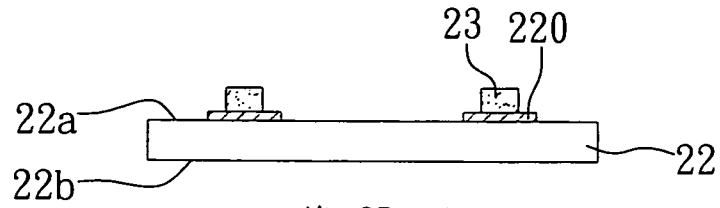
第 1C 圖



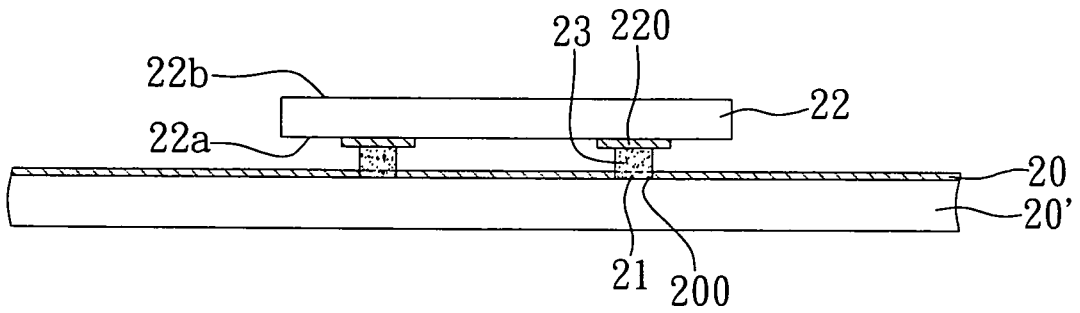
第 1D 圖



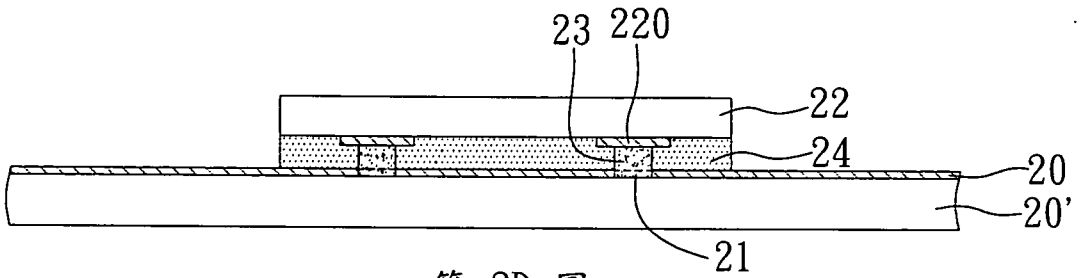
第 2A 圖



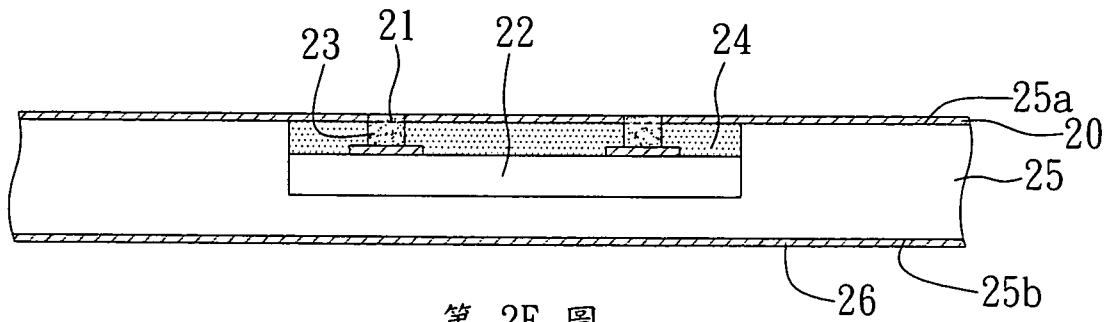
第 2B 圖



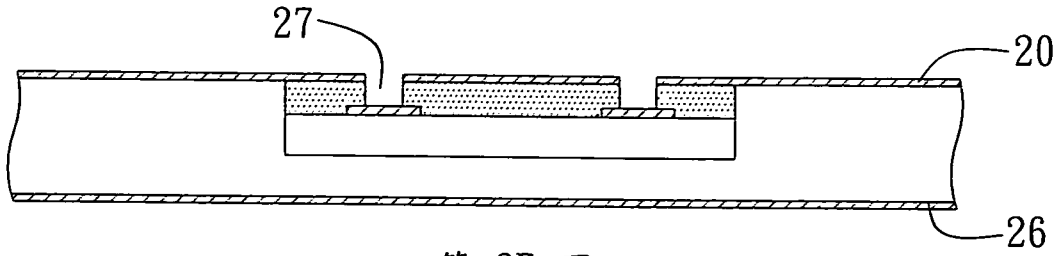
第 2C 圖



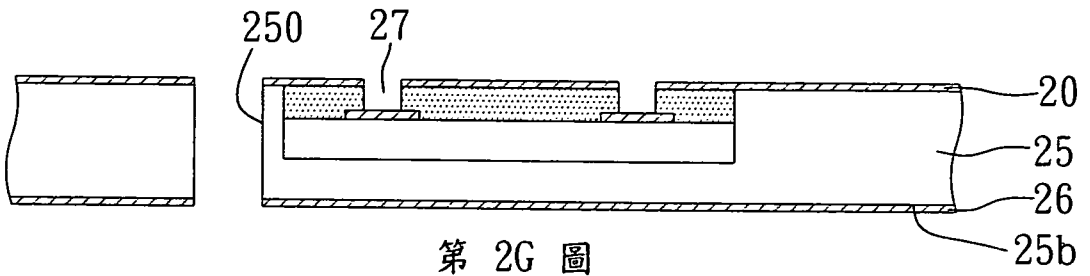
第 2D 圖



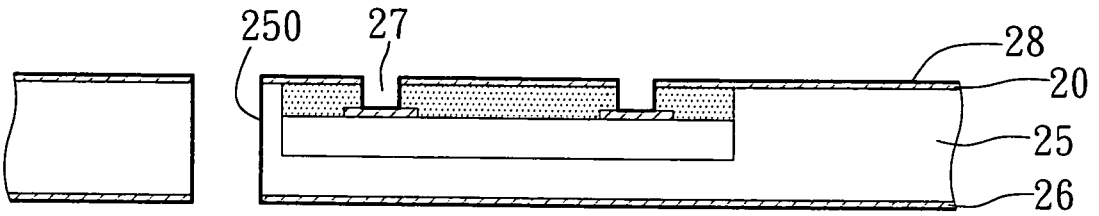
第 2E 圖



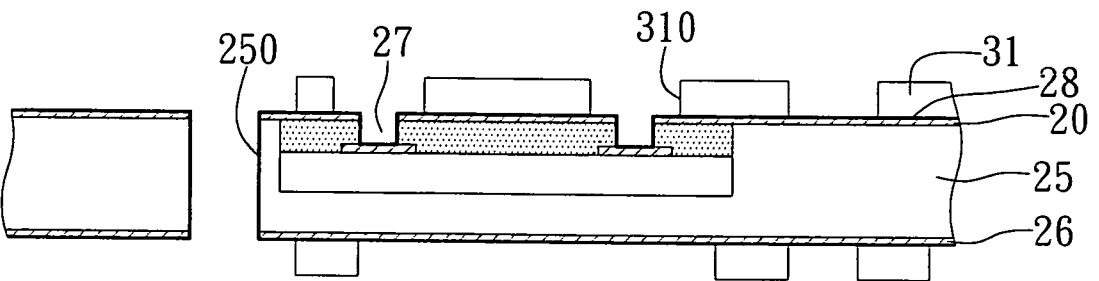
第 2F 圖



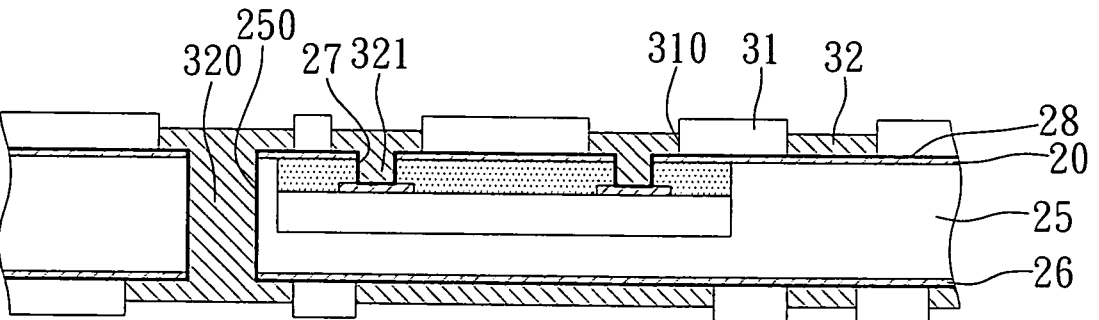
第 2G 圖



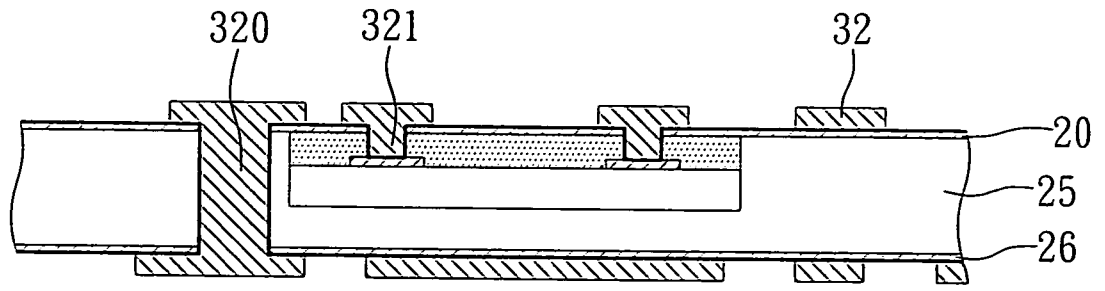
第 2H 圖



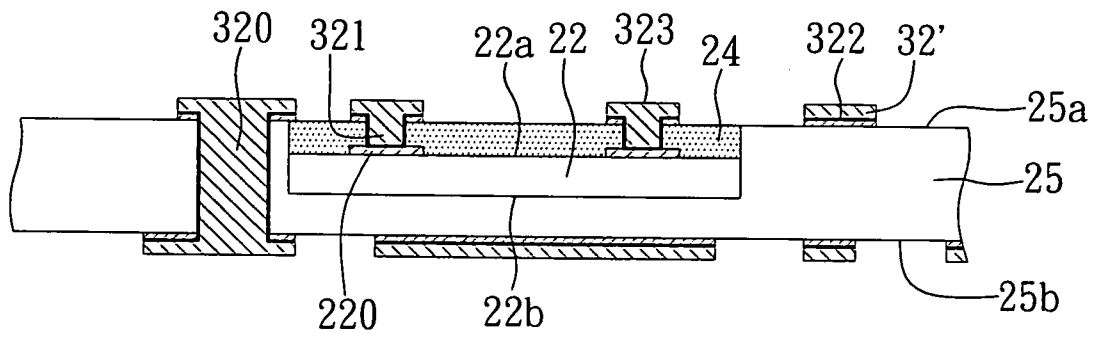
第 2I 圖



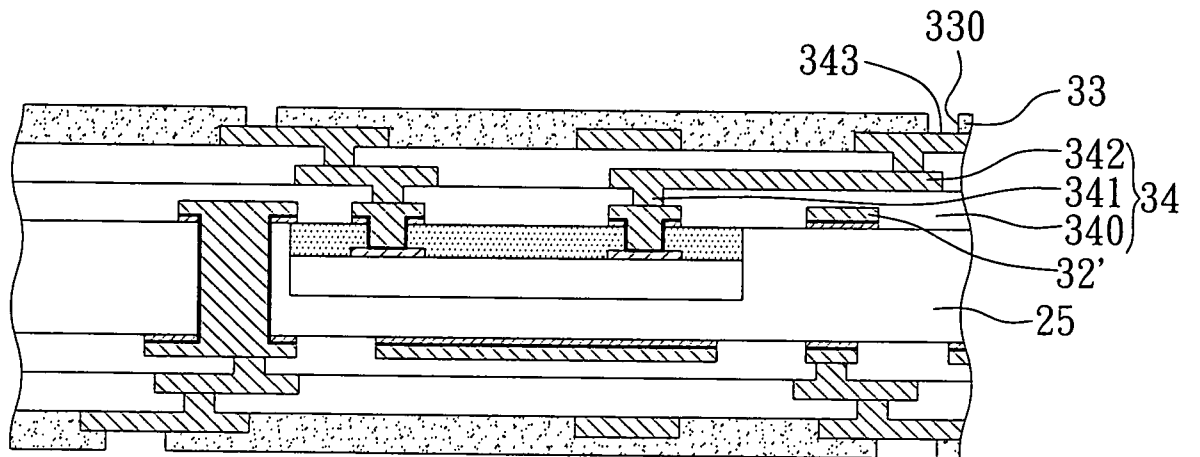
第 2J 圖



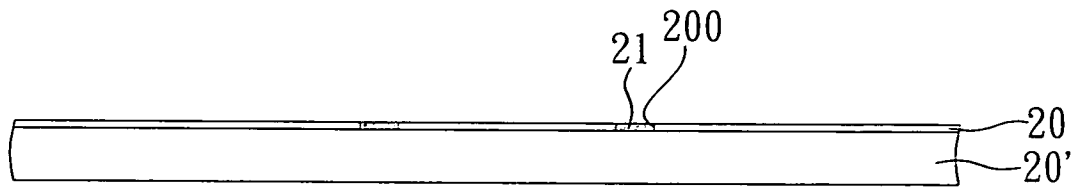
第 2K 圖



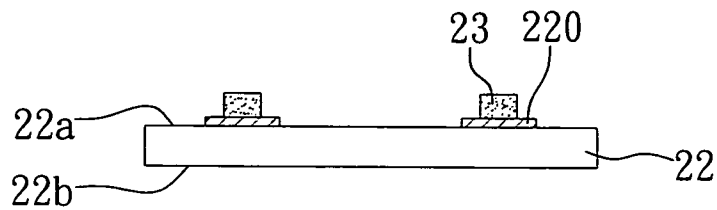
第 2L 圖



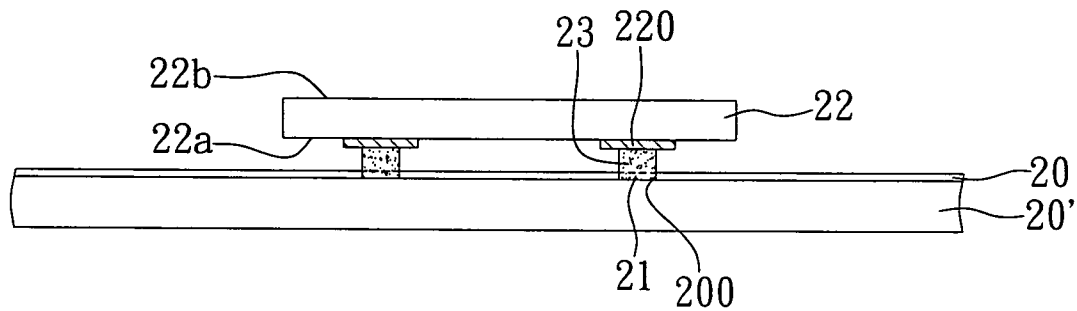
第 2M 圖



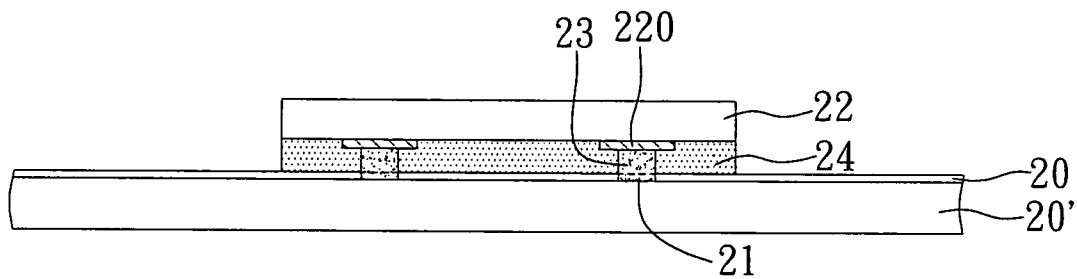
第 3A 圖



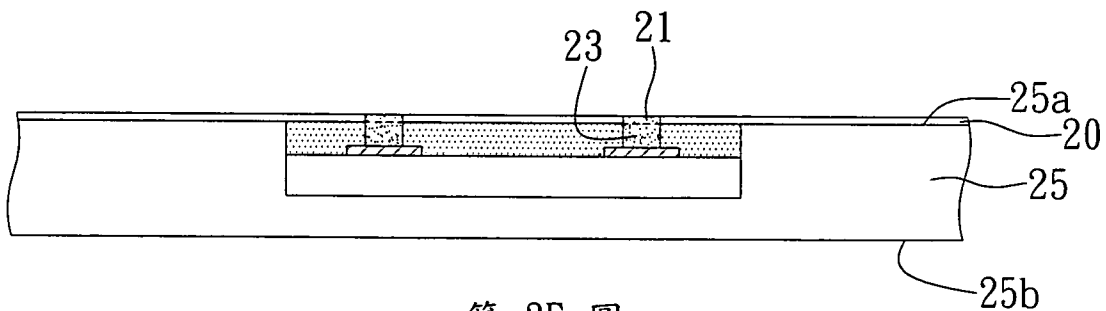
第 3B 圖



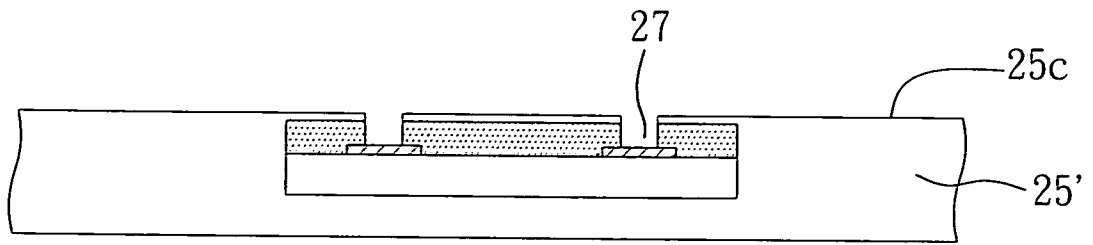
第 3C 圖



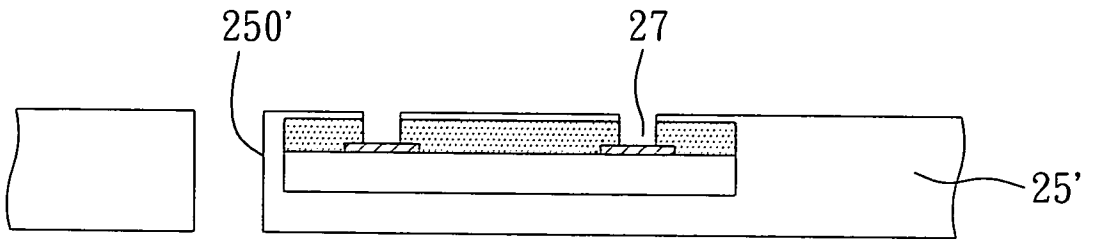
第 3D 圖



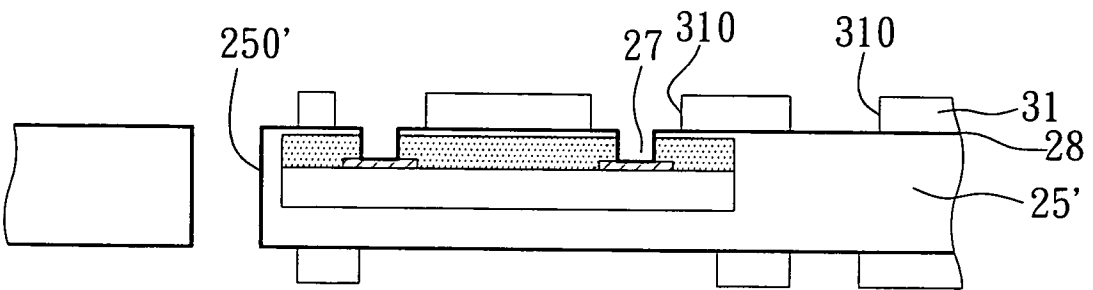
第 3E 圖



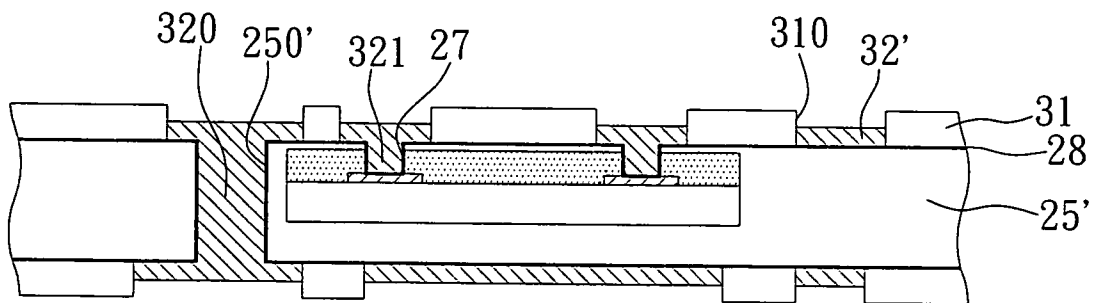
第 3F 圖



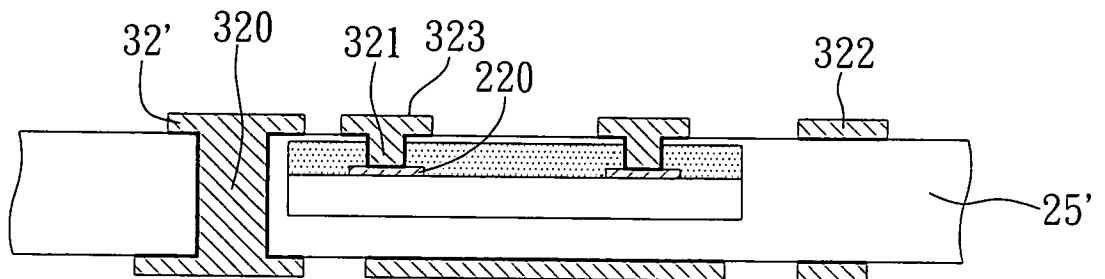
第 3G 圖



第 3H 圖



第 3I 圖



第 3J 圖