

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 11/408 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810080477.X

[43] 公开日 2009年8月26日

[11] 公开号 CN 101515472A

[22] 申请日 2008.2.19
[21] 申请号 200810080477.X
[71] 申请人 南亚科技股份有限公司
地址 中国台湾桃园县
[72] 发明人 叶志晖

[74] 专利代理机构 北京市柳沈律师事务所
代理人 蒲迈文

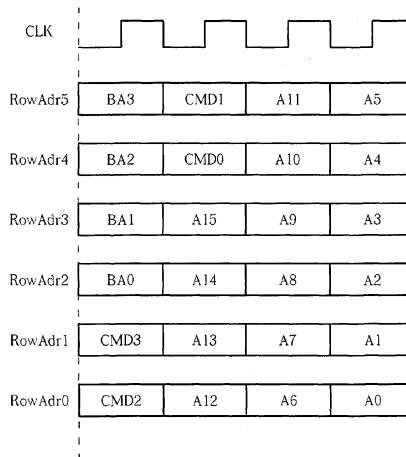
权利要求书 2 页 说明书 7 页 附图 5 页

[54] 发明名称

存取存储器芯片的方法

[57] 摘要

本发明提供一种存取一存储器芯片的方法，其包含有：于该存储器芯片设置多个第一输入接脚与多个第二输入接脚；将多个列地址讯号分别输入该多个第一输入接脚，其中每一个列地址讯号的一列地址命令分组的长度为一频率讯号的多个频率周期，且该列地址命令分组包含有多个列输入命令；以及将多个行地址讯号分别输入至该多个第二输入接脚，其中每一个行地址讯号的一行地址命令分组的长度为该频率讯号的多个频率周期，且该行地址命令分组包含有多个行输入命令。



1. 一种存取一存储器芯片的方法，其包含有：
于该存储器芯片设置多个第一输入接脚与多个第二输入接脚；
将多个列地址讯号分别输入该多个第一输入接脚，其中每一个列地址讯号的一列地址命令分组的长度为一频率讯号的多个频率周期；以及
将多个行地址讯号分别输入至该多个第二输入接脚，其中每一个行地址讯号的一行地址命令分组的长度为该频率讯号的多个频率周期。
2. 如权利要求 1 所述的方法，其中该列地址命令分组包含有多个列输入命令，该行地址命令分组包含有多个行输入命令。
3. 如权利要求 2 所述的方法，其中该列地址命令分组的长度为四个频率周期，且该列地址命令分组包含有四个列输入命令，其中该多个第一输入接脚的接脚数为六。
4. 如权利要求 3 所述的方法，其中该多个列地址讯号所传送的六个列地址命令分组中的多个列输入命令包含有四笔存储库地址的设定信息、十六笔存储器地址的设定信息以及四笔存储器控制命令的设定信息。
5. 如权利要求 4 所述的方法，还包含有：
译码该四笔存储器控制命令的设定信息以产生一存储器控制命令。
6. 如权利要求 3 所述的方法，其中该行地址命令分组的长度为四个频率周期，且该行地址命令分组包含有四个行输入命令。
7. 如权利要求 6 所述的方法，其中该多个第二输入接脚的接脚数为五。
8. 如权利要求 7 所述的方法，其中该多个行地址讯号所传送的五个行地址命令分组中的多个行输入命令包含有至少四笔存储库地址的设定信息以及十三笔存储器地址的设定信息。
9. 如权利要求 7 所述的方法，其中该多个行地址讯号所传送的五个行地址命令分组中的多个行输入命令包含有至少一写入致能输入命令、一自动预充电输入命令以及一突发中断/突发长度输入命令。
10. 如权利要求 1 所述的方法，还包含有：
于该存储器芯片设置一第三输入接脚与一第四输入接脚；
将一第一芯片选择讯号输入至该第三输入接脚，以选择使用该存储器芯片来接收该多个列地址讯号；以及

将一第二芯片选择讯号输入至该第四输入接脚，以选择使用该存储器芯片来接收该多个行地址讯号。

存取存储器芯片的方法

技术领域

本发明涉及一种存取存储器芯片的方法，特别是涉及一种可以减少动态随机存取存储器（Dynamic Random Access Memory, DRAM）输入接脚数目的存取存储器芯片的方法。

背景技术

在现有的双倍数据率（Double Data Rate, DDR）同步动态随机存取存储器（Synchronous DRAM）架构下，同步动态随机存取存储器具有以下输入讯号：两个频率讯号 CLK 以及 #CLK、十六个存储器地址输入讯号 A0 ~ A15、四个存储库地址输入讯号 BA0 ~ BA3、一芯片选择讯号 CS、一列地址选通（row address strobe）讯号 RAS、一行地址选通（column address strobe）讯号 CAS、一写入致能（Write Enable, WE）讯号、一同步讯号 CKE、一校准讯号 ZQ 以及一重置讯号 RESET。上述每一个输入讯号的一个输入命令的长度为一频率讯号的一个频率周期，且每一个输入讯号均需要由一专属的接脚来输入存储器芯片中，因此现有的同步动态随机存取存储器会设置有 29 个输入接脚。

请参考图 1，图 1 为现有的双列接脚存储器模块（Dual In-line Memory Module, DIMM）100 的示意图。如图 1 所示，双列接脚存储器模块 100 包含有八个存储器芯片 110-1 ~ 110-8，其中每一个存储器芯片均包含有 29 个输入接脚。在双列接脚存储器模块 100 的操作上，29 笔输入讯号是由一控制器 120 输入至存储器芯片 110-1，之后循序传输至存储器芯片 110-2、110-3、...、110-8，因此两相邻存储器芯片均有 29 条线路互相连接。一般而言，输入接脚越多，在电路上信号线的间距也会变小而增加布线的困难度，且信号线彼此之间也比较容易受到干扰，因此双列接脚存储器模块 100 上线路的布局会较为困难，此外，在存储器芯片测试时，模具的花费比较高且量测机台一次可以测试的存储器芯片的数量也会减少。

发明内容

因此本发明的目的之一在于提供一种可以减少存储器输入接脚数量的存取存储器芯片的方法，以降低双列接脚存储器模块的信号线密度以及存储器在测试上的成本花费。

依据本发明的一实施例，其披露一种存取一存储器芯片的方法。该方法包含有：于该存储器芯片设置多个第一输入接脚与多个第二输入接脚；将多个列地址讯号分别输入该多个第一输入接脚，其中每一个列地址讯号的一列地址命令分组的长度为一频率讯号的多个频率周期，且该列地址命令分组包含有多个列输入命令；以及将多个行地址讯号分别输入至该多个第二输入接脚，其中每一个行地址讯号的一行地址命令分组的长度为该频率讯号的多个频率周期，且该行地址命令分组包含有多个行输入命令。

依据本发明所提供的存取存储器芯片的方法，可以在不影响存储器效能之下减少存储器的输入接脚，进而提升双列接脚存储器模块在线路布局上的容易度，并减少测试上的成本。

附图说明

图 1 为现有的双列接脚存储器模块的示意图

图 2 为本发明存储器芯片的一实施例的示意图。

图 3 为本发明实施例的六个列地址讯号的示意图。

图 4 为本发明实施例的五个行地址讯号的示意图。

图 5 为本发明存取图 2 所示的存储器芯片的一操作范例的示意图。

附图符号说明

| | |
|-----------------|------------|
| 100 | 双列接脚存储器模块 |
| 110_1 ~ 110_8 | 存储器芯片 |
| 120 | 控制器 |
| 200 | 存储器芯片 |
| PIN_CLK | 频率接脚 |
| PIN_R0 ~ PIN_R5 | 列地址讯号接脚 |
| PIN_C0 ~ PIN_C4 | 行地址讯号接脚 |
| PIN_CSR | 第一芯片选择讯号接脚 |

| | |
|---|---------------|
| PIN_CSC | 第二芯片选择讯号接脚 |
| CLK | 频率讯号 |
| RowAdr0、RowAdr1、RowAdr2、 RowAdr3、RowAdr4、RowAdr5、 | 列地址讯号 |
| A0、A1、A2、A3、A4、A5、A6、 A7、A8、A9、A10、A11、A12、A13、 A14、A15 | 存储器地址的设定信息 |
| BA0、BA1、BA2、BA3 | 存储库地址的设定信息 |
| CMD0、CMD1、CMD2、CMD3 | 存储器控制命令的设定信息 |
| ColAdr0、ColAdr1、ColAdr2、 ColAdr3、ColAdr4 | 列地址讯号 |
| WE | 写入致能输入命令 |
| AP | 自动预充电输入命令 |
| BC4/BL8 | 突发中断/突发长度输入命令 |
| CSR | 列地址芯片选择讯号 |
| CSC | 行地址芯片选择讯号 |

具体实施方式

在现有的双倍数据率同步动态随机存取存储器架构下，每一个输入讯号的一个输入命令的长度为一频率讯号的一个频率周期，且每一个输入讯号均由一专属的接脚来输入存储器芯片中，因此总共会需要 29 个接脚。为了减少接脚的数量，本发明使用了“命令分组”的概念，亦即一个接脚用来输入一命令分组且每一个命令分组包含四个输入命令，如此便可以减少存储器芯片接脚的数量，然而，因为每一个命令分组包含四个输入命令且一个输入命令的长度为一个频率周期，因此一个命令分组的长度为四个频率周期，在存储器的操作中，因为在同一存储库中不能同时进行列地址讯号输入以及行地址讯号输入，因此若是仅仅使用长度为四个频率周期的命令分组，在同一存储库中，必须要等到列地址讯号输入后四个频率周期，行地址讯号才可以输入，如此将会严重降低存储器的效能。

因此，本发明提出了一种可以减少存储器的输入接脚且较不会降低存储器效能的方法，相关运作细节详述如下。

请参阅图 2，图 2 为本发明存储器芯片 200 的一实施例的示意图。如图所示，存储器芯片 200 包含有一频率接脚 PIN_CLK、六个列(row)地址讯号接脚 PIN_R0~PIN_R5、五个行(column)地址讯号接脚 PIN_C0~PIN_C4、一第一芯片选择讯号(列地址芯片选择讯号)接脚 PIN_CSR 以及一第二芯片选择讯号(行地址芯片选择讯号)接脚 PIN_CSC。本实施例中，频率接脚 PIN_CLK 用来接收一频率讯号 CLK，列地址讯号接脚 PIN_R0~PIN_R5 用来分别接收六个列地址讯号 RowAdr0、RowAdr1、RowAdr2、RowAdr3、RowAdr4、RowAdr5，行地址讯号接脚 PIN_C0~PIN_C4 用来分别接收五个行地址讯号 ColAdr0、ColAdr1、ColAdr2、ColAdr3、ColAdr4，第一芯片选择讯号(列地址芯片选择讯号)接脚 PIN_CSR 用来接收一第一芯片选择讯号(列地址芯片选择讯号) CSR 以选择使用存储器芯片 200 来接收该多个列地址讯号，以及第二芯片选择讯号(行地址芯片选择讯号)接脚 PIN_CSC 用来接收一第二芯片选择讯号(行地址芯片选择讯号) CSC 以选择使用该存储器芯片来接收该多个行地址讯号。请注意，图 2 所示的存储器芯片 200 的接脚配置仅作为范例说明之用，且在不影响本发明技术披露之下，图 2 中仅显示出与本发明的后续说明有关的一部份接脚，实际上，本发明并未限定存储器芯片 200 仅具有图 2 所示的接脚配置。本发明存储器芯片 200 的存取操作将于下详述。

请参考图 3，图 3 为本发明实施例的六个列(row)地址讯号的示意图。在本发明中，六个列地址讯号 RowAdr0、RowAdr1、RowAdr2、RowAdr3、RowAdr4、RowAdr5 经由六个第一输入接脚(亦即图 2 所示的列地址讯号接脚 PIN_R0~PIN_R5)输入至存储器芯片中，如图 3 所示，每一个列地址讯号(RowAdr0~RowAdr5)的一列地址命令分组(row address command package)的长度为一频率讯号 CLK 的四个频率周期，且列地址命令分组包含有四个列输入命令，因此，六个列地址讯号的六个列地址命令分组总共包含有二十四列输入命令。本实施例中，该二十四列输入命令包含有四笔存储库地址的设定信息 BA0~BA3、十六笔存储器地址的设定信息 A0~A15 以及四笔存储器控制命令的设定信息 CMD0~CMD3，其中四笔存储库地址的设定信息 BA0~BA3 等于现有的双倍数据率同步动态随机存取存储器架构下的存储库地址输入讯号 BA0~BA3，且十六笔存储器地址的设定信息 A0~A15 等于现有的双倍数据率同步动态随机存取存储器架构下的存储器地址输入讯号 A0~A15。此外，四笔存储器控制命令的设定信息 CMD0~CMD3

经由解码以产生多个存储器控制命令中的一控制命令，其中该多个存储器控制命令可包含有启动(Active)、预充电(Precharge)、更新(Refresh)、模式暂存设定(mode register set, MRS)、自我更新(self-refresh entry, SRE)、进入低功耗(power down entry)、长校准/短校准(ZQ calibration long/ZQ calibration short, ZQCL/ZQCS)...等等。

请参考图4,图4为本发明实施例的五个行(column)地址讯号的示意图。在本发明中,该五个行地址讯号 ColAdr0、ColAdr1、ColAdr2、ColAdr3、ColAdr4 经由五个第二输入接脚(亦即图2所示的行地址讯号接脚 PIN_C0 ~ PIN_C4)输入至存储器芯片中,如图4所示,每一个行地址讯号(ColAdr0 ~ ColAdr4)的一行地址命令分组(column address command package)的长度为一频率讯号 CLK 的四个频率周期,且行地址命令分组包含有四个行输入命令,因此,五个行地址讯号的五个列地址命令分组总共包含有二十个行输入命令,该二十个行输入命令包含有四笔存储库地址的设定信息 BA0 ~ BA3、十三笔存储器地址的设定信息 A0 ~ A12、一写入致能(Write Enable, WE)输入命令、一自动预充电(Auto Pre-charge, AP)输入命令以及一突发中断4/突发长度8(Burst Chop 4/Burst Length 8, BC4/BL8)输入命令,其中四笔存储库地址的设定信息 BA0 ~ BA3 等于现有的双倍数据率同步动态随机存取存储器架构下的存储库地址输入讯号 BA0 ~ BA3,且十三笔存储器地址的设定信息 A0 ~ A12 等于现有的双倍数据率同步动态随机存取存储器架构下的存储器地址输入讯号 A0 ~ A12。

需注意的是,图3所示的六个列地址讯号的六个列地址命令分组所分别包含的输入命令仅作为范例说明之用,在实作上,图3所示的二十四个列输入命令可任意对调;同理,图4所示的二十个行输入命令亦可任意对调且不影响本发明的存储体操作。此外,上述列地址讯号(RowAdr0 ~ RowAdr5)、行地址讯号(ColAdr0 ~ ColAdr4)以及存储库地址的设定信息(BA0 ~ BA3)的数量亦仅作为范例说明之用,在实作上,若是要扩充存储器的容量,亦即增加存储器地址的设定信息或是增加存储库数量,则列地址讯号可以为七个或以上且行地址讯号可以为六个或以上,举例而言,存储器芯片200可以增加一列地址讯号接脚 PIN_R6 以及一行地址讯号接脚 PIN_C5,其中列地址讯号接脚 PIN_R6 用来接收一列地址讯号 RowAdr6,且列地址讯号 RowAdr6 的列地址命令分组包含有两笔存储库地址的设定信息

BA4、BA5，以及两笔存储器地址的设定信息 A16、A17；而行地址讯号接脚 PIN_C5 用来接收一行地址讯号 ColAdr5，且行地址讯号 ColAdr5 的行地址命令分组包含有两笔存储器地址的设定信息 BA4、BA5，以及两笔存储器地址的设定信息 A13、A14。如上所述，因为本发明的列（行）地址命令分组包含有四个列（行）输入命令，因此对于扩充存储器地址的设定信息以及存储器数量，只需增加一个列地址讯号接脚以及一个行地址讯号接脚就可以增加四笔存储器地址的设定信息或是存储器地址的设定信息，因此可以大幅降低存储器芯片的测试成本。

如上所述，六个列地址讯号以及五个行地址讯号均包含有存储器地址的设定信息（A0、A1、A3...），因此在同一时间可以对不同存储器进行不同的操作。图 5 为本发明存取图 2 所示的存储器芯片的一操作范例的示意图。如图 5 所示，举例而言，在时间 T1 中，六个列地址讯号 RowAdr0 ~ RowAdr5 的六个列地址命令分组用来启动（active）存储器芯片 200 中一第一存储库，而在同一时间，五个行地址讯号 ColAdr0 ~ ColAdr4 的五个列地址命令分组可用来写入（write）存储器芯片 200 中一第二存储库（若是该第二存储库已经启动过）；在时间 T2 中，六个列地址讯号 RowAdr0 ~ RowAdr5 的六个列地址命令分组用来启动一第三存储库；在时间 T3 中，五个行地址讯号 ColAdr0 ~ ColAdr4 的五个列地址命令分组可用来读取（read）该第一存储库。如此一来，便可以减缓因为使用长度为四个频率周期的命令分组而造成存储器效能降低的影响。

在双倍数据率同步动态随机存取存储器架构下，有许多参数均有规定的数值，例如列地址至列地址延迟时间（RAS to RAS delay time）tRRD、列地址预充电时间（RAS pre-charge time）tRP、列地址至行地址延迟时间（RAS to CAS delay time）tRCD、列周期时间（Row cycle time）tRC... 等等。若是存储器频率讯号的周期为 1.25 奈秒（nano-second），则本发明所提出的列地址命令分组以及行地址命令分组的长度则为 5 奈秒，均可以适当地使用在上述双倍数据率同步动态随机存取存储器且不违背相关的参数规定。举例而言，列地址预充电时间 tRP 至少需要 10 奈秒，在本发明中则为两个列地址命令分组的长度，亦即对同一存储库进行预充电以及启动操作时可以有一个列地址命令分组的间隔，因此不会影像到存储器的效能。

此外，在现有的双倍数据率同步动态随机存取存储器架构下有一用来

致能一芯片的芯片选择讯号。在本发明中，因为六个列地址讯号以及五个行地址讯号均包含有存储器地址的设定信息，因此本发明另外加入了一第一芯片选择讯号（列地址芯片选择讯号）CSR以选择使用该存储器芯片来接收该多个列地址讯号，以及一第二芯片选择讯号（行地址芯片选择讯号）CSC以选择使用该存储器芯片来接收该多个行地址讯号，其中列地址芯片选择讯号CSR以及行地址芯片选择讯号CSC分别经由一第三输入接脚（亦即图1所示的第一芯片选择讯号（列地址芯片选择讯号）接脚PIN_CSR）以及一第四输入接脚（亦即图2所示的第二芯片选择讯号（行地址芯片选择讯号）接脚PIN_CSC）输入至存储器芯片中。如图5所示，当列地址芯片选择讯号CSR或行地址芯片选择讯号CSC致能时，该存储器芯片才可以接收列地址讯号或行地址讯号。

简单归纳上述存取存储器芯片的方法，在本发明的输入讯号中，六个列地址讯号的六个列地址命令分组的长度均为四个频率周期，且每一个列地址命令分组包含有四个列输入命令；且五个行地址讯号的五个行地址命令分组的长度均为四个频率周期，且每一个行地址命令分组包含有四个行输入命令。如上所述的十一个地址输入讯号，再加上两个频率讯号CLK以及#CLK、列地址芯片选择讯号CSR、行地址芯片选择讯号CSC、一内部中断电阻讯号（on-die termination）ODT、同步讯号CKE、校准讯号ZQ以及重置讯号RESET，本发明所提出的存储器存取方法总共需要十九个输入讯号，亦即存储器芯片只需要十九个接脚，相较于现有的存储器芯片的二十九个接脚，本发明能确实减少存储器的输入接脚，进而提升双列接脚存储器模块在线路布局上的容易度，并减少测试上的成本。

以上所述仅为本发明的较佳实施例，凡依本发明权利要求所做的均等变化与修饰，皆应属本发明的涵盖范围。

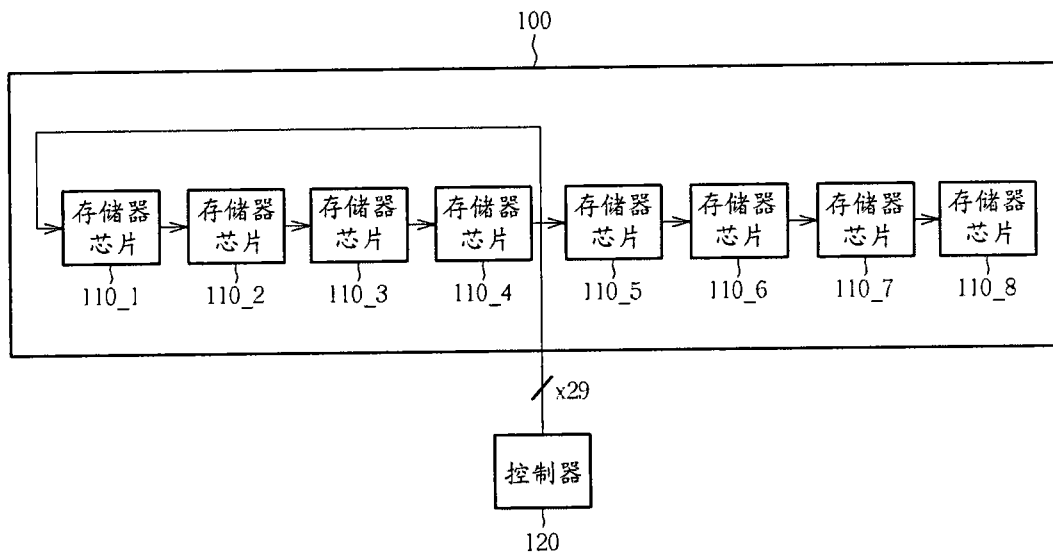


图 1

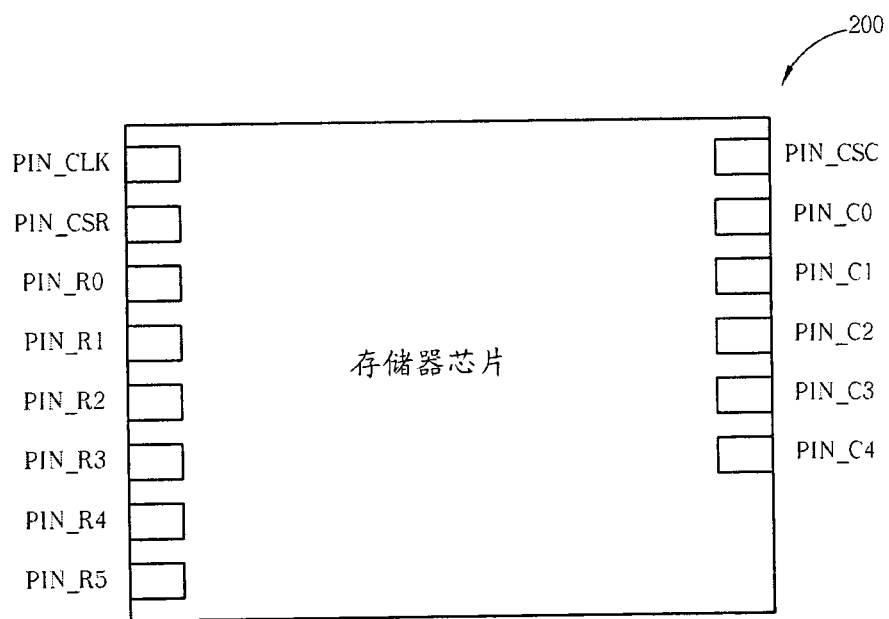


图 2

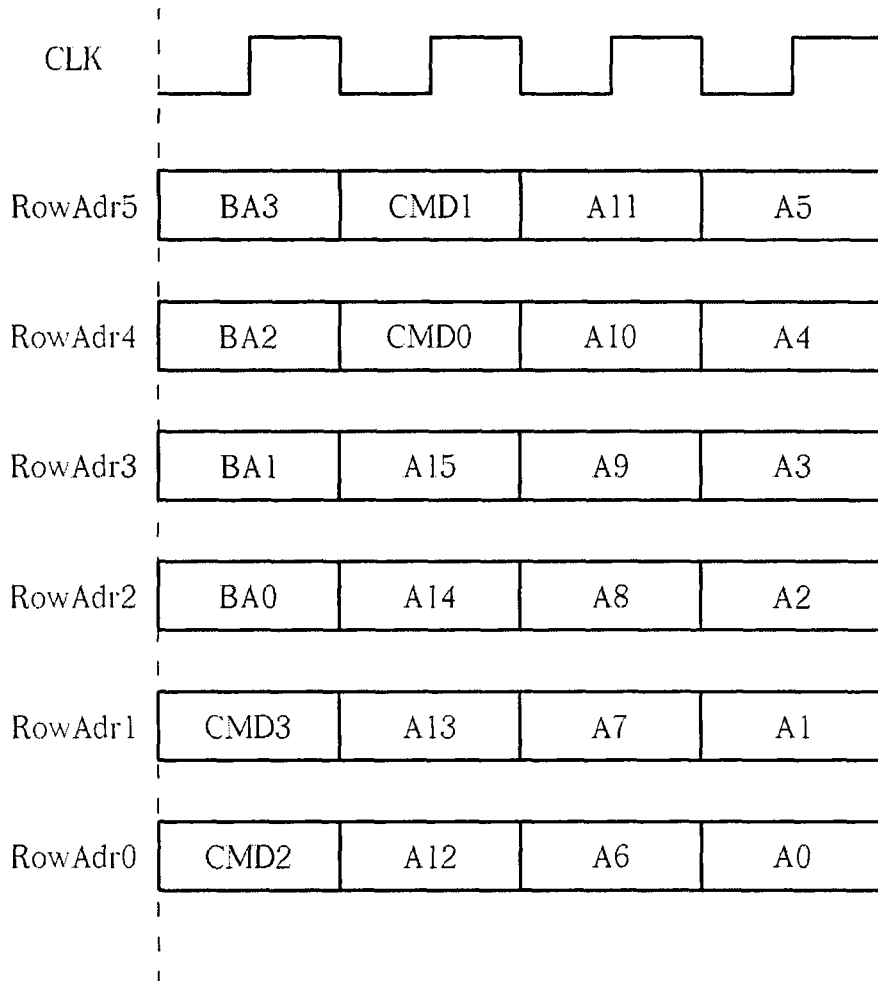


图 3

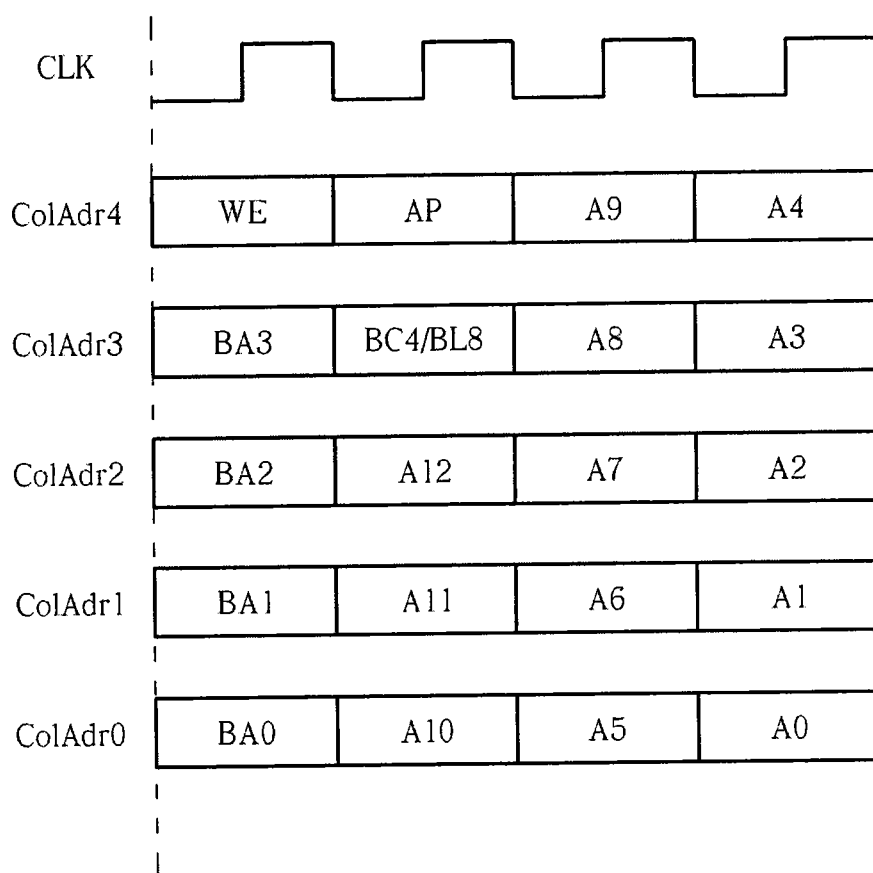


图 4

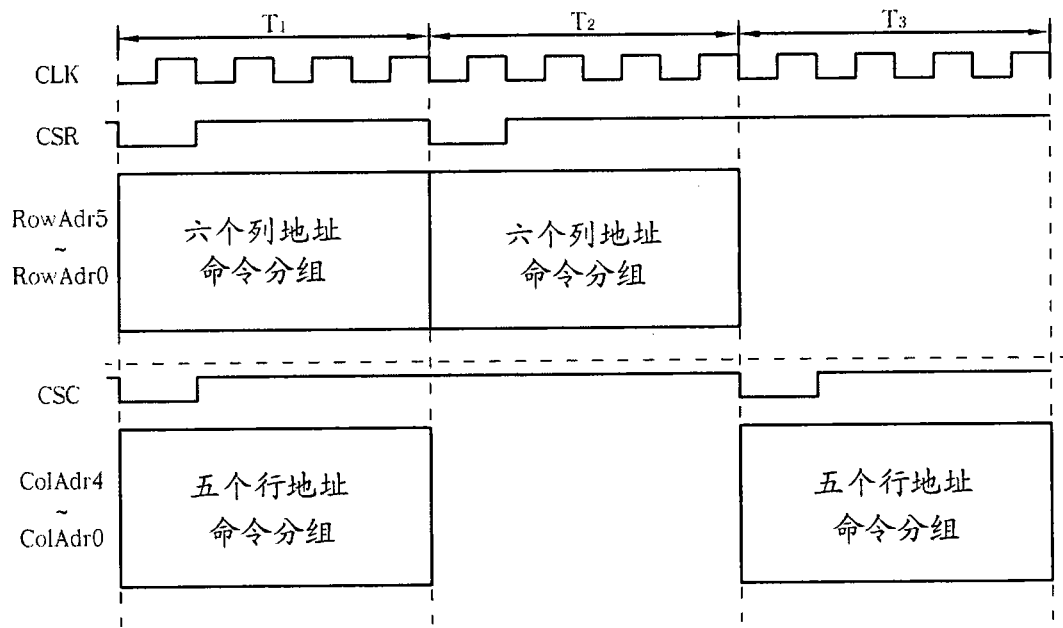


图 5