

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5217469号
(P5217469)

(45) 発行日 平成25年6月19日(2013.6.19)

(24) 登録日 平成25年3月15日(2013.3.15)

(51) Int.Cl.	F I		
G09F 9/30 (2006.01)	G09F	9/30	330Z
H01L 51/50 (2006.01)	G09F	9/30	338
H05B 33/26 (2006.01)	H05B	33/14	A
H01L 29/786 (2006.01)	H05B	33/26	Z
H01L 21/336 (2006.01)	H01L	29/78	612C
請求項の数 4 (全 32 頁) 最終頁に続く			

(21) 出願番号 特願2008-23845 (P2008-23845)
 (22) 出願日 平成20年2月4日(2008.2.4)
 (65) 公開番号 特開2009-186566 (P2009-186566A)
 (43) 公開日 平成21年8月20日(2009.8.20)
 審査請求日 平成22年12月21日(2010.12.21)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100118290
 弁理士 吉井 正明
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100120640
 弁理士 森 幸一
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 佐川 裕志
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

信号振幅に応じた表示を行なう電気光学素子を含む画素回路および走査線が行列状に配された画素アレイ部と、

前記画素アレイ部の各走査線から周辺回路側へ引き出され、前記画素回路を駆動するための各種の信号を伝送する配線である引出し配線と、
を備えており、

前記引出し配線は、モリブデンから成る第1配線層と、モリブデンよりも低抵抗である金属材料から成り前記第1配線層の次に配設される第2配線層とによって形成されており、

前記引出し配線の部分において前記第1配線層と第2配線層との電気的な接続をとるコンタクトが、前記引出し配線の長手方向の少なくとも2箇所形成されており、

前記周辺回路を構成するトランジスタは、基板側にゲート電極が配されたボトムゲート構造のトランジスタであり、

前記トランジスタのゲート電極は、前記第1配線層によって形成されており、

前記トランジスタのソース電極およびドレイン電極は、前記第2配線層によって形成されており、

前記トランジスタの半導体層は、非晶質シリコン膜にアニール処理を施すことによって形成されており、前記第2配線層は、前記アニール処理が施された後に形成されている表示装置。

【請求項 2】

第 2 配線層は、アルミニウム、チタン、若しくはそれらの合金材料のいずれかから成る請求項 1 に記載の表示装置。

【請求項 3】

前記半導体層は微結晶シリコンから成る請求項 1 または請求項 2 に記載の表示装置。

【請求項 4】

前記アニール処理はレーザーアニール処理である請求項 1 ないし請求項 3 のいずれか 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、駆動信号の大小によって輝度が変化する電流駆動型の電気光学素子（表示素子や発光素子とも称される）を具備する画素回路（画素とも称される）が行列状に配置された画素アレイ部を主要部に有する表示パネル部を具備し、画素回路ごとに能動素子を有して当該能動素子によって画素単位で表示駆動が行なわれるアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

近年、表示装置の分野では、パネル型の表示装置が、薄型、軽量、高精細などの特長を有するために、従来の CRT（Cathode Ray Tube）表示装置に代わって主流になりつつある。

20

【0003】

パネル型の表示装置の中には、画素の表示素子として、印加される電圧や流れる電流によって輝度が変化する電気光学素子を用いた表示装置がある。たとえば、印加される電圧によって輝度が変化する電圧駆動型の電気光学素子としては液晶表示素子が代表例であり、流れる電流によって輝度が変化する電流駆動型の電気光学素子としては、有機エレクトロルミネッセンス（Organic Electro Luminescence, 有機 EL, Organic Light Emitting Diode, OLED; 以下、有機 EL と記す）素子が代表例である。後者の有機 EL 素子を用いた有機 EL 表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

30

【0004】

パネル型の表示装置では、TFT や電気光学素子などの画素回路を構成する素子を行列状に配置した画素アレイ部と、画素アレイ部の周辺に配置され、各画素を駆動するための走査線と接続された走査部（水平駆動部や垂直駆動部）を主要部とする制御部と、これらを制御部を動作させるための各種の信号を生成する駆動信号生成部や映像信号処理部を備えて装置の全体が構成されるのが一般的である。画素アレイ部と、画素アレイ部以外の走査回路などとの間は、走査線や電源線などが引き延ばされ、画素回路を構成する薄膜トランジスタや電気光学素子に電源電圧や信号を入力する走査回路から信号を供給する形態が採られる。

【0005】

40

このとき、画素アレイ部以外の回路をどのように配置するかについては種々の方法が考えられているが、一例としては、画素アレイ部以外の回路をパネル外に配置して、パネル辺縁部の端子領域にまで走査線（たとえば書込走査線、電源供給線、映像信号線）を引き延ばして、走査回路や電源回路などから、画素回路を構成する薄膜トランジスタや電気光学素子に電源電圧や信号供給する形態が採られることがある（特許文献 1 参照）。

【0006】

【特許文献 1】特開 2007 - 041561 号公報

【0007】

ここで、電流駆動型の電気光学素子は、発光層と 2 つの電極（下部電極と上部電極と称する）で挟んだ積層構造をなしている。たとえば、有機 EL 素子は下部電極と上部電極と

50

の間に有機正孔輸送層や有機発光層を積層させてなる有機薄膜（有機層）を設けてなり、有機薄膜に電界をかけると発光する現象を利用した電気光学素子であり、有機EL素子を流れる電流値を制御することで発色の階調を得ている。一方の電極（上部電極）側から光を取り出すことで表示を行なう。

【0008】

このため、光が透過する側（表示面側と称する）の上部電極は光透過性を持つものが使用され電極抵抗が高くなり易い。この問題を緩和する仕組みとして、もう一方の下部電極が配される層と同じ層に補助配線を設ける仕組みが考えられている（特許文献2参照）。

【0009】

【特許文献2】特開2004-207217号公報

10

【0010】

特許文献2に記載の仕組みでは、画素アレイ部内に2次元マトリクス状に配置される画素回路を取り囲むように補助配線を格子状に形成し、さらに、画素アレイ部の外周を取り囲むように補助配線を形成している。そして、この外周部の全体で上部電極との電気的な接続をとることでコンタクト抵抗を下げるようにしている。

【発明の開示】

【発明が解決しようとする課題】

【0011】

ところで、画素アレイ部の各画素回路を駆動するには、画素アレイ部に2次元マトリクス状に配された各画素回路から引き出される垂直走査線や水平走査線と駆動回路側とを接続しなければならない。特許文献2に記載の仕組みのように、画素アレイ部の外周部の全体で補助配線と上部電極との電気的な接続をとるようにすると、画素アレイ部の外部の回路との接続をとるための引出し用の走査線（特に画素アレイ部内の配線と区別して引出し配線とも称する）が長くなる。また、静電気保護回路やテストスイッチ回路などのような付加回路（詳細は後述する）を設けると、さらに、その配線長が長くなる。

20

【0012】

ここで、接続用の画素アレイ部外の配線（引出し配線）は、画素アレイ部外の限られた面積内でレイアウトする必要があるため、大電流を必要としないものは、パターン設計ルール上の最小線幅で形成されるのが一般的である。しかしながら、配線幅が狭いと、断線し易い。そして、引出し配線が断線すると、画素回路を駆動する信号がトランジスタに伝達されなくなるので、適正な表示が行なわれなくなってしまう。さらに、この問題は、特許文献2に記載の仕組みのように画素アレイ部の外周を取り囲むように補助配線を形成する、あるいは静電気保護回路やテストスイッチ回路などの付加回路を設けるなどして、配線長が長くなるほど、その発生の機会が増える（長い分だけ断線対象箇所が増えるからである）。

30

【0013】

このような問題を解消するには、配線幅を広くすることが考えられるが、前述のように、画素アレイ部外の限られた面積内でレイアウトする必要があるため採用するのは困難である。

【0014】

本発明は、上記事情に鑑みてなされたものであり、画素アレイ部の各画素回路に信号を供給する走査線（画素アレイ部外の引出し配線）の断線を起因とする表示不良を防止することのできる仕組みを提供することを目的とする。

40

【課題を解決するための手段】

【0015】

本発明に係る表示装置の一形態は、信号振幅に応じた表示を行なう電気光学素子を含む画素回路および走査線が行列状に配された画素アレイ部と、画素アレイ部の各走査線から引き出され、画素回路を駆動するための各種の信号を伝送する配線である引出し配線と、を備える。

【0016】

50

引出し配線は、画素アレイ部の周辺部に配置された、走査線に信号を供給する半導体素子を有する走査回路、あるいは製造検査を行なうための検査装置から入力されるテスト信号を走査線に供給するためのスイッチ素子を有するテストスイッチ回路、あるいは、走査線に印加される静電気による静電破壊からの保護を図る保護素子を有する静電気保護回路を含む周辺回路部側へと引き出される。

【0017】

加えて、引出し配線を、複数の配線層に形成し、各配線層の引出し配線の電氣的な接続をとるコンタクトを引出し配線の長手方向の少なくとも2箇所形成する。

【0018】

引出し配線を複数の配線層に配設することで、つまり引出し配線を複層化することで、コンタクト間において何れかの配線層の引出し配線が断線しても、他方の配線層の引出し配線の存在により、コンタクト間の電氣的な接続が維持される。

10

【発明の効果】

【0019】

本発明の一形態によれば、コンタクト間において何れかの配線層の引出し配線が断線しても、他方の配線層の引出し配線の存在によりコンタクト間の電氣的な接続が維持されるので、断線を起因とする表示不良の発生は防止される。

【発明を実施するための最良の形態】

【0020】

以下、図面を参照して本発明の実施形態について詳細に説明する。

20

【0021】

<表示装置の全体概要>

図1および図1Aは、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。ここで、図1はCOG実装技術(詳細は後述する)により画素アレイ部が搭載されたガラス基板上に制御部用の半導体チップを直接実装するCOG搭載構成の場合を示し、図1Aは表示パネル部には画素アレイ部を搭載し、それとは別基板(たとえばフレキシブル基板)上に制御部を搭載する周辺回路パネル外配置構成の場合を示す。

【0022】

ここで示す構成例では、たとえば画素の表示素子(電気光学素子、発光素子)として電流駆動型の素子である有機EL素子を、また能動素子として薄膜トランジスタ(TFT; Thin Film Transistor)をそれぞれ使い、薄膜トランジスタを形成した半導体基板上に有機EL素子を形成してなるアクティブマトリクス型有機ELディスプレイ(以下「有機EL表示装置」と称する)に適用した場合を例に採って説明する。

30

【0023】

薄膜トランジスタとしては、大別すると、能動領域であるチャンネル層を構成する半導体の種別によって、たとえば、非晶質シリコンからなるアモルファスシリコンTFT、微結晶シリコン(ナノ結晶シリコン)からなる微結晶シリコンTFT、多結晶シリコンからなる低温ポリシリコンTFT(無アルカリガラス基板)あるいは高温ポリシリコンTFT(石英ガラス基板)があるし、また、これらの組合せでチャンネル層を2層構造にする仕組みも考えられている(参考文献1~4を参照)。その種別によって、たとえば閾値電圧 V_{th} や移動度 μ の大きさや素子ばらつきや経時的な安定性などの素子特性に相違があるが、本実施形態では、画素アレイ部102やその周辺部の全てに、チャンネル層を構成する半導体には、閾値電圧 V_{th} のばらつき(面内の均一性)や経時的な安定性が比較的良好で、またアモルファスシリコンTFTよりも大きな移動度が得られる微結晶シリコンTFTで、かつゲート電極が基板側に配されたボトムゲート構造のものを適用する例で説明する。

40

【0024】

参考文献1:特開平10-242052号公報

参考文献2:特開2007-5508号公報

参考文献3:特開2007-35964号公報

50

参考文献 4 : 鶴飼育弘、“薄膜トランジスタ技術のすべて - 構造, 特性, 製造プロセスから次世代 TFT まで - ”、初版、日本、工業調査会、2007年10月25日、特に p 74 ~ 88

【0025】

表示装置 1 は、様々な電子機器、たとえば半導体メモリやミニディスク (MD) やカセットテープなどの記録媒体を利用した携帯型の音楽プレイヤー、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話などの携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号や電子機器内で生成した映像信号を、静止画像や動画像 (映像) として表示するあらゆる分野の電子機器の表示部に利用できる。

【0026】

なお、以下の全体構成の説明においては、画素の表示素子として有機 EL 素子を例に具体的に説明するが、これは一例であって、対象となる表示素子は有機 EL 素子に限らない。一般的に電流駆動で発光する電気光学素子の全てに、後述する全ての実施形態が同様に適用できるし、電流駆動に限らず、電圧駆動で発光する電気光学素子の全てにも、後述する全ての実施形態が同様に適用できる。

【0027】

図 1 や図 1 A に示すように、表示装置 1 は、複数の表示素子としての有機 EL 素子 (図示せず) を持った画素回路 (画素とも称される) P が表示アスペクト比である縦横比が X : Y (たとえば 9 : 16) の有効映像領域を構成するように配置された画素アレイ部 102 を主要部に備える表示パネル部 100 と、この表示パネル部 100 を駆動制御する種々のパルス信号を発するパネル制御部の一例である駆動信号生成部 (いわゆるタイミングジェネレータ) 200 と、映像信号処理部 220 を備えている。駆動信号生成部 200 と映像信号処理部 220 とは、1 チップの IC (Integrated Circuit ; 半導体集積回路) に内蔵され、本例では、表示パネル部 100 の外部に配置されている。

【0028】

図 1 に示す COG 搭載構成の場合、表示パネル部 100 は、基板 101 の上に、画素回路 P が n 行 x m 列のマトリクス状に配列された画素アレイ部 102 が配置され、さらに画素回路 P を垂直方向に走査する垂直駆動部 103、画素回路 P を水平方向に走査する水平駆動部 (水平セレクトあるいはデータ線駆動部とも称される) 106 が COG 実装技術により搭載され、さらに、外部接続用の端子部 (パッド部) 108 が表示パネル部 100 の一辺の端部に配置されている。なお、必要に応じて、各駆動部 103、106 と外部回路とのインタフェースをとるインタフェース (IF) 部が COG 実装技術により搭載されることもある。

【0029】

垂直駆動部 103 としては、たとえば、書込走査部 (ライトスキャナ WS ; Write Scan) 104 や電源供給能力を有する電源スキャナとして機能する駆動走査部 (ドライブスキャナ DS ; Drive Scan) 105 を有する。画素アレイ部 102 は、一例として、図示する左右方向の一方側もしくは両側から書込走査部 104 および駆動走査部 105 で駆動され、かつ図示する上下方向の一方側もしくは両側から水平駆動部 106 で駆動されるようになっている。

【0030】

垂直駆動部 103 (書込走査部 104 および駆動走査部 105) と水平駆動部 106 とで、信号電位の保持容量への書込みや、閾値補正動作や、移動度補正動作や、ブートストラップ動作を制御する制御部 109 が構成され、画素アレイ部 102 の画素回路 P を駆動する駆動回路として機能するようになっている。

【0031】

図示した垂直駆動部 103 および対応する走査線の構成は、画素回路 P が後述する本実施形態の 2TR 構成の場合に適合させて示したものであるが、画素回路 P の構成によっては、その他の走査部および走査線が設けられることもある。

【0032】

10

20

30

40

50

また、表示パネル部 100 上には、さらに、垂直駆動部 103 および水平駆動部 106 のそれぞれについて、周辺回路部 140 の一例として、保護回路 142 およびテストスイッチ回路 144 が搭載可能となっている。保護回路 142 とテストスイッチ回路 144 を纏めて付加回路 148 と称する。保護回路 142 としては、垂直駆動部 103 用の保護回路 142 V と水平駆動部 106 用の保護回路 142 H が走査線ごとに設けられ、テストスイッチ回路 144 としては垂直駆動部 103 用のテストスイッチ回路 144 V と水平駆動部 106 用のテストスイッチ回路 144 H が走査線ごとに設けられている。

【0033】

保護回路 142 V, 140 H およびテストスイッチ回路 144 V, 142 H は、COG 実装技術ではなく、画素アレイ部 102 の TFT を生成する工程にて同時に各 TFT を生成する仕組み (TFT 一体構成) にて作り込まれている。なお、本実施形態においては、発明課題との関係から、保護回路 142 V (垂直駆動部 103 用), 140 H (水平駆動部 106 用) を備えることは必須ではない。

10

【0034】

ここで、付加回路 148 として保護回路 142 やテストスイッチ回路 144 を設けることの意義について説明すると以下の通りである。まず、製品形態としては、画素アレイ部 102 と制御部 109 とを同一のガラス基板上に搭載した表示パネル部 100 と駆動信号生成部 200 や映像信号処理部 220 を別体とする形態 (パネル上配置構成と称する) や、表示パネル部 100 には画素アレイ部 102 を搭載し、それとは別基板 (たとえばフレキシブル基板) 上に制御部 109 や駆動信号生成部 200 や映像信号処理部 220 などの

20

【0035】

また、画素アレイ部 102 と制御部 109 とを同一のガラス基板 (基板 101) 上に搭載して表示パネル部 100 を構成するパネル上配置構成の場合、画素アレイ部 102 の TFT を生成する工程にて同時に制御部 109 (必要に応じて駆動信号生成部 200 や映像信号処理部 220 も) 用の各 TFT を生成する仕組み (TFT 一体構成と称する) と、COG (Chip On Glass) 実装技術により画素アレイ部 102 が搭載された基板 101 上に制御部 109 (必要に応じて駆動信号生成部 200 や映像信号処理部 220 も) 用の半導体チップを直接実装する仕組み (COG 搭載構成と称する) が考えられる。

【0036】

周辺回路パネル外配置構成や COG 搭載構成 (纏めて制御部後付け構成とも称する) では、画素アレイ部 102 と制御部 109 とが別体である時点が存在する。画素アレイ部 102 と制御部 109 を接続しないと、画表示を行なうことができないために、画素アレイ部 102 の各画素の欠陥 (TFT の短絡や開放) や走査線の欠陥 (断線や隣接する走査線との接触) などの検査を行なうことができない。

30

【0037】

このため、制御部後付け構成を採る場合、画素アレイ部 102 の周辺部に、制御部 109 を画素アレイ部 102 に接続せずに画素アレイ部 102 の各画素や走査線の検査を行なうことを目的として、画素アレイ部 102 の外部から各走査線にテスト信号を供給可能とするテストスイッチ回路 144 を設けて簡易点灯検査を行なうのである。

40

【0038】

テストスイッチ回路 144 としては様々な構成が考えられるが、たとえば、静電気保護用の保護回路 142 とテストスイッチ回路 144 とを別の回路素子で構成する仕組みと、保護回路 142 の回路素子をテスト信号を走査線に供給するテストスイッチ回路 144 を構成するスイッチ素子として兼用するようにした保護 & テストスイッチ回路とする仕組みが考えられる (詳細は後述する)。なお、保護回路 142 は、制御部後付け構成では、画素アレイ部 102 と制御部 109 とが別体である時点が存在するので、完成品にする過程で画素アレイ部 102 上の走査線に人体や製造機材などを介して静電気が印加され回路素子が破壊される可能性が TFT 一体構成の場合よりも多くなるため、静電気による静電破壊からの回路素子の保護を目的として走査線ごとに設けるものである。

50

【 0 0 3 9 】

このように、実装状態では、垂直駆動部 1 0 3 や水平駆動部 1 0 6 や保護回路 1 4 2 V , 1 4 0 H およびテストスイッチ回路 1 4 4 V , 1 4 2 H などの周辺駆動回路が、画素アレイ部 1 0 2 と同一の基板 1 0 1 上に搭載された構成となっている。図示した例では、制御部 1 0 9 を構成する書込走査部 1 0 4 、駆動走査部 1 0 5 、および水平駆動部 1 0 6 を半導体チップで構成し C O G 実装技術で表示パネル部 1 0 0 上に搭載する例を示しており、このことを図からも明らかにするべく、制御部 1 0 9 (書込走査部 1 0 4 、駆動走査部 1 0 5 、水平駆動部 1 0 6) を点線で示している。また、C O G 搭載時に表示パネル部 1 0 0 上の配線との接続をとるための電氣的接続端子 PAD1 (Contact Pad) を模式的に示している。

10

【 0 0 4 0 】

C O G 実装技術により表示パネル部 1 0 0 に制御部 1 0 9 などの I C チップ (I C : Integrated Circuit) を実装する方法としては、たとえば、電氣的接合端子 (バンプ) に電解めっきによる金バンプを使用し、表示パネル部 1 0 0 上の電極へ A C F (Anisotropic Conductive Film) により実装する手法が知られている。もちろん、これ以外の手法を適用してもよい。

【 0 0 4 1 】

保護回路 1 4 2 V , 1 4 0 H およびテストスイッチ回路 1 4 4 V , 1 4 2 H としては、たとえば、静電気保護回路とテストスイッチ回路とを別の回路素子で構成する仕組みを採用してもよいし、静電気保護回路の回路素子をテスト信号を走査線に供給するテストスイッチ回路を構成するスイッチ素子として兼用するようにした保護 & テストスイッチ回路とする仕組みを採用してもよい。

20

【 0 0 4 2 】

なお図 1 に示す例では、パルス信号を表示パネル部 1 0 0 の外部から端子部 1 0 8 を介して入力する構成としているが、これらの各種のタイミングパルスを生成する駆動信号生成部 2 0 0 を半導体チップで構成し C O G 実装技術で表示パネル部 1 0 0 上に搭載することも可能である。

【 0 0 4 3 】

端子部 1 0 8 には、表示装置 1 の外部に配された駆動信号生成部 2 0 0 から、種々のパルス信号が供給されるようになっている。また同様に、映像信号処理部 2 2 0 から映像信号 Vsig が供給されるようになっている。カラー表示対応の場合には、色別 (本例では R (赤) , G (緑) , B (青) の 3 原色) の映像信号 Vsig_R , G , B が供給される。

30

【 0 0 4 4 】

一例としては、垂直駆動用のパルス信号として、垂直方向の書込み開始パルスの一例であるシフトスタートパルス SPDS , SPWS や垂直走査クロック CKDS , CKWS (必要に応じて位相反転した垂直走査クロック xCKDS , xCKWS も) など必要なパルス信号が供給される。また、水平駆動用のパルス信号として、水平方向の書込み開始パルスの一例である水平スタートパルス SPH や水平走査クロック CKH (必要に応じて位相反転した水平走査クロック xCKH も) など必要なパルス信号が供給される。

【 0 0 4 5 】

端子部 1 0 8 の各端子は、信号線 1 9 9 を介して、垂直駆動部 1 0 3 や水平駆動部 1 0 6 に接続されるようになっている。たとえば、端子部 1 0 8 に供給された各パルスは、必要に応じて図示を割愛したレベルシフト部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部 1 0 3 の各部や水平駆動部 1 0 6 に供給される。

40

【 0 0 4 6 】

画素アレイ部 1 0 2 は、図示を割愛するが (詳細は後述する) 、表示素子としての有機 E L 素子に対して画素トランジスタが設けられた画素回路 P が行列状に 2 次元配置され、この画素配列に対して行ごとに走査線が配線されるとともに、列ごとに信号線が配線された構成となっている。

【 0 0 4 7 】

50

たとえば、画素アレイ部 1 0 2 には、画素アレイ部 1 0 2 には、垂直走査側の各走査線 1 0 4 WS, 1 0 5 DSL と水平走査側の走査線である映像信号線（データ線）1 0 6 HSが形成されている。垂直走査と水平走査の各走査線の交差部分には図示を割愛した有機 E L 素子とこれを駆動する薄膜トランジスタが形成される。有機 E L 素子と薄膜トランジスタの組み合わせで画素回路 P を構成する。

【 0 0 4 8 】

具体的には、マトリクス状に配列された各画素回路 P に対しては、書込走査部 1 0 4 によって書込駆動パルス WS で駆動される n 行分の書込走査線 1 0 4 WS_1 ~ 1 0 4 WS_n および駆動走査部 1 0 5 によって電源駆動パルス DSL で駆動される n 行分の電源供給線 1 0 5 DSL_1 ~ 1 0 5 DSL_n が画素行ごとに配線される。

10

【 0 0 4 9 】

書込走査部 1 0 4 および駆動走査部 1 0 5 は、論理ゲートの組合せ（ラッチやシフトレジスタなども含む）によって構成され、画素アレイ部 1 0 2 の各画素回路 P を行単位で選択する、すなわち、駆動信号生成部 2 0 0 から供給される垂直駆動系のパルス信号に基づき、書込走査線 1 0 4 WS および電源供給線 1 0 5 DSL を介して各画素回路 P を順次選択する。

【 0 0 5 0 】

水平駆動部 1 0 6 は、論理ゲートの組合せ（ラッチやシフトレジスタなども含む）によって構成され、画素アレイ部 1 0 2 の各画素回路 P を列単位で選択する、すなわち、駆動信号生成部 2 0 0 から供給される水平駆動系のパルス信号に基づき、選択された画素回路 P に対し映像信号線 1 0 6 HS を介して映像信号 Vsig の内の所定電位をサンプリングして保持容量に書き込ませる。

20

【 0 0 5 1 】

本実施形態の表示装置 1 は、線順次駆動や点順次駆動が可能になっており、垂直駆動部 1 0 3 の書込走査部 1 0 4 および駆動走査部 1 0 5 は線順次で（つまり行単位で）で画素アレイ部 1 0 2 を走査するとともに、これに同期して水平駆動部 1 0 6 が、画像信号を、1 水平ライン分を同時に（線順次の場合）、あるいは画素単位で（点順次の場合）、画素アレイ部 1 0 2 に書き込む。

【 0 0 5 2 】

なお、製品形態としては、図示のように、表示パネル部 1 0 0、駆動信号生成部 2 0 0、および映像信号処理部 2 2 0 の全てを備えたモジュール（複合部品）形態の表示装置 1 として提供されることに限らず、たとえば、表示パネル部 1 0 0 のみで表示装置として提供することも可能であるし、画素アレイ部 1 0 2 のみで表示装置として提供することも可能である。

30

【 0 0 5 3 】

たとえば、表示装置 1 は、封止された構成のモジュール形状のものをも含む。たとえば、図 1 A に示すように、周辺回路パネル外配置構成の場合が該当する。この場合、画素アレイ部 1 0 2 に透明なガラスなどの対向部に貼り付けられて形成された表示パネル部 1 0 0 のみでなる表示モジュールとして構成される。透明な対向部には、表示層（本例であれば有機層やその両側の電極層）、カラーフィルタ、保護膜、遮光膜などが設けられる。

40

【 0 0 5 4 】

図 1 A に示す周辺回路パネル外配置構成（表示モジュール）の場合、画素アレイ部 1 0 2 の他にも、外部から画素アレイ部 1 0 2 への映像信号 Vsig や各種の駆動パルスを入力するための回路部（垂直駆動部 1 0 3 や水平駆動部 1 0 6 に相当するものやその出力ドライバなど）を搭載した F P C（フレキシブルプリントサーキット）との間で、T C P（Tape Carrier Package）方式や C O F（Chip On Flexible）方式で接続をとる際の外部接続端子となる電氣的接続端子 PAD2 が、表示パネル部 1 0 0 の辺縁に設けられる。T C P は、フレキシブル・テープにドライバ L S I（Large Scale Integrated Circuit）をボンディングで搭載したものの呼称であり、その手法は通常 T A B（Tape Automated Bonding）が用いられる。因みに、図 1 A では C O F 方式の例で示しているが、T C P 方式の例は、

50

後述する図 4 や図 4 A で示す。その他の点は、基本的には、COG 搭載構成の場合と同様である。

【0055】

なお図 1 および図 1 A では、画素アレイ部 102 の一方側にのみ垂直駆動部 103 の各要素（書込走査部 104 や駆動走査部 105）や保護回路 142 V およびテストスイッチ回路 144 V を配置する構成を示しているが、これらを画素アレイ部 102 を挟んで左右両側に配置する構成を採ることも可能である。同様に、図 1 および図 1 A では、画素アレイ部 102 の一方側にのみ水平駆動部 106 や保護回路 142 H およびテストスイッチ回路 144 H を配置する構成を示しているが、これらを画素アレイ部 102 を挟んで上下両側に配置する構成を採ることも可能である。

10

【0056】

また、制御部 109 の実装形態に関しては、図 1 ではパネル上配置構成の一例として COG 搭載構成の場合を示し、図 1 A では周辺回路パネル外配置構成の場合を示したが、前述のようにパネル上配置構成としては原理的には COG 搭載構成に限らず TFT 一体構成の場合であってもよい。ここで「原理的には」と称したのは、考え方としては TFT 一体構成を採ることができるが、付加回路 148（保護回路 142 やテストスイッチ回路 144）が必要となる背景を踏まえると、実体面としては、TFT 一体構成を採りつつ保護回路 142 やテストスイッチ回路 144 を備える構成を採ることは殆ど無いと考えてよいからである。

【0057】

ただし、TFT 一体構成の場合において、後述する本実施形態の仕組みを制御部 109 へ適用することを排除するものではない。この場合、制御部 109 を構成する TFT は画素アレイ部 102 の各画素回路 P を構成する TFT と一体的に製造されるので、保護回路 142 やテストスイッチ回路 144 は基本的には不要となり、その代わりに制御部 109 を周辺回路部 140 として取り扱って、後述する実施形態を適用すればよい。もちろん、TFT 一体構成の場合に、保護回路 142 やテストスイッチ回路 144 を備えておくことを排除するものでもない。この場合、制御部 109 や保護回路 142 やテストスイッチ回路 144 に、後述する実施形態を適用すればよい。

20

【0058】

<画素回路>

図 2 は、本実施形態の基本構成の画素回路 P と、当該画素回路 P を備えた有機 EL 表示装置の一実施形態を示す図である。本実施形態の基本構成の画素回路 P を画素アレイ部 102 に備える表示装置 1 を本実施形態の基本構成の表示装置 1 と称する。なお、表示パネル部 100 の基板 101 上において画素アレイ部 102 の周辺部に配置される垂直駆動部 103、水平駆動部 106、保護回路 142 V、140 H、およびテストスイッチ回路 144 V、142 H も合わせて示している。周辺回路パネル外配置構成や COG 搭載構成（纏めて制御部後付け構成とも称する）では制御部 109 が画素アレイ部 102 と別体である時点が存在することを示すために、制御部 109（書込走査部 104、駆動走査部 105、水平駆動部 106）を点線で示している。

30

【0059】

ここで、前述のように、保護回路 142 V、140 H は、書込走査線 104 WS、電源供給線 105 DSL、および映像信号線 106 HS の全てについて走査線ごとに設けられている。一方、テストスイッチ回路 144 V、142 H は、書込走査線 104 WS および映像信号線 106 HS について走査線ごとに設けられるのに対して、電源供給線 105 DSL については設けられていない。

40

【0060】

駆動トランジスタを始めとする各トランジスタとしては MOS トランジスタを使用する。この場合、駆動トランジスタについては、ゲート端を制御入力端として取り扱い、ソース端およびドレイン端の何れか一方を入力端として取り扱い、他方を出力端として取り扱う。また、特に有機 EL 素子 127 に駆動電流を供給する駆動トランジスタに関してはソ

50

ース端およびドレイン端の何れか一方（ここではソース端とする）を出力端として取り扱い、他方を電源供給端（ここではドレイン端とする）として取り扱う。

【0061】

以下、2TR構成での画素回路Pの一例について具体的に説明する。図2に示す本実施形態の画素回路Pは、基本的にnチャンネル型の薄膜電界効果トランジスタで駆動トランジスタが構成されている点に特徴を有する。また、有機EL素子の経時劣化による当該有機EL素子への駆動電流 I_{ds} の変動を抑制するための回路、すなわち電気光学素子の一例である有機EL素子の電流-電圧特性の変化を補正して駆動電流 I_{ds} を一定に維持する駆動信号一定化回路（その1）を備える。

【0062】

また駆動トランジスタの特性変動（閾値電圧ばらつきや移動度ばらつき）による駆動電流変動を防ぐ閾値補正機能や移動度補正機能を実現して駆動電流 I_{ds} を一定に維持する駆動方式を採用した点に特徴を有する。駆動トランジスタ121の特性変動（たとえば閾値電圧や移動度などのばらつきや変動）による駆動電流 I_{ds} に与える影響を抑制する方法として、2TR構成の駆動回路をそのまま駆動信号一定化回路（その1）として採用しつつ、各トランジスタ121、125の駆動タイミングを工夫することで対処するのである。

【0063】

また本実施形態の画素回路Pは、保持容量120の接続態様に特徴を有し、有機EL素子127の経時劣化による駆動電流変動を防ぐ回路として、駆動信号一定化回路（その2）の一例であるブートストラップ回路を構成している。有機EL素子の電流-電圧特性に経時変化があった場合でも駆動電流を一定にする（駆動電流変動を防ぐ）ブートストラップ機能を実現する駆動信号一定化回路（その2）を備えた点に特徴を有するのである。

【0064】

因みに、駆動トランジスタ121は、低温ポリシリコンTFTを使用する場合は閾値電圧の基板面内の不均一性が大きく、閾値補正機能がほぼ必須となるのに対して、微結晶シリコンTFTを使用する場合は、閾値電圧の基板面内の不均一性が小さく要求仕様との関係では閾値補正機能を取り外すことも可能と考えられる。ここでは、前記の各機能（閾値補正機能、移動度補正機能、ブートストラップ機能）の全てを適用する例で説明する。

【0065】

具体的には図2に示すように、本実施形態の画素回路Pは、それぞれnチャンネル型の駆動トランジスタ121およびサンプリングトランジスタ125と、電流が流れることで発光する電気光学素子の一例である有機EL素子127を有する。一般に、有機EL素子127は整流性があるためダイオードの記号で表している。なお、有機EL素子127には、寄生容量 C_{el} が存在する。図では、この寄生容量 C_{el} を有機EL素子127（ダイオード状のもの）と並列に示す。

【0066】

駆動トランジスタ121のソース端（ノードND121）とゲート端（ノードND122）の間に保持容量120が接続され、駆動トランジスタ121のソース端が直接に有機EL素子127のアノード端に接続されている。保持容量120は、ブートストラップ容量としても機能するようになっている。有機EL素子127のカソード端Kは基準電位としてのカソード電位 V_{cath} とされる。このカソード電位 V_{cath} は、基準電位を供給する全画素共通の接地配線 V_{cath} （一例としてGND）に接続されている。

【0067】

なお、接地配線 V_{cath} は、それ用の単一層の配線（上層配線）のみとしてもよいし、たとえばアノード用の配線が形成されるアノード層に、カソード配線用の補助配線（補助電極）を設けてカソード配線の抵抗値を低減する。この補助配線は、たとえば、画素アレイ部102（表示エリア）内に格子状または列または行状に配線され、さらに画素アレイ部102の周辺部にも配線され、上層配線と同電位となるように接続され、固定電位が与えられる。この補助配線の詳細については後で説明する。

【0068】

10

20

30

40

50

サンプリングトランジスタ125は、ゲート端が書込走査部104からの書込走査線104WSに接続され、ドレイン端が映像信号線106HSに接続され、ソース端が駆動トランジスタ121のゲート端(ノードND122)に接続されている。そのゲート端には、書込走査部104からアクティブHの書込駆動パルスWSが供給される。サンプリングトランジスタ125は、ソース端とドレイン端とを逆転させた接続態様とすることもできる。また、サンプリングトランジスタ125としては、ディプレッション型およびエンハンスメント型の何れをも使用できる。

【0069】

駆動トランジスタ121のドレイン端は、電源スキャナとして機能する駆動走査部105からの電源供給線105DSLに接続されている。電源供給線105DSLは、この電源供給線105DSLそのものが、駆動トランジスタ121に対しての電源供給能力を備える点に特徴を有する。具体的には、駆動走査部105は、駆動トランジスタ121のドレイン端に対して、それぞれ電源電圧に相当する高電圧側の第1電位 V_{cc} と低電圧側の第2電位 V_{ss} とを切り替えて供給する電源電圧切替回路を具備している。

10

【0070】

第2電位 V_{ss} としては、映像信号線106HSにおける映像信号 V_{sig} のオフセット電位 V_{ofs} より十分低い電位とする。具体的には、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} (ゲート電位 V_g とソース電位 V_s の差)が駆動トランジスタ121の閾値電圧 V_{th} より大きくなるように、電源供給線105DSLの低電位側の第2電位 V_{ss} を設定する。なお、オフセット電位 V_{ofs} は、閾値補正動作に先立つ初期化動作に利用するとともに映像信号線106HSを予めプリチャージしておくためにも利用する。

20

【0071】

画素回路Pを駆動するため、画素アレイ部102の周辺部には、書込走査部104、駆動走査部105および、水平駆動部106を配置する。制御部109は、駆動タイミングを適正化することで、駆動トランジスタ121に流れる駆動電流 I_{ds} を一定に維持する駆動信号一定化回路として機能するようにする。このため、先ず駆動走査部105は、好ましくは、保持容量120に信号振幅 V_{in} に対応する情報が書き込まれた時点でサンプリングトランジスタ125を非導通状態にして駆動トランジスタ121の制御入力端への映像信号 V_{sig} の供給を停止させ、駆動トランジスタ121の出力端の電位変動に制御入力端の電位が連動するブートストラップ動作を行なうように制御するのがよい。

30

【0072】

制御部109は、好ましくは、ブートストラップ動作を、サンプリング動作の終了後の発光開始の初期でも実行するようにする。すなわち、信号電位がサンプリングトランジスタ125に供給されている状態でサンプリングトランジスタ125を導通状態にした後にサンプリングトランジスタ125を非導通状態にすることで、駆動トランジスタ121の制御入力端と出力端の電位差が一定に維持されるようにする。

【0073】

また、制御部109は、好ましくはブートストラップ動作を、発光期間において電気光学素子(有機EL素子127)の経時変動補正動作を実現するように制御する。このため、制御部109は、保持容量120に保持された情報に基づく駆動電流 I_{ds} が電気光学素子(有機EL素子127)に流れている期間は継続的にサンプリングトランジスタ125を非導通状態にしておくことで、制御入力端と出力端の電圧を一定に維持可能にして電気光学素子の経時変動補正動作を実現するとよい。発光時における保持容量120のブートストラップ動作により有機EL素子127の電流-電圧特性が経時変動しても駆動トランジスタ121の制御入力端と出力端の電位差をブートストラップした保持容量120により一定に保つことで、常に一定の発光輝度を保つようにするのである。

40

【0074】

また、好ましくは、制御部109は、オフセット電位 V_{ofs} がサンプリングトランジスタ125の入力端(ソース端が典型例)に供給されている時間帯でサンプリングトランジスタ125を導通させることで駆動トランジスタ121の閾値電圧 V_{th} に対応する電圧を

50

保持容量 120 に保持するための閾値補正動作を行なうように制御する。この閾値補正動作は、必要に応じて、信号振幅 V_{in} に対応する情報の保持容量 120 への書込みに先行する複数の水平周期で繰り返し実行して、確実に駆動トランジスタ 121 の閾値電圧 V_{th} に相当する電圧を保持容量 120 に保持させるのがよい。

【0075】

また、さらに好ましくは、制御部 109 は、閾値補正動作に先立って、サンプリングトランジスタ 125 の入力端にオフセット電位 V_{ofs} が供給されている時間帯でサンプリングトランジスタ 125 を導通させて閾値補正用の準備動作（放電動作や初期化動作）を実行するように制御する。閾値補正動作前に駆動トランジスタ 121 の制御入力端と出力端の電位を初期化しておくのである。より詳しくは、制御入力端と出力端と間に保持容量 120 を接続しておくことで、保持容量 120 の両端の電位差が閾値電圧 V_{th} 以上になるように設定するのである。

10

【0076】

<< 駆動電流を一定に維持する基本動作 >>

2TR 駆動構成における閾値補正に当たっては、制御部 109 の駆動走査部 105 は、書込走査部 104 での走査に合わせて 1 行分の各画素回路 P に、駆動電流 I_{ds} を電気光学素子（有機 EL 素子 127）に流すために使用される第 1 電位 V_{cc} と第 1 電位 V_{cc} とは異なる第 2 電位 V_{ss} とを切り替えて出力する。書込走査部 104 は、駆動トランジスタ 121 の電源供給端子に第 1 電位 V_{cc} に対応する電圧が供給され、かつサンプリングトランジスタ 121 に信号電位が供給されている時間帯でサンプリングトランジスタ 125 を導通

20

【0077】

また、2TR 駆動構成における閾値補正の準備動作に当たっては、駆動トランジスタ 121 の電源供給端に第 2 電位 V_{ss} に対応する電圧が供給され、かつサンプリングトランジスタ 125 に信号電位が供給されている時間帯でサンプリングトランジスタ 125 を導通させて、駆動トランジスタ 121 の制御入力端の電位を基準電位 V_{in} に、また出力端の電位を第 2 電位 V_{ss} に初期化するのがよい。

【0078】

さらに好ましくは、制御部 109 は、閾値補正動作の後、駆動トランジスタ 121 に第 1 電位 V_{cc} に対応する電圧が供給され、サンプリングトランジスタ 125 に信号電位が供給されている時間帯でサンプリングトランジスタ 125 を導通させることで保持容量 120 に信号振幅 V_{in} の情報を書き込む際、駆動トランジスタ 121 の移動度 μ に対する補正分を保持容量 120 に書き込まれる情報に加えるように制御する。この際には、サンプリングトランジスタ 125 に信号電位が供給されている時間帯内の所定位置で、その時間帯より短い期間だけサンプリングトランジスタ 125 を導通させるとよい。

30

【0079】

駆動トランジスタ 121 のゲートとソースとの間に保持容量 120 を配置して、駆動トランジスタ 121 のソース端の電位 V_s の変動にゲート端の電位 V_g が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとすることで、有機 EL 素子 127 の特性の経時変動による有機 EL 素子 127 のアノード電位変動（つまりソース電位変動）があっても、その変動を相殺するようにゲート電位 V_g を変動させることで、画面輝度の均一性（ユニフォーミティ）を確保できる。ブートストラップ機能が、有機 EL 素子を代表とする電流駆動型の発光素子の経時劣化補正能力を向上させることができる。もちろん、このブートストラップ機能は、発光開始時点で、有機 EL 素子 127 に発光電流 I_{el} が流れ始め、それによってアノード・カソード間電圧 V_{el} が安定となるまで上昇していく過程で、そのアノード・カソード間電圧 V_{el} の変動に伴って駆動トランジスタ 121 のソース電位 V_s が変動する際にも機能する。

40

【0080】

また、駆動トランジスタ 121 の製造プロセスのばらつきにより、画素回路 P ごとに閾値電圧や移動度などの特性変動がある。駆動トランジスタ 121 を飽和領域で駆動する場

50

合においても、この特性変動により、駆動トランジスタ 1 2 1 に同一のゲート電位を与えても、画素回路 P ごとにドレイン電流（駆動電流 I_{ds} ）が変動し、発光輝度のばらつきになって現れる。

【 0 0 8 1 】

これに対して、閾値補正機能および移動度補正機能を実現する駆動タイミングとすることで、それらの変動の影響を抑制でき、画面輝度の均一性（ユニフォームリティ）を確保できる。本実施形態の閾値補正動作および移動度補正動作では、詳細は割愛するが、書込みゲインが 1（理想値）であると仮定した場合、発光時のゲート・ソース間電圧 V_{gs} が “ $V_{in} + V_{th} - V$ ” で表されるようにすることで、ドレイン・ソース間電流 I_{ds} が、閾値電圧 V_{th} のばらつきや変動に依存しないようにするとともに、移動度 μ のばらつきや変動に依存しないようにする。結果として、閾値電圧 V_{th} や移動度 μ が製造プロセスにより変動しても、駆動電流 I_{ds} は変動せず、有機 EL 素子 1 2 7 の発光輝度も変動しない。

10

【 0 0 8 2 】

< 画素回路の動作：本実施形態 >

図 2 A は、図 2 に示した本実施形態の画素回路 P に関する駆動タイミングの一例として、線順次方式で信号振幅 V_{in} の情報を保持容量 1 2 0 に書き込む際の動作を説明するタイミングチャートである。ここで、図 2 A に示す例は、信号振幅 V_{in} に応じた情報を保持容量 1 2 0 に書き込む動作と移動度補正を、書込走査線 1 0 4 WS に印加する書込駆動パルス WS の立上りと立下りで決定する態様である。

【 0 0 8 3 】

20

以下では、説明や理解を容易にするため、特段の断りのない限り、書込みゲインが 1（理想値）であると仮定して、保持容量 1 2 0 に信号振幅 V_{in} の情報を、書き込む、保持する、あるいはサンプリングするなど簡潔に記して説明する。実際には、書込みゲインが 1 未満となり、保持容量 1 2 0 には信号振幅 V_{in} の大きさそのものではなく、信号振幅 V_{in} の大きさに対応するゲイン倍された情報が保持されることになる。また、説明や理解を容易にするため、特段の断りのない限り、ブートストラップゲインが 1（理想値）であると仮定して簡潔に記して説明する。

【 0 0 8 4 】

2 T R 構成の画素回路 P における駆動タイミングでの閾値補正と移動度補正を行なう際の基本的な考え方においては、先ず、映像信号 V_{sig} は、オフセット電位 V_{ofs} と信号電位（ $V_{ofs} + V_{in}$ ）を 1 H 期間内において時分割で有し、非有効期間であるオフセット電位 V_{ofs} にある期間を 1 水平期間の前半部とし、有効期間である信号電位（ $V_{ofs} + V_{in}$ ）にある期間を 1 水平期間の後半部とする。

30

【 0 0 8 5 】

また、信号書込みに用いる書込駆動パルス WS を閾値補正や移動度補正にも用いることし、好ましくは書込駆動パルス WS を 1 H 期間内に 2 回アクティブにしてサンプリングトランジスタ 1 2 5 をオンする。信号振幅 V_{in} の情報のサンプリング（書き込む動作）と移動度補正を、書込走査線 1 0 4 WS に印加する書込駆動パルス WS の立上りと立下りで決定するためである。そして、1 回目のオンタイミングにて閾値補正を行ない、2 回目のオンタイミングにて信号電圧書込みと移動度補正を同時に行なう。その後、駆動トランジスタ 1 2 1 は、第 1 電位（高電位側）にある電源供給線 1 0 5 DSL から電流の供給を受け保持容量 1 2 0 に保持された信号電位（映像信号 V_{sig} の有効期間の電位に対応する電位）に応じて駆動電流 I_{ds} を有機 EL 素子 1 2 7 に流す。

40

【 0 0 8 6 】

たとえば、発光期間 B , I では電源駆動パルス DSL が第 1 電位 V_{cc} にあり、書込駆動パルス WS がインアクティブ L でサンプリングトランジスタ 1 2 5 T 1 がオフした状態である。このとき、駆動トランジスタ 1 2 1 は飽和領域で動作するように設定されているため、有機 EL 素子 1 2 7 に流れる駆動電流 I_{ds} は駆動トランジスタ 1 2 1 のゲート・ソース間電圧 V_{gs} に応じた値をとる。飽和領域で動作するトランジスタのドレイン端 - ソース間に流れる電流を I_{ds} 、移動度を μ 、チャネル幅（ゲート幅）を W 、チャネル長（ゲート長）

50

を L 、ゲート容量（単位面積当たりのゲート酸化膜容量）を C_{ox} は、トランジスタの閾値電圧を V_{th} とすると、駆動トランジスタ 121 は下記の式（1）に示した値を持つ定電流源となっている。式（1）から明らかなように、飽和領域ではトランジスタのドレイン電流 I_{ds} はゲート・ソース間電圧 V_{gs} によって制御される。

【0087】

【数1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \dots (1)$$

10

【0088】

次に非発光期間に入ると、先ず放電期間 C において、電源駆動パルス DSL を第 2 電位 V_{ss} とすると、有機 EL 素子 127 は消光し、電源駆動パルス DSL が駆動トランジスタ 121 のソースとなり、有機 EL 素子 127 のアノードは第 2 電位 V_{ss} に充電される。さらに、初期化期間 D にて映像信号線 106 HS の電位がオフセット電位 V_{ofs} になったときに書込駆動パルス WS をアクティブ H にしてサンプリングトランジスタ 125 をオンさせて駆動トランジスタ 121 のゲート電位をオフセット電位 V_{ofs} とする。

【0089】

その後、閾値補正期間 E において、電源供給線 105 DSL の電位が低電位側の第 2 電位 V_{ss} から高電位側の第 1 電位 V_{cc} に遷移することで、駆動トランジスタ 121 のゲート端はオフセット電位 V_{ofs} に保持されたまま、駆動電流 I_{ds} により保持容量 120 と寄生容量 C_{el} を充電し、一定時間経過後、書込駆動パルス WS をインアクティブ L にしてサンプリングトランジスタ 125 をオフする。閾値補正期間が十分であれば、この動作により、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は V_{th} という値をとる。

20

【0090】

すなわち、ノード ND 121 の電位（ソース電位 V_s ）とノード ND 122 の電圧（ゲート電位 V_g ）との電位差がちょうど閾値電圧 V_{th} となったところで駆動トランジスタ 121 はオン状態からオフ状態となり（カットオフ）、駆動トランジスタ 121 のソース電位 V_s は “ $V_{ofs} - V_{th}$ ” となってドレイン電流は流れなくなり、閾値補正期間が終了する。つまり、一定時間経過後、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} という値をとる。この閾値補正機能により、画素回路 P ごとにばらつく駆動トランジスタ 121 の閾値電圧 V_{th} の影響をキャンセルすることができる。このとき、有機 EL 素子 127 には逆バイアスがかかっているため有機 EL 素子 127 が発光することはない。

30

【0091】

ここで、閾値補正動作は 1 回のみ実行するものとすることもできるが、このことは必須ではない。必要に応じて、1 水平期間を処理サイクルとして、閾値補正動作を複数回に亘って繰り返すようにしてもよい。たとえば、実際には、閾値電圧 V_{th} に相当する電圧が、駆動トランジスタ 121 のゲート端とソース端と間に接続された保持容量 120 に書き込まれることになる。しかしながら、閾値補正期間 E は、書込駆動パルス WS をアクティブ H にしたタイミングからインアクティブ L に戻すタイミングまでであり、この期間が十分に確保されていないときには、それ以前に終了してしまうこととなる。この問題を解消するには、閾値補正動作を複数回繰り返すのがよい。ここでは、そのタイミングについては図示を割愛するが、信号振幅 V_{in} の保持容量 120 へのサンプリング（信号書込み）に先行する複数の水平周期で、閾値補正動作を繰り返し実行することで、確実に駆動トランジスタ 121 の閾値電圧 V_{th} に相当する電圧を保持容量 120 に保持させるのである。

40

【0092】

本実施形態の制御部 109 においては、閾値補正機能に加えて、保持容量 120 に信号振幅 V_{in} に応じた情報を保持する際、同時に駆動トランジスタ 121 の移動度 μ に対する補正を加える移動度補正機能を備えている。因みに、水平駆動部 106 により映像信号線

50

106HSに信号電位 ($V_{ofs} + V_{in}$) を実際に供給して、書込駆動パルスWSをアクティブHにする期間を、保持容量120への信号振幅 V_{in} の書込み期間 (サンプリグ期間とも称する) とする。2Aでは、サンプリグ期間と移動度補正期間を同じに扱って、書込み & 移動度補正期間Hと称している。

【0093】

書込み & 移動度補正期間Hにおいては、駆動トランジスタ121のゲート電位 V_g が信号電位 ($V_{ofs} + V_{in}$) にある状態でサンプリグトランジスタ125が導通 (オン) 状態となるので、駆動トランジスタ121のゲート端が信号電位 ($V_{ofs} + V_{in}$) に固定された状態で、駆動トランジスタ121に電源供給線105DSL から駆動電流 I_{ds} が流れ、保持容量120の容量値 C_s と有機EL素子127の寄生容量 (等価容量) C_{el} の容量値 C_{el} の両者を結合した容量 “ $C = C_s + C_{el}$ ” (その他の寄生容量は無視する) に流れ込み充電を開始するためソース電位 V_s は時間とともに上昇してゆく。このとき、駆動トランジスタ121の閾値補正動作は完了しているため、駆動トランジスタ121が流す駆動電流 I_{ds} は移動度 μ を反映したものとなる。これによって、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は移動度 μ を反映して小さくなり一定時間経過後に完全に移動度 μ を補正するゲート・ソース間電圧 V_{gs} となる。図2Aのタイミングチャートでは、この上昇分を V で表してある。この上昇分、すなわち移動度補正パラメータである負帰還量 V は、閾値補正によって保持容量120に保持されるゲート・ソース間電圧 “ $V_{gs} = V_{in} + V_{th}$ ” から差し引かれることになり、 “ $V_{gs} = V_{in} + V_{th} - V$ ” となるので、負帰還をかけたことになる。

【0094】

その後、書込走査部104は、保持容量120に信号振幅 V_{in} の情報が保持された段階で書込走査線104WSに対する書込駆動パルスWSの印加を解除し (すなわちインアクティブL (ロー) にして) 、サンプリグトランジスタ125を非導通状態にして駆動トランジスタ121のゲート端を映像信号線106HSから電氣的に切り離すことで発光期間Iに入る。発光期間Iに進むと、水平駆動部106は、その後の適当な時点で映像信号線106HSの電位をオフセット電位 V_{ofs} に戻す。この後、次のフレーム (もしくはフィールド) に移って、再び、閾値補正準備動作、閾値補正動作、移動度補正動作、および発光動作が繰り返される。

【0095】

発光期間Iでは、駆動トランジスタ121のゲート端への信号電位 ($V_{ofs} + V_{in}$) の印加が解除されるので、駆動トランジスタ121のゲート電位 V_g は上昇可能となる。駆動トランジスタ121のゲート端とソース端と間には保持容量120が接続されており、その保持容量120による効果によって、ブートストラップ機能が実現される。ブートストラップゲインが1 (理想値) であると仮定した場合、駆動トランジスタ121のソース電位 V_s の変動にゲート電位 V_g が完全に連動するようになり、ゲート・ソース間電圧 V_{gs} を一定に維持することができる。

【0096】

このとき、駆動トランジスタ121に流れる駆動電流 I_{ds} は有機EL素子127に流れ、有機EL素子127のアノード電位は駆動電流 I_{ds} に応じて上昇する。この上昇分を V_{el} とする。やがて、ソース電位 V_s の上昇に伴い、有機EL素子127の逆バイアス状態は解消されるので、駆動電流 I_{ds} の流入により有機EL素子127は実際に発光を開始する。このときの有機EL素子127のアノード電位の上昇 (V_{el}) は、駆動トランジスタ121のソース電位 V_s の上昇に他ならず、駆動トランジスタ121のソース電位 V_s は、 V_{el} 分上昇する。

【0097】

駆動電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、書込みゲインを “ 1 ” とすれば先のトランジスタ特性を表した式 (1) の V_{gs} に “ $V_{in} - V + V_{th}$ ” を代入することで、式 (2) のように表すことができる。式 (2) において、 $k = (1 / 2) (W / L) C_{ox}$ である。

【0098】

10

20

30

40

50

【数 2】

$$I_{ds} = k\mu (V_{gs} - V_{th})^2 = k\mu (V_{in} - \Delta V)^2 \dots (2)$$

【0099】

この式(2)から、閾値電圧 V_{th} の項がキャンセルされており、有機EL素子127に供給される駆動電流 I_{ds} は駆動トランジスタ121の閾値電圧 V_{th} に依存しないことが分かる。基本的に駆動電流 I_{ds} は信号振幅 V_{in} (詳しくは信号振幅 V_{in} に対応して保持容量120に保持されるサンプリング電圧 $= V_{gs}$)によって決まるので、有機EL素子127は信号振幅 V_{in} に応じた輝度で発光することになる。その際、保持容量120に保持される情報は帰還量 V で補正されている。この補正量 V はちょうど式(2)の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、駆動電流 I_{ds} は実質的に信号振幅 V_{in} のみに依存することになる。駆動電流 I_{ds} は閾値電圧 V_{th} に依存しないので、閾値電圧 V_{th} が製造プロセスにより変動しても、ドレイン・ソース間の駆動電流 I_{ds} は変動せず、有機EL素子127の発光輝度も変動しない。

10

【0100】

また、駆動トランジスタ121のゲート端Gとソース端Sとの間には保持容量120が接続されており、その保持容量120による効果により、発光期間の最初でブートストラップ動作が行なわれ、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} を一定に維持したまま、駆動トランジスタ121のゲート電位 V_g およびソース電位 V_s が上昇し、ゲート電位 V_g は“ $V_{ofs} + V_{in} + V_{el}$ ”となる。このとき、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は一定であるので、駆動トランジスタ121は、一定電流(駆動電流 I_{ds})を有機EL素子127に流す。その結果、有機EL素子127のアノード端Aの電位(=ノードND121の電位)は、有機EL素子127に飽和状態での駆動電流 I_{ds} という電流が流れ得る電圧まで上昇する。

20

【0101】

ここで、有機EL素子127は、発光時間が長くなるとそのI-V特性が変化してしまうため、時間の経過とともにノードND121の電位も変化するが、保持容量120によるブートストラップ機能によって駆動トランジスタ121のゲート・ソース間電位 V_{gs} が一定に保たれるため、有機EL素子127に流れる電流は変わらず、有機EL素子127の発光輝度も一定に保たれる。

30

<<補助配線のレイアウト>>

図3および図3Aは、画素アレイ部102の周辺に配される制御部109(書込走査部104、駆動走査部105、水平駆動部106)と画素アレイ部102との間の配線に関する問題点を説明する図である。ここで、図3は、有機EL素子127の下部電極と補助配線の第1例のレイアウトを示した全体概要図である。図3Aは、図3に対する変形例である第2例のレイアウトを示した図である。

【0102】

有機EL素子127の下部電極と補助配線の第1例のレイアウトが図3に示されている。この図に示すように、有機EL素子127の下部電極504は、マトリクス状に配置された画素回路Pの配列に対応して、2次元マトリクス状に配置されている。有機EL素子127は、下部電極504と有機層506と上部電極508の積層構造をなしている。そして、この下部電極504間に、下部電極504と同一層で構成された補助配線515が、下部電極504(つまり画素回路P)を取り囲むように格子状に配置され、さらに外周にも画素アレイ部102の全体を取り囲むように配線された構成となっている。補助配線515の内、画素アレイ部102の全体を取り囲む部分を画素アレイ部102内の格子状の補助配線と区別して特に環状補助配線と称する。下部電極504が形成されるアノード層L3の補助配線515は、適当な箇所にて(図の例では各画素間の中心および外周全体)、カソードコンタクトKCにより、その上層の上部電極508と接続される。

40

【0103】

50

また、図3Aに示す第2例のレイアウトでは、トップエミッション方式での高精細画素構造とする場合において、画素開口率を稼ぐために、補助配線515を画素アレイ部102の全体を取り囲むように配置するだけで、画素アレイ部102(表示エリア)内に格子状または列または行状に配線するレイアウトを用いていない。たとえば、高精細画素では、開口率を稼ぐために、画素内の補助配線レイアウトを使用しないことがある。

【0104】

何れの構成でも、補助配線515を画素アレイ部102の全体を取り囲むように配線して、外周全体で上部電極とのコンタクトをとることで、上部電極(カソード電極)とのコンタクト抵抗を下げるようにしている。このように、補助配線515が上部電極とのコンタクト抵抗を下げるために画素アレイ部102より広くとられると、図3や図3A(後述の図4や図7も参照)に示すように、補助配線515は、制御部109からそれぞれ画素アレイ部102へと接続される各走査線Lscan(書込走査線104WS、電源供給線105DSL、映像信号線106HS)と広範囲でオーバーラップすることになる。

10

【0105】

<<パネル辺縁部の配線構造の問題点>>

図4~図5Hは、画素アレイ部102周辺の実装態様の比較例を説明する図である。これらの図により、パネル辺縁部の配線構造の問題点が説明される。ここで、図4および図4Aは図1Aに示した周辺回路パネル外配置構成の場合を示し、特に図4AはTCP実装の詳細を示す。

【0106】

また、図5は、比較例における補助配線515と各走査線Lscanの配置関係を説明する平面透視図である。図5A(1)は図5における走査線Lscanの長手方向と直交する方向(a-a'線)の断面図であり、図5A(2)は図5における走査線Lscanの長手方向(b-b'線)の断面図である。

20

【0107】

また、図5B~図5Eは、垂直走査系統の走査線に着目して、表示領域である画素アレイ部102の外周部において、引出し配線Ldrawnが画素アレイ部102に接続する箇所の概要を説明する図である。ここで、図5Bはそのレイアウト例(平面図)であり、図5Cはその全体概要の平面図であり、図5Dは図5C中の点線部分の拡大図(平面図と断面図)であり、図5Eは第1配線層L1と第2配線層L2の交差部分の詳細を説明する図である。

30

【0108】

また、図5F~図5Hは、画素アレイ部102の外周部に保護回路142やテストスイッチ回路144が設けられた状態を説明する図である。ここで、図5Fは垂直走査系統の走査線に着目したレイアウト例(平面図)であり、図5Gはその内の保護回路142の回路図およびレイアウトの概要を示す平面図である。図5Hはテストスイッチ回路144の回路図および水平走査系統の走査線(R,G,B)の各映像信号線106HSに着目したときのレイアウトの概要を示す平面図である。

【0109】

図4や図4Aに示すように、表示パネル部100の基板101の端縁部分には、COF方式で接続をとるための電氣的接続端子PAD2が設けられる。基板101上には、表示領域となる画素アレイ部102が設けられ、この画素アレイ部102の外側にまで補助配線515が設けられている。補助配線515は図示を割愛した上部電極とともに、全画素共通の接地配線Vcathとなるもので、表示パネル部100の基板101の端縁部分に設けられた電氣的接続端子PAD2の一例である電源供給TCP520から基準電圧(一例としてGND)が供給される。図4では電源供給TCP520を2箇所設けており、また図4Aでは電源供給TCP520を4箇所設けているが、その数は任意である。

40

【0110】

また、制御部109用の電氣的接続端子PAD2に関しても電源供給TCP520と概ね同様であり、表示パネル部100の基板101の端縁部分に設けられた書込駆動パルスWS用

50

の信号供給TAB530_WS, 電源駆動パルスDSL用の電源入力部530_DSL、映像信号Vsig用の信号供給TAB530_sigから各信号が供給される。各信号供給TAB530には、ドライバLSI532がTAB方式でボンディングされ、基板101のエッジにドライバの出力を接続し、ドライバLSI532が基板101の外になるように実装される。図示しないが、各信号供給TAB530の基板101とは反対側には、ドライバLSI532に信号を供給する前段回路(たとえばシフトレジスタなど)が搭載された回路基板が接続される。

【0111】

ここで、図4や図4Aに示した比較例の実装態様では、画素アレイ部102周辺部の付加回路148の全体を、アノード層L3の補助配線515を用いてベタ膜で遮光している。つまり、比較例の実装態様では、補助配線515は、画素アレイ部102外周部のカソードコンタクトKC用の領域を超えてさらに広く設けられ、補助配線515が付加回路148の全体を覆うようになっている。こうすることで、光が周辺回路部140のトランジスタに入り込む現象を防止するようにしている。

10

【0112】

画素アレイ部102の周辺部では、つまり、画素アレイ部102と制御部109との間では、図5および図5Aから分かるように、下部電極504(本例ではアノード電極)と同一層の補助配線515が、走査線Lscan(書込走査線104_WS、電源供給線105_DSL、映像信号線106_HS)の引出し配線Ldrawnと間に誘電体である層間絶縁膜502bおよび層間絶縁膜503が挟まれた構造(オーバーラップした構造)である。その分、引出し配線Ldrawnの長さが長くなる。加えて、本例では、画素アレイ部102と制御部109との間に周辺回路部140を配しているため、その分の長さが必要にもなる。

20

【0113】

走査線Lscanの材質を如何様にするかは様々であるが、たとえば、以下のような観点から選択される。まず、画素アレイ部102内に着目すると、少なくとも垂直走査系統に関わる書込走査線104_WSおよび電源供給線105_DSLが縦/横の一方の配線(たとえば横配線とする)となり、これに対して水平走査系統に関わる映像信号線106_HSが縦/横の他方の配線(たとえば縦配線とする)となる。また、有機EL素子127のカソード電位Vcathをベタ配線ではなく通常の配線とする場合であれば、カソード電位Vcath用の配線(カソード配線)が横配線もしくは縦配線となる。

30

【0114】

前述の各配線(書込走査線104_WS、電源供給線105_DSL、映像信号線106_HS)は、横方向または縦方向に延び、画素アレイ部102の周辺に設けられた対応する走査部(書込走査部104、駆動走査部105、水平駆動部106)と接続される。画面の左右方向について考察した場合、詳細説明図は割愛するが、1行内の全ての画素回路Pに対して書込駆動パルスWSは書込走査部104から共通に供給されるので、書込駆動パルスWSの波形が配線容量や配線抵抗の影響で、書込走査部104から遠い画素回路P(遠側画素と称する)の方が書込走査部104から近い画素回路P(近側画素と称する)よりも、その波形鈍りが大きくなってしまふ。そのため、配線容量や配線抵抗の分布特性が、閾値補正や移動度補正の動作に影響を与えることがある。同様のことは、電源供給線105_DSLや映像信号線106_HS(あるいはカソード配線)についても言えることであり、配線容量や配線抵抗の分布特性が、閾値補正や移動度補正の動作に影響を与えることがある。

40

【0115】

これらの点を考慮して、各配線は、低抵抗にするべく、アルミニウムAlやモリブデンMoやチタンTiなどの単層あるいはそれらの多層による光透過性を有しない金属配線を使用して配線される。前述のように、縦配線と横配線が必要であるから、基本的には、縦配線と横配線の交差部でのオーバーラップのために、最低でも2層(本例では第1配線層L1と第2配線層L2)の金属配線が必要になる。

【0116】

さらに、第1配線層L1と第2配線層L2の相違に着目すると、第1配線層L1は薄膜

50

トランジスタ形成のための熱処理（アニール処理）工程のため、熱に対して耐性が必要であり、アルミニウム Al やチタン Ti に比べると高抵抗ではあるがモリブデン Mo を使用するのが好ましい。すなわち、熱処理工程でヒートシンクとしての役割をなすように、第 1 配線層 L1 の電極材料の熱容量はできるだけ小さいのが好ましい。アルミニウム Al あるいはその合金材料は、熱処理工程でヒートロックやウイスカもしくはボイドを発生させるので第 1 配線層 L1 の電極材としては適さない。

【0117】

特に、薄膜トランジスタとして微結晶シリコン TFT を使用する場合は、耐熱性の要求度合いは強くなる。何故なら、微結晶シリコン TFT の形成のために、エキシマレーザーによる熱処理とは異なり、ライン状あるいは方形状に整形した光強度プロファイルを持つ高出力半導体レーザー装置から連続発振のレーザー光（連続レーザー光と称する）を発生し、非晶質シリコン膜に対して一列ごとに一定速度で移動させ（スキャンし）、次の列にスライドさせた後、前の列におけるのと同方向または逆方向のスキャンを開始する動作を繰り返すことによって全域に亘る照射を図り、非晶質シリコン膜を微結晶シリコン膜に変化させる。そのため、結晶化に必要な熱量が非常に大きくなる。

10

【0118】

一方、第 2 配線層 L2 は、第 1 配線層 L1 に比べると耐熱性は要求されず、主に低抵抗化の観点から、たとえば、モリブデン Mo よりも低抵抗であるアルミニウム Al やチタン Ti あるいはそれらの合金材料（Ti-Al-Ti など）を使用するのが好ましい。

【0119】

また、画素アレイ部 102 の周辺部に着目すると、画素アレイ部 102 内が第 1 配線層 L1 であるか第 2 配線層 L2 であるかを問わず、引出し配線 Ldrawn は、パネル外周から画素回路 P へ接続し長配線であり、モリブデンは高抵抗であるために、低抵抗化の観点からモリブデン Mo よりも低抵抗である電極材が適用される第 2 配線層 L2 とする。因みに、画素アレイ部 102 内が第 1 配線層 L1 である走査線 Lscan は、画素アレイ部 102 の辺縁で第 2 配線層 L2 に引き渡す処理が必要になる。

20

【0120】

ここで、接続用の画素アレイ部外の配線（引出し配線）は、画素アレイ部外の限られた面積内でレイアウトする必要があるため、大電流を必要とする電源供給線 105 DSL は比較的幅広とするが、それ以外の書込走査線 104 WS や映像信号線 106 HS は、パターン設計ルール上の最小線幅で形成する。

30

【0121】

しかしながら、配線幅が狭いと、断線し易く、断線のため画素アレイ部 102 の画素回路 P が正常に機能せず表示不良が起き易くなる。たとえば、製造工程内での機械的なストレスが加わることで断線してしまうことがある。

【0122】

さらに、図 5B ~ 図 5E に示すように、画素アレイ部 102（引出し配線部周辺）の層構造と引出し配線の層構造が異なると、段差が生じ、引出し配線がさらに断線し易くなる。すなわち、表示領域外周部（画素アレイ部 102 の近傍）には、第 2 配線層 L2 にて補助配線 515 が環状に配置されている。第 1 配線層 L1 と第 2 配線層 L2 の交差部分は層間ショートが発生を防ぐためにゲート絶縁膜以外に TFT を形成する a-Si とエッチングストップ層を配置している。画素アレイ部 102（画素領域）および画素領域外周において、第 1 配線層 L1 と第 2 配線層 L2 の交差部分では、第 1 配線層 L1 は低抵抗化を図るために、図 5E に示すように、たとえば、MO, Clad (AlNd) などの低抵抗金属を抱合（積層）する構造にしている。また、図 5F ~ 図 5H に示すように、画素アレイ部 102 の外周部に保護回路 142 やテストスイッチ回路 144 を設けるときには、保護回路 142 やテストスイッチ回路 144（引出し配線部周辺）の層構造と引出し配線の層構造が異なるので、やはり、段差が生じ、引出し配線がさらに断線し易くなる。

40

【0123】

さらに、第 2 配線層 L2 を形成後の後工程で、たとえば有機 EL 素子 127 の形成時に

50

熱処理が加わる場合にも、耐熱性に劣る電極材を使用している第2配線層L2で引出し配線Ldrawnを形成すると、熱ストレスのために断線し易くなる。

【0124】

<改善手法：基本概念>

そこで、本実施形態においては、各引出し配線Ldrawnをそれぞれ、第2配線層L2以外の配線層も利用して複数の配線層に配設する（引出し配線Ldrawnの冗長を図る）ことで、前記の「断線」に起因する表示不良の問題を解決することにする。何れかの配線層の引出し配線Ldrawnが断線しても他方の配線層の引出し配線Ldrawnの存在により表示不良の発生を防止するという、いわゆるバックアップの考え方を採り入れるのである。

【0125】

ここで、引出し配線Ldrawnを複数の配線層に配設する場合において第2配線層L2以外の配線層を如何様に設定するかは様々な仕組みが考えられる、一例としては、第1配線層L1に配設することが考えられるし、第1配線層L1および第2配線層L2以外の第3・第4などの配線層を追加することも考えられる。ただし、第3・第4などの配線層を追加することは製造プロセスが煩雑化しコストアップを招くなどの不利益が考えられる。そこで、本実施形態では、画素アレイ部102から外周部へと引き出される各走査線Lscanの引出し配線Ldrawnを第1配線層L1および第2配線層L2で形成することにする。以下、第1配線層L1の引出し配線Ldrawnを第1引出し配線Ldrawn_L1と称し、第2配線層L2の引出し配線Ldrawnを第2引出し配線Ldrawn_L2と称する。

【0126】

そして、2層で形成される引出し配線Ldrawnは、その長手方向において、少なくとも2箇所（好ましくは層内の端部近傍で）電気的な接続（その接続点をコンタクトLCと称する）を取る。こうすることで、コンタクトLC間においては、第1配線層L1および第2配線層L2の何れかで断線しても他方の配線層が接続されていることで、全体としては電気的な接続が維持され、パネル外周部のパッドやICと画素回路Pの未接続が防止できるようにする。コンタクトLCをとる箇所が多いほど各層での断線に対する耐性が大きい。また、付加的な効果として、断線が発生していないときには、配線抵抗が下がるので引出し配線Ldrawnの電圧降下を抑制できる。

【0127】

また、第1配線層L1利用した付加的な効果として、微結晶シリコンTFEの形成時の連続レーザ光によるアニール処理時のパネル内の熱プロファイルを均一にすることで、TFEの特性ばらつきを抑えることができる。

【0128】

<<改善手法：第1実施形態>>

図6～図6Bは、引出し配線Ldrawnの断線に起因する表示不良を防止し得るようにした配線配置（レイアウト）の第1実施形態を説明する図である。ここで、図6は、第1実施形態における補助配線515と各走査線Lscanの配置関係を説明する平面透視図である。図6Aは図6における走査線Lscanの長手方向と直交する方向（a-a'線）の断面図であり、図6Bは図6における走査線Lscanの長手方向（b-b'線）の付加回路148（特に保護回路142）のトランジスタにも着目した平面透視図（1）および断面図（2）である。

【0129】

第1実施形態は、パッドや制御部109と画素アレイ部102の間に付加回路148（保護回路142やテストスイッチ回路144）を設けている場合のレイアウトの一例である。第1実施形態は、後述する第2実施形態との相違点として、引出し配線Ldrawnの長手方向において、付加回路148が配設される領域については、第2配線層L2のみとする点に特徴を有する。これは、図5F～図5Hから理解されるように、付加回路148が配設される領域には、色々な配線が通る（クロスする）ため、実際上のレイアウト面においては引出し配線Ldrawnの複層化が困難になるからである。ただし、レイアウト面で解決できれば、付加回路148が配設される領域についても引出し配線Ldrawnを複層化す

10

20

30

40

50

るのがよい。

【0130】

第1実施形態の仕組みでは、図6～図6Bから理解されるように、画素アレイ部102から外周部へと引き出される各走査線Lscanの引出し配線Ldrawnが第1配線層L1および第2配線層L2で形成され、その長手方向における信号入力部側の端部、付加回路148の領域（付加回路領域と称する）の両端部、および画素アレイ部102側の端部それぞれにおいてコンタクトLCで電気的な接続がとられている。このため、引出し配線Ldrawnの長手方向における付加回路領域を除く部分において、つまり信号入力部と付加回路領域の間や付加回路領域と画素アレイ部102との間において、第1引出し配線Ldrawn_L1および第2引出し配線Ldrawn_L2の何れかで断線しても、他方の配線層が接続されていること

10

【0131】

<微結晶シリコンTFEについて>

図7は、微結晶シリコンTFEの断面模式図である。微結晶シリコンTFEの形成時には、まず、ガラス基板上の第1配線層L1にゲート電極形成膜を成膜する。このとき、本実施形態では、走査線Lscan用の引出し配線Ldrawnも形成する。ゲート電極形成膜は、たとえば、スパッタリング法によって、モリブデン膜を90nmの厚さに形成する。次いで、フォトリソグラフィ工程、エッチング工程を経て、ゲート電極形成膜で所定の形状にパターンングしてゲート電極や引出し配線Ldrawnを作製する。

20

【0132】

次に、ゲート電極や引出し配線Ldrawnを被覆する状態に基板上に層間絶縁膜502a（ゲート絶縁膜）を形成する。この層間絶縁膜502aは、たとえば、窒化シリコン膜（膜厚はたとえば50nm）と酸化シリコン膜（膜厚はたとえば120nm）の積層膜で形成する。さらに、層間絶縁膜502aにチャンネル層を形成する膜として、たとえばプラズマエンハンスメント-化学的気相成長法（PE-CVD法）などにより非晶質シリコン膜をたとえば15nmの厚さに形成する。

【0133】

次に、非晶質シリコン膜上に酸化シリコン膜をたとえば20nmの厚さに成膜してバッファ膜を形成する。次いで、バッファ膜上に、たとえばPE-CVD法やスパッタリング法などにより、モリブデンをたとえば100nmの厚さに堆積して光-熱変換膜を形成する。バッファ膜は、レーザ光照射時に高温となる光-熱変換膜のモリブデン（Mo）が非晶質シリコン膜の膜内に拡散してモリブデンシリサイドが生成されることを防止する役割を果たす。

30

【0134】

次に、光-熱変換膜上にレーザ光を照射して光-熱変換膜を加熱し、この熱によって下層にある非晶質シリコン膜を微結晶シリコン膜に変化させる。このときのレーザアニール工程において使用するレーザ光源は、たとえば波長808nmのブロードエリア型高出力半導体レーザ装置で、連続発振にて約4Wの光出力（連続レーザ光）が得られるものとする。マイクロレンズアレイなどを用いた均一照明光学系に半導体レーザ装置から射出されたレーザ光を通し、長軸側の光強度プロファイルが平坦なトップハット型で、短軸側の光強度プロファイルがガウシアン型の矩形ビームに整形し、そのビームを約2mW/μm²の光強度に集光して光-熱変換膜上に照射し、基板を約40mm/sの一定速度で移動させる。高い光強度の半導体レーザ光の照射によってモリブデン膜が高温に加熱され、この熱が熱伝導によって下層の酸化シリコンからなるバッファ膜、非晶質シリコン膜に伝わり、非晶質シリコン膜が融点に達する。溶融した非晶質シリコン膜は照射光が通り過ぎることによって冷却固化して微結晶シリコンに変化し、微結晶シリコン膜が形成される。

40

【0135】

次に、トランジスタを構成する上で不要となる光-熱変換膜およびバッファ膜を除去する。次に、必要に応じて、微結晶シリコン膜上に非晶質シリコン膜をたとえばPE-CV

50

D法によりたとえば120nmの厚さに形成する。こうすることで、微結晶シリコン膜と非晶質シリコン膜とからなる2層チャンネル構造のチャンネル層が作製される。

【0136】

次に、一般的な非晶質シリコンTFTの製造プロセスと同様な工程を行なう。たとえば、非晶質シリコン膜上にたとえば化学的気相成長法により、たとえば窒化シリコン膜で、チャンネル保護膜を形成する。その後、通常のリソグラフィ工程およびエッチング工程によりチャンネル層の上部にチャンネル保護膜を用いてストッパー層を形成する。さらに、非晶質シリコン膜上のソース・ドレインが形成される領域に、n型不純物として、たとえばリンをドーパした非晶質シリコン層(n+a-Si層)をたとえば化学的気相成長法によって形成する。その後、反応性イオンエッチング装置を用いるなどして、リソグラフィ工程とドライエッチング工程によってアイランド構造を作製する。

10

【0137】

次に、n+a-Si層を被覆するように、たとえばスパッタリングなどにより、第2配線層L2に、モリブデンMoよりも低抵抗であるアルミニウムAlやチタンTiあるいはそれらの合金材料(Ti-Al-Tiなど)により、ソース電極およびドレイン電極や第2引出し配線Ldrawn_L2を形成するための電極膜を形成する。さらに、たとえば反応性イオンエッチング装置を用いるなどして、リソグラフィ工程とドライエッチング工程によって、電極膜をパターニングしてソース電極、ドレイン電極、および第2引出し配線Ldrawn_L2を形成する。

20

【0138】

以上の工程により、チャンネル層が微結晶シリコン膜および非晶質シリコン膜の2層構造からなる逆スタガー型の薄膜トランジスタ1が成される。

【0139】

ここで、本実施形態のボトムゲート構造の微結晶シリコンTFTのチャンネル層の形成時には、第1配線層L1には、ゲート電極だけでなく第1引出し配線Ldrawn_L1も存在するので、第1配線層L1がパネル内の全面にレイアウトされるようになり、非晶質シリコン膜を微結晶シリコン膜に変化させるために高出力の連続レーザー光を照射する過程では、パネル全体の熱プロファイルが、第1引出し配線Ldrawn_L1が存在しないときよりも均一になり、TFTの特性ばらつきが抑えられる。

30

【0140】

微結晶シリコンTFTに限らず、その他の薄膜トランジスタでもレーザー光(たとえば固体レーザー)でアニール処理がなされる場合は熱プロファイルの不均一性が問題となり得るが、高出力の連続レーザー光が使用される微結晶シリコンTFTに比べるとその問題は小さく、特に、微結晶シリコンTFTにおいて引出し配線Ldrawnの一方の配線層を第1配線層L1にする効果が高い。

【0141】

<<改善手法：第2実施形態>>

図8および図8Aは、引出し配線Ldrawnの断線に起因する表示不良を防止し得るようにした配線配置(レイアウト)の第2実施形態を説明する図である。ここで、図8は、第2実施形態における補助配線515と各走査線Lscanの配置関係を説明する平面透視図である。図8Aは図8における走査線Lscanの長手方向(b-b'線)の付加回路148(特に保護回路142)のトランジスタにも着目した平面透視図(1)および断面図(2)である。図8における走査線Lscanの長手方向と直交する方向(a-a'線)の断面図は図示を割愛するが、第1実施形態と同様である。

40

【0142】

第2実施形態は、パッドや制御部109と画素アレイ部102の間に付加回路148(保護回路142やテストスイッチ回路144)を設けている場合のレイアウトの他の例である。第2実施形態は、前述の第1実施形態との相違点として、引出し配線Ldrawnの長手方向において、付加回路148が配設される領域についても、第1配線層L1と第2配線層L2に引出し配線Ldrawnを配置する点に特徴を有する。

50

【 0 1 4 3 】

第2実施形態の仕組みでは、図8や図8Aから理解されるように、画素アレイ部102から外周部へと引き出される各走査線Lscanの引出し配線Ldrawnが第1配線層L1および第2配線層L2で形成され、その長手方向における信号入力部側および画素アレイ部102側のそれぞれにおいてコンタクトLCで電気的な接続がとられている。このため、引出し配線Ldrawnの長手方向における付加回路領域をも含む部分において、つまり長手方向における全範囲において、第1引出し配線Ldrawn_L1および第2引出し配線Ldrawn_L2の何れかで断線しても、他方の配線層が接続されていることで、全体としては電気的な接続が維持されるので、信号入力部と画素アレイ部102との間の未接続が防止できる。

【 0 1 4 4 】

<<改善手法：第3実施形態>>

図9～図9Bは、引出し配線Ldrawnの断線に起因する表示不良を防止し得るようにした配線配置(レイアウト)の第3実施形態を説明する図である。ここで、図9は、第3実施形態における画素アレイ部102周辺の実装態様を説明する図である。図9Aは、第3実施形態における補助配線515と各走査線Lscanの配置関係を説明する平面透視図である。図9Bは図9Aにおける走査線Lscanの長手方向(b-b'線)の断面図である。図9Aにおける走査線Lscanの長手方向と直交する方向(a-a'線)の断面図は図示を割愛するが、第1実施形態と同様である。

【 0 1 4 5 】

第3実施形態は、図9～図9Bから明らかなように、引出し配線Ldrawnの長手方向における信号入力部側と画素アレイ部102側の間に付加回路148を設けない場合の例である。付加回路148が存在しないので、引出し配線Ldrawnの長さは短くできている。

【 0 1 4 6 】

第3実施形態の仕組みでは、図9Aおよび図9Bから理解されるように、画素アレイ部102から外周部へと引き出される各走査線Lscanの引出し配線Ldrawnが第1配線層L1および第2配線層L2で形成され、その長手方向における信号入力部側および画素アレイ部102側のそれぞれにおいてコンタクトLCで電気的な接続がとられている。このため、引出し配線Ldrawnの長手方向における全範囲において、第1引出し配線Ldrawn_L1および第2引出し配線Ldrawn_L2の何れかで断線しても、他方の配線層が接続されていることで、全体としては電気的な接続が維持されるので、信号入力部と画素アレイ部102との間の未接続が防止できる。

【図面の簡単な説明】

【 0 1 4 7 】

【図1】本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図(COG搭載構成)である。

【図1A】本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図(周辺回路パネル外配置構成)である。

【図2】本実施形態の基本構成の画素回路と、当該画素回路を備えた有機EL表示装置の一実施形態を示す図である。

【図2A】図2に示した本実施形態の画素回路に関する駆動タイミングの一例を示すタイミングチャートである。

【図3】有機EL素子の下部電極と補助配線の第1比較例のレイアウトを示した全体概要図である。

【図3A】図3に対する変形例である第2比較例のレイアウトを示した図である。

【図4】図1Aに示した周辺回路パネル外配置構成の場合の実装例を説明する図である。

【図4A】図1Aに示した周辺回路パネル外配置構成の場合のTCP実装の詳細を説明する図である。

【図5】比較例における補助配線と各走査線の配置関係を説明する平面透視図である。

【図5A】図5における走査線の長手方向と直交する方向(a-a'線)の断面図(1)、走査線Lscanの長手方向(b-b'線)の断面図(2)である。

10

20

30

40

50

【図 5 B】画素アレイ部の外周部において、引出し配線が画素アレイ部に接続する箇所のレイアウト例（平面図）である。

【図 5 C】図 5 B の概要の平面図である。

【図 5 D】図 5 C 中の点線部分の拡大図である。

【図 5 E】第 1 配線層と第 2 配線層の交差部分の詳細を説明する図である。

【図 5 F】画素アレイ部の外周部に保護回路やテストスイッチ回路が設けられた状態のレイアウト例（平面図）である。

【図 5 G】保護回路の概要を示す図である。

【図 5 H】テストスイッチ回路の概要を示す図である。

【図 6】第 1 実施形態における補助配線と各走査線の配置関係を説明する平面透視図である。

10

【図 6 A】図 6 における走査線の長手方向と直交する方向（a - a' 線）の断面図である。

【図 6 B】図 6 における走査線の長手方向（b - b' 線）の保護回路のトランジスタにも着目した平面透視図（1）および断面図（2）である。

【図 7】微結晶シリコン TFT の断面模式図である。

【図 8】第 2 実施形態における補助配線と各走査線の配置関係を説明する平面透視図である。

【図 8 A】図 8 における走査線の長手方向（b - b' 線）の保護回路のトランジスタにも着目した平面透視図（1）および断面図（2）である。

20

【図 9】第 3 実施形態における画素アレイ部周辺の実装態様を説明する図である。

【図 9 A】第 3 実施形態における補助配線と各走査線の配置関係を説明する平面透視図である。

【図 9 B】図 9 A における走査線の長手方向（b - b' 線）の断面図である。

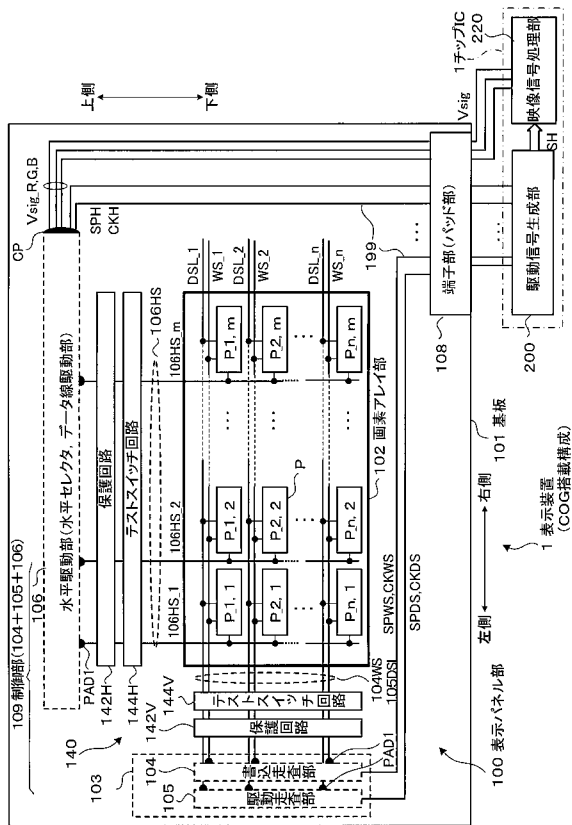
【符号の説明】

【0148】

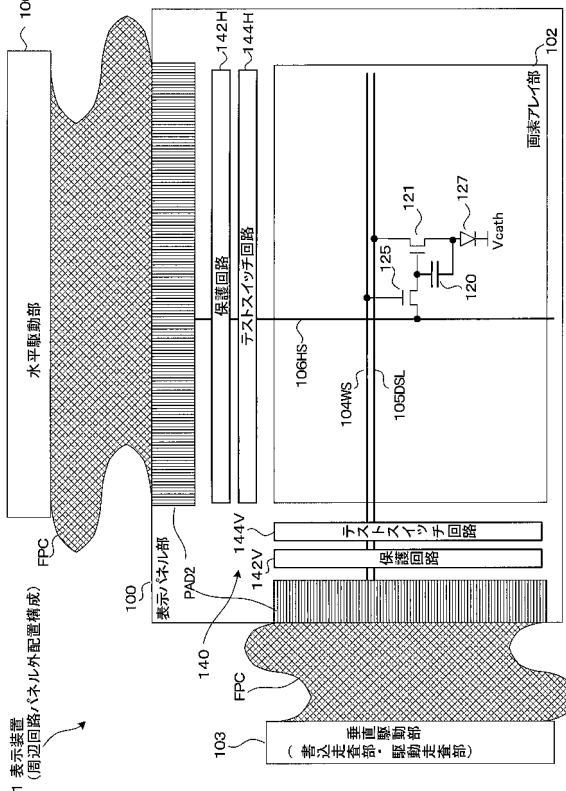
1 ... 表示装置、100 ... 表示パネル部、101 ... 基板、102 ... 画素アレイ部、103 ... 垂直駆動部、104 ... 書込走査部、104WS ... 書込走査線、105 ... 駆動走査部、105DSL ... 電源供給線、106 ... 水平駆動部、106HS ... 映像信号線、109 ... 制御部、120 ... 保持容量、121 ... 駆動トランジスタ、125 ... サンプリングトランジスタ、127 ... 有機 EL 素子、140 ... 周辺回路部、142 ... 保護回路、144 ... テストスイッチ回路、148 ... 付加回路、200 ... 駆動信号生成部、220 ... 映像信号処理部、504 ... 下部電極（アノード電極）、506 ... 有機層、508 ... 上部電極（カソード電極）、515 ... 補助配線、LC ... コンタクト、Lscan ... 走査線、Ldrawn, Ldrawn_L1, Ldrawn_L2 ... 引出し配線

30

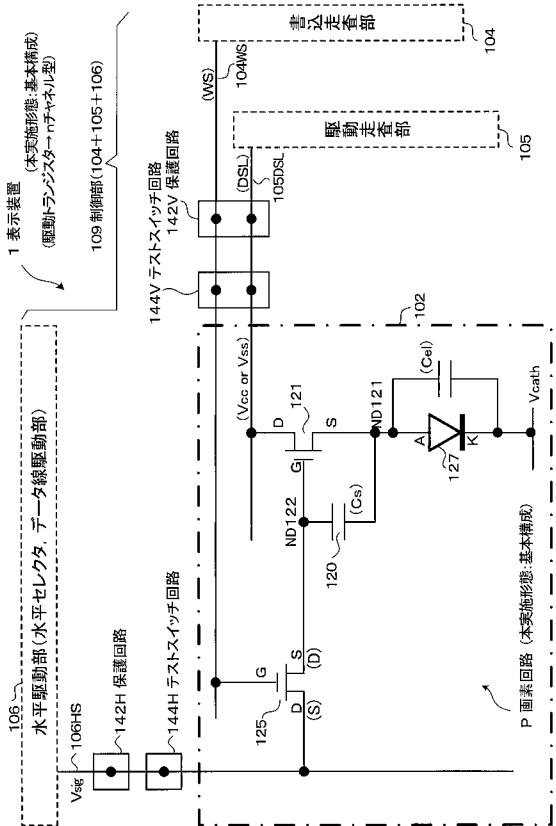
【図1】



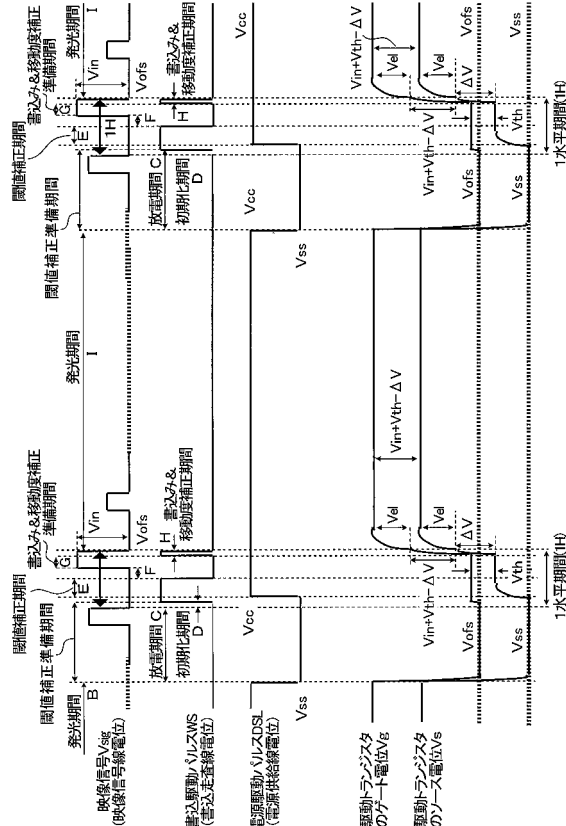
【図1A】



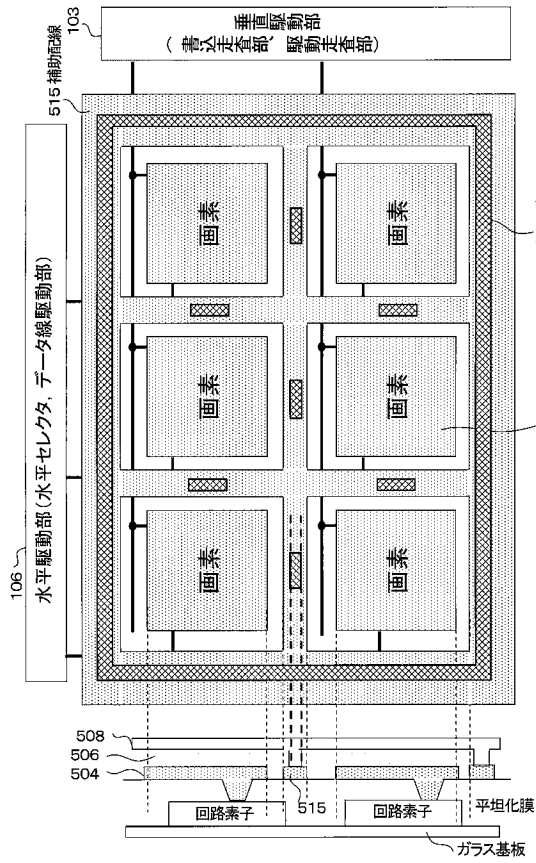
【図2】



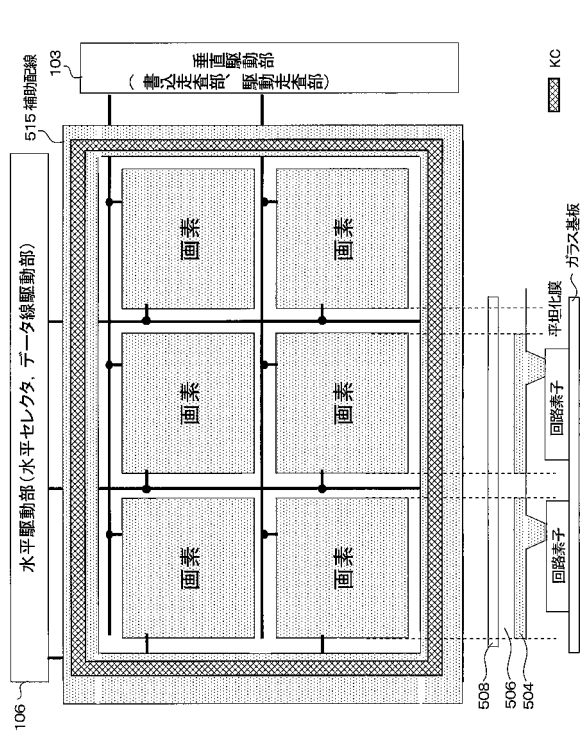
【図2A】



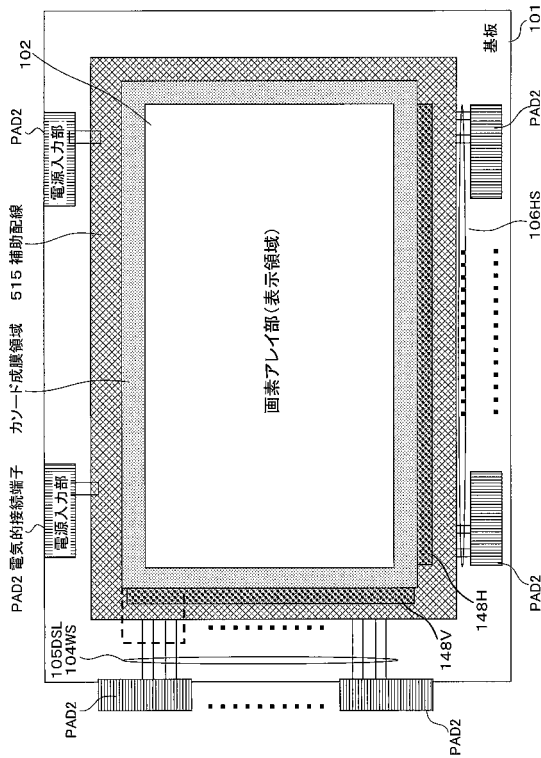
【図 3】



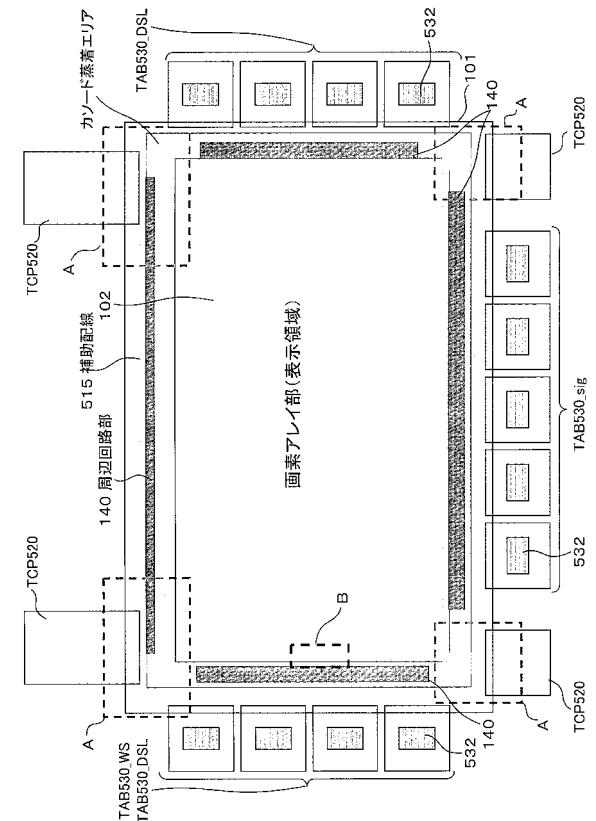
【図 3 A】



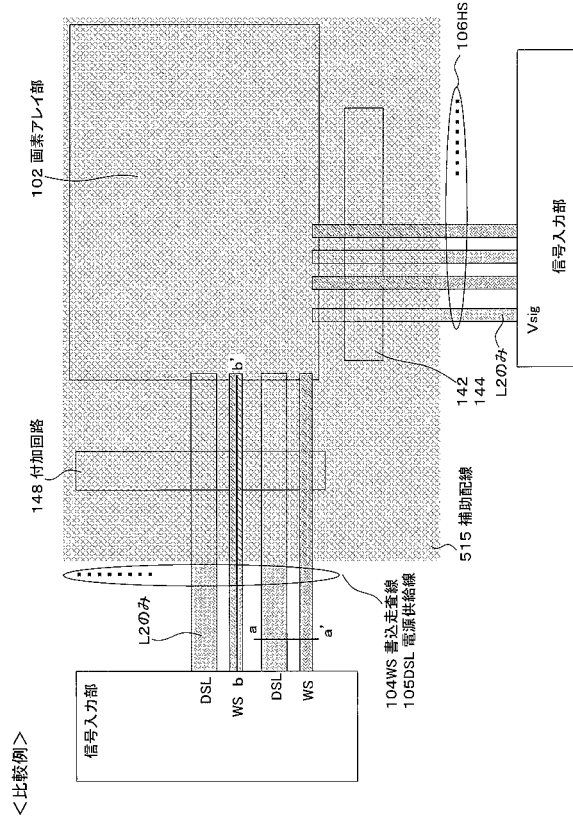
【図 4】



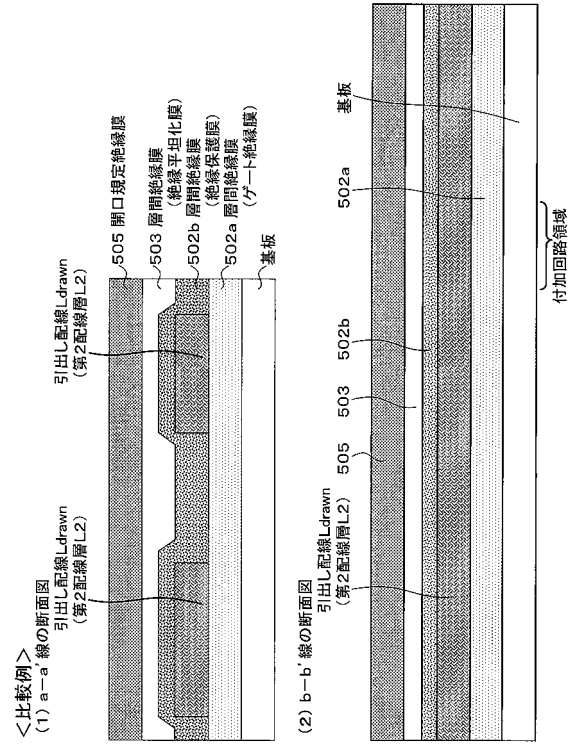
【図 4 A】



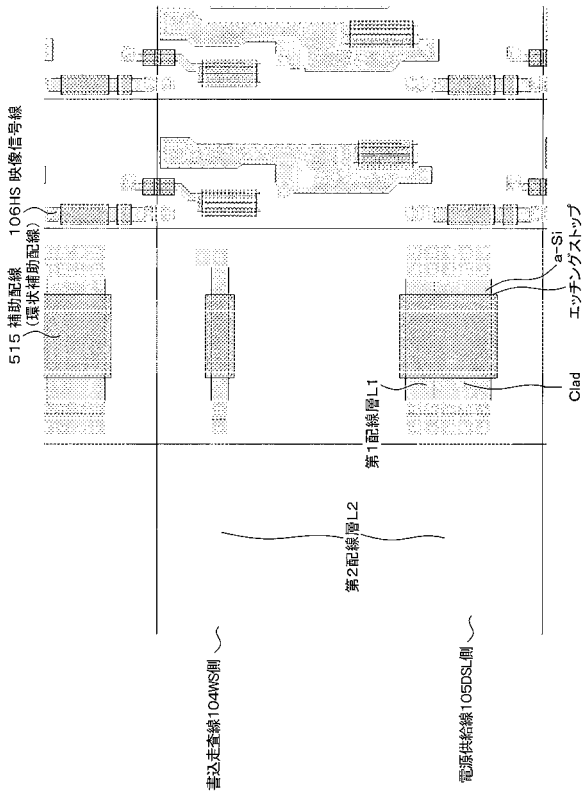
【図5】



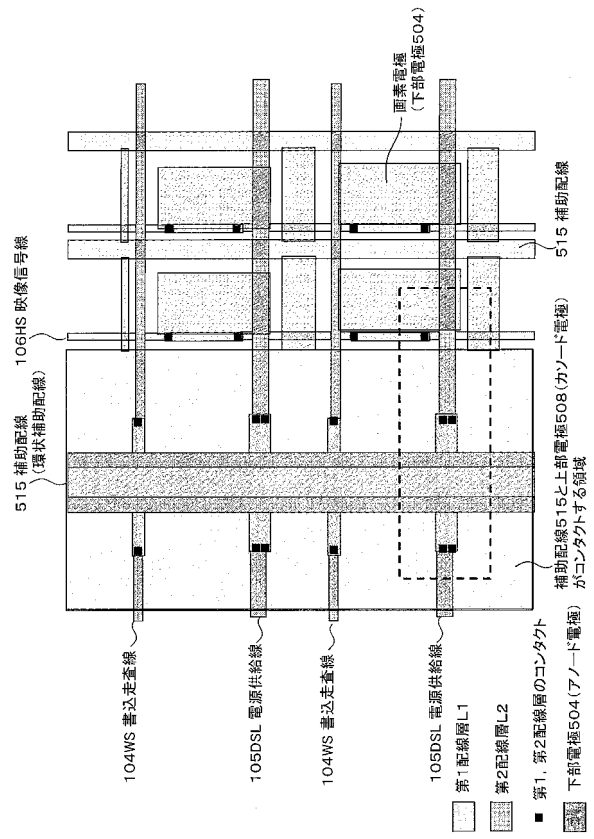
【図5A】



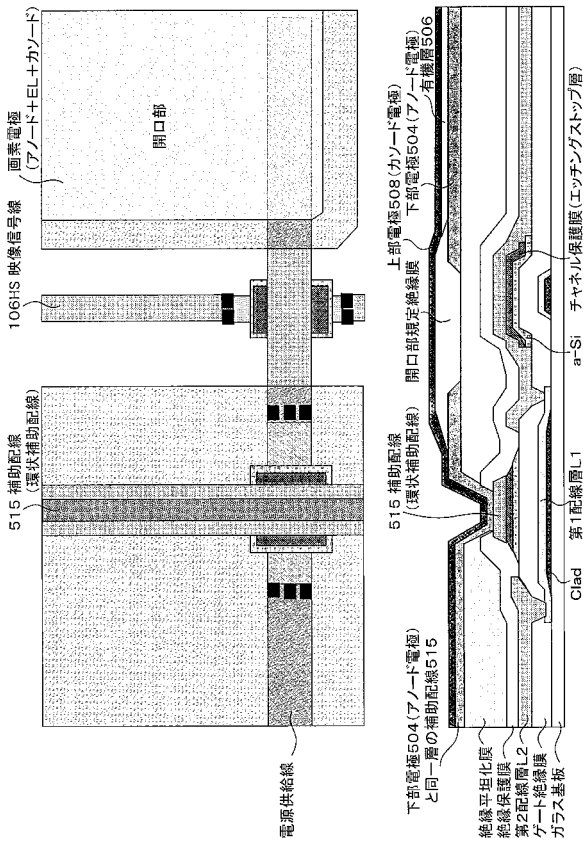
【図5B】



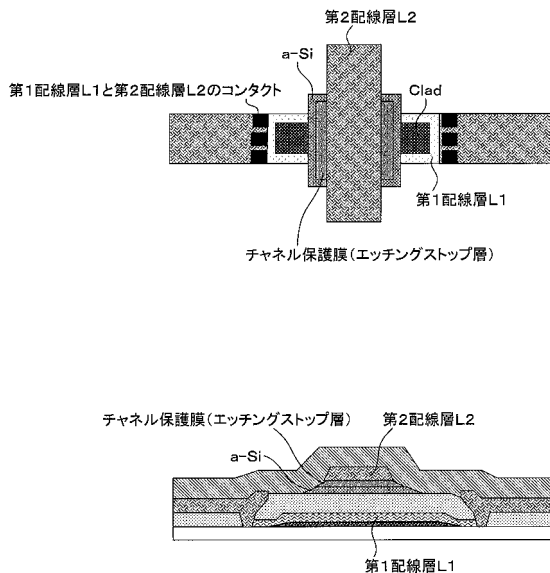
【図5C】



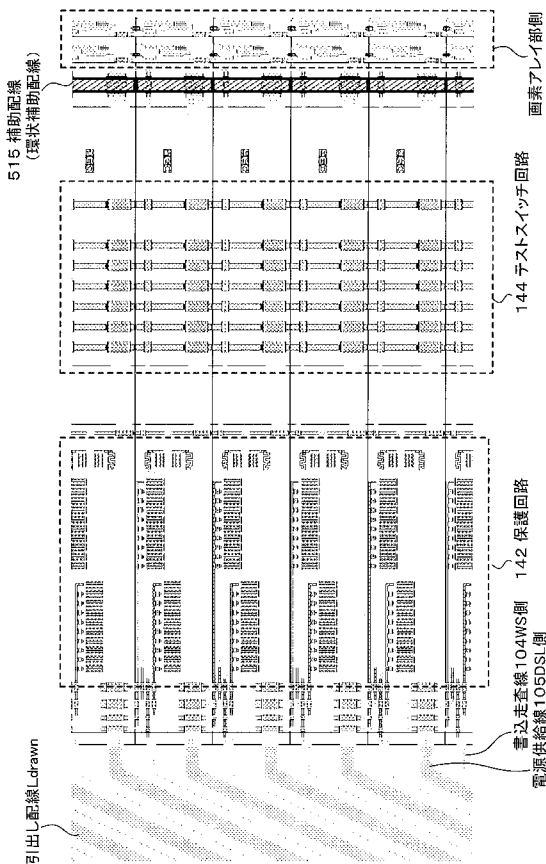
【図5D】



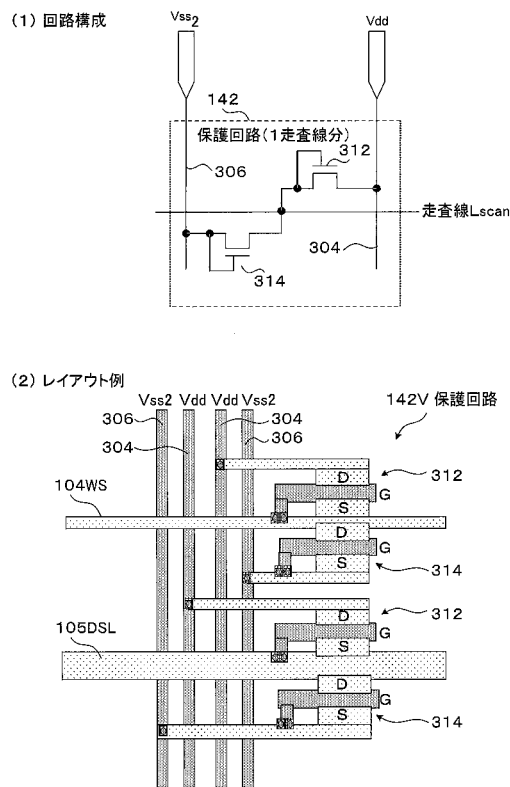
【図5E】



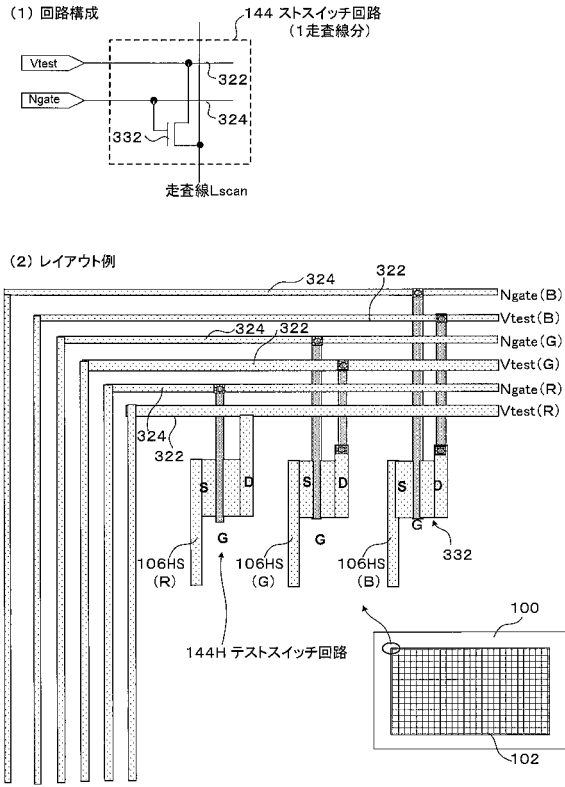
【図5F】



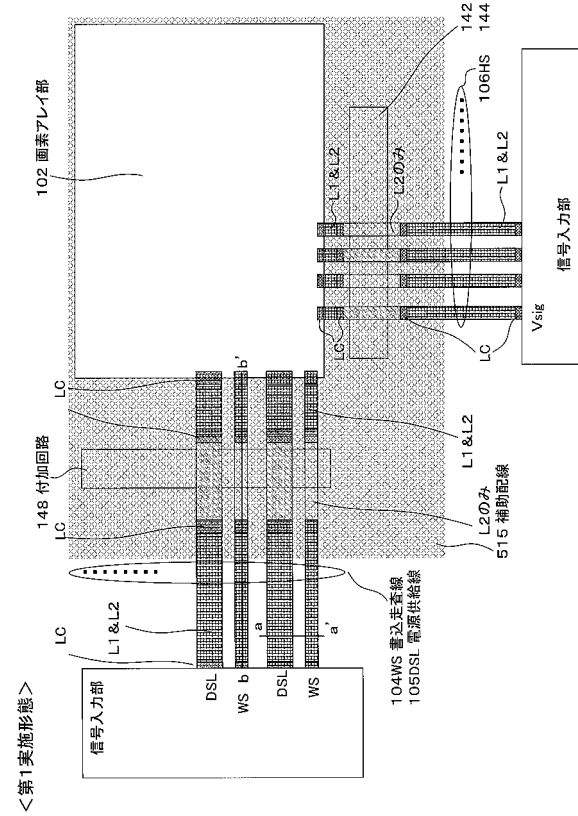
【図5G】



【図5H】



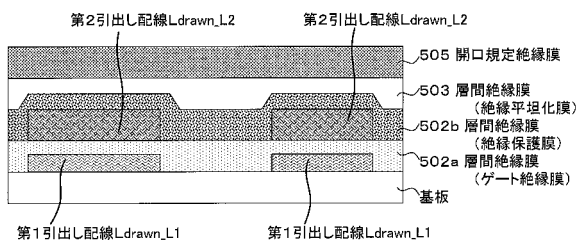
【図6】



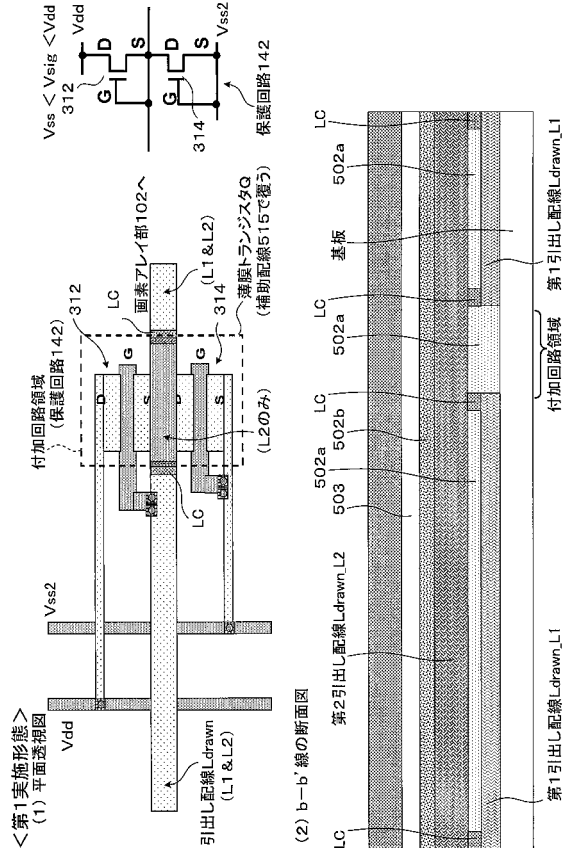
【図6A】

<第1実施形態>

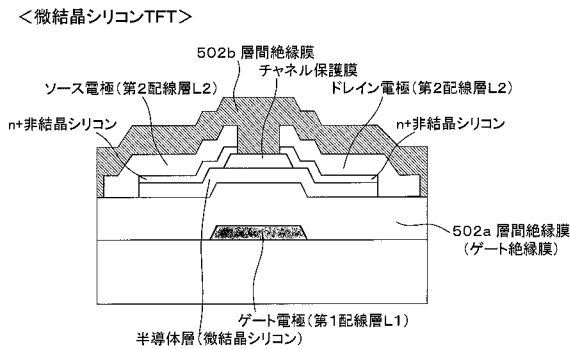
a-a'線の断面図



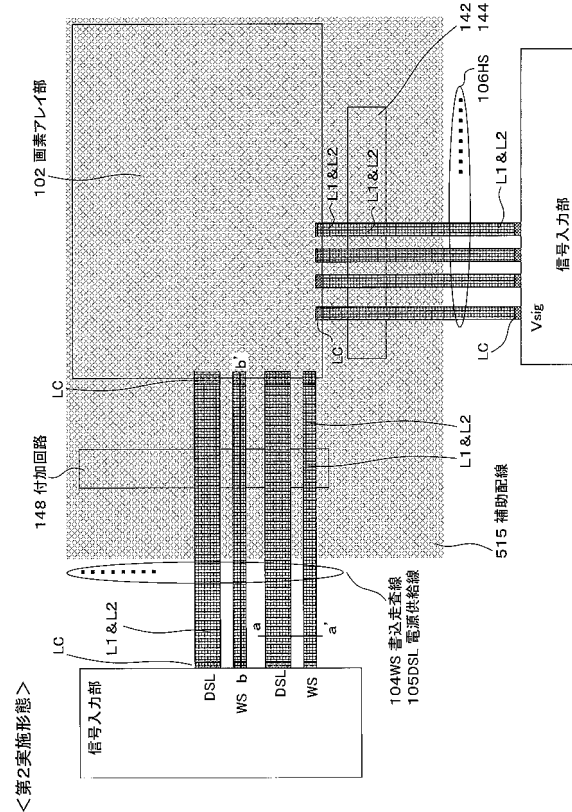
【図6B】



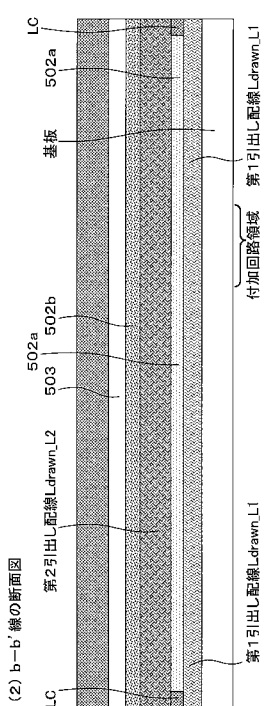
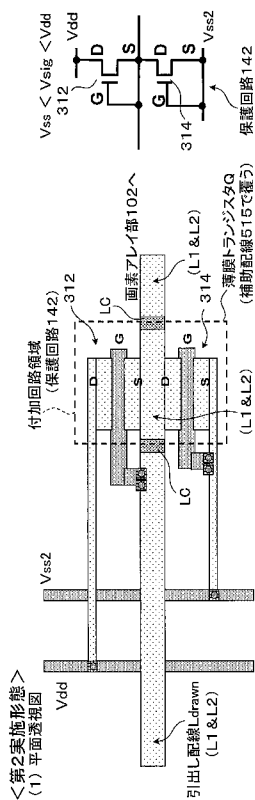
【図7】



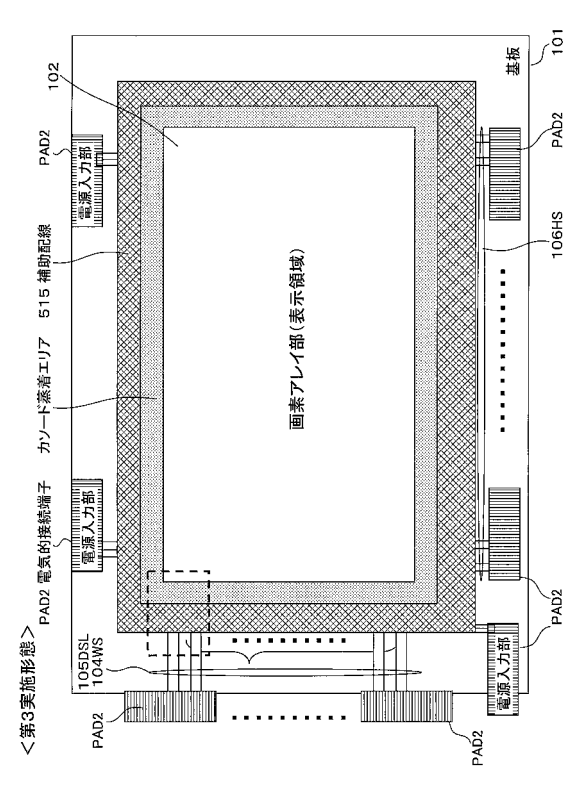
【図8】



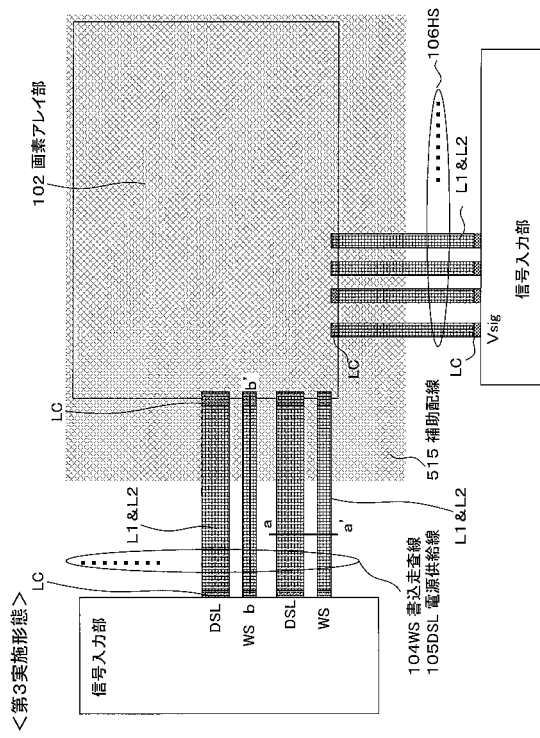
【図8A】



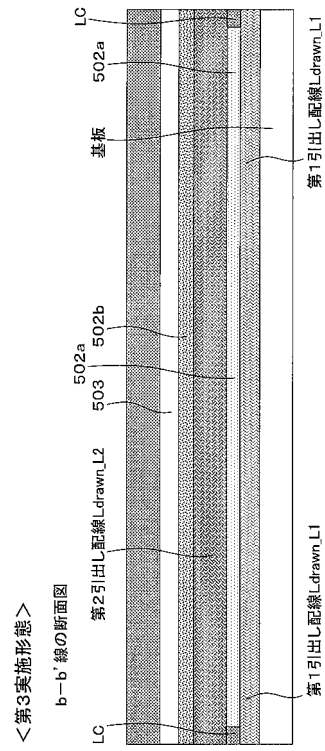
【図9】



【図9A】



【図9B】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/768 (2006.01) H 0 1 L 29/78 6 1 2 B
H 0 1 L 21/3205 (2006.01) H 0 1 L 29/78 6 1 8 Z
H 0 1 L 23/522 (2006.01) H 0 1 L 21/88 A

(72)発明者 内野 勝秀
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 中村 和夫
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 山口 敦司

(56)参考文献 特開平11-163479(JP,A)
特開2000-162635(JP,A)
特開平11-095255(JP,A)
特開平11-340471(JP,A)
特開2007-096055(JP,A)
特開平02-234124(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 F 9 / 3 0
H 0 1 L 2 1 / 3 2 0 5
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 3 / 5 2 2
H 0 1 L 2 9 / 7 8 6
H 0 1 L 5 1 / 5 0
H 0 5 B 3 3 / 2 6