

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年5月25日(25.05.2023)



(10) 国際公開番号
WO 2023/089736 A1

- (51) 国際特許分類:
H03M 13/27 (2006.01) *H03M 13/29* (2006.01)
- (21) 国際出願番号: PCT/JP2021/042440
- (22) 国際出願日: 2021年11月18日(18.11.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 吉田 英夫 (YOSHIDA, Hideo); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 石井

健二(ISHII, Kenji); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 藤森 崇文(FUJIMORI, Takafumi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

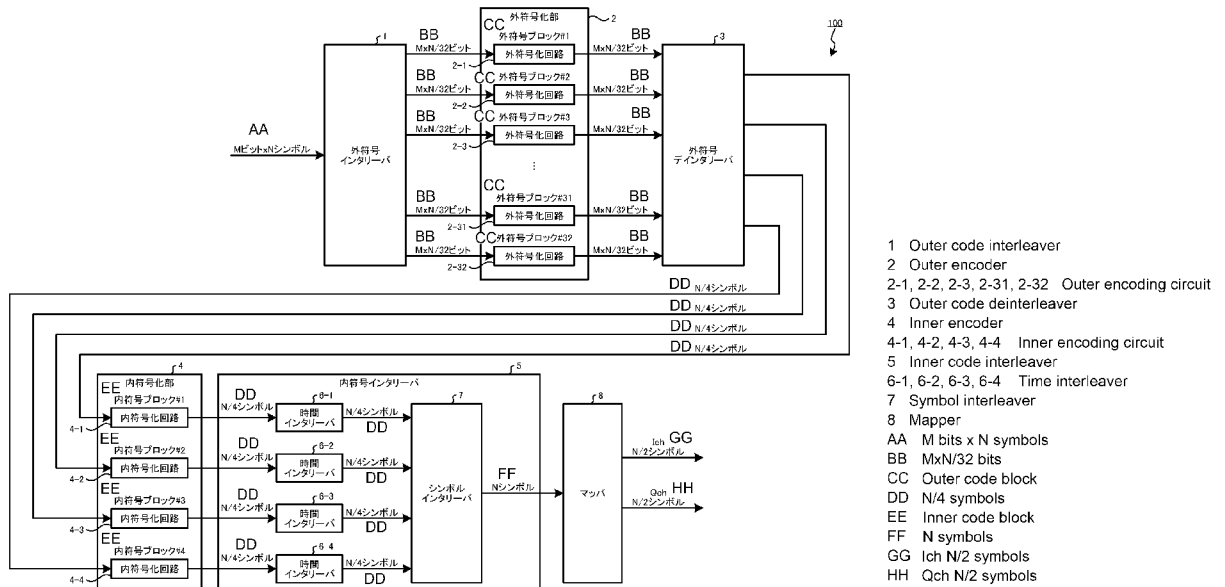
(74) 代理人:高村 順(TAKAMURA, Jun); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング 弁理士法人酒井国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,

(54) Title: TRANSMISSION DEVICE, RECEPTION DEVICE, ENCODING METHOD, CONTROL CIRCUIT, AND STORAGE MEDIUM

(54) 発明の名称: 送信装置、受信装置、符号化方法、制御回路および記憶媒体

[図1]



(57) Abstract: A transmission device (100) includes: an outer code interleaver (1) that generates multiple bit sequences while performing bitwise interleaving on a signal formed by multiple multilevel modulation symbols; an outer encoder (2) that performs, in parallel, outer encoding processes on the multiple bit sequences generated by the interleaving; an outer code deinterleaver (3) that performs deinterleaving, which is the reverse operation of the interleaving performed by the outer code interleaver, on the bit sequences on which the outer encoding processes have been performed; an inner encoder (4) that performs, in parallel, inner encoding processes on the bit sequences on which the deinterleaving has been

WO 2023/089736 A1

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

performed by the outer code deinterleaver; and an inner code interleaver (5) that performs time interleaving and symbol interleaving on the bit sequences on which the inner encoding processes have been performed.

(57) 要約 : 送信装置 (100) は、複数の多値変調シンボルで構成される信号に対してビット単位でインタリーブを行いつつ複数のビット系列を生成する外符号インタリーバ (1) と、インタリーブで生成された複数のビット系列のそれぞれに対する外符号化処理を並列に行う外符号化部 (2) と、外符号化処理が行われた後のビット系列に対して、外符号インタリーバが行うインタリーブの逆操作であるデインタリーブを行う外符号デインタリーバ (3) と、外符号デインタリーバでデインタリーブが行われた後のビット系列に対して内符号化処理を並列に行う内符号化部 (4) と、内符号化処理が行われた後のビット系列に対して時間インタリーブおよびシンボルインタリーブを行う内符号インタリーバ (5) と、を備える。

明 細 書

発明の名称：

送信装置、受信装置、符号化方法、制御回路および記憶媒体

技術分野

[0001] 本開示は、送信系列に対して誤り訂正符号化を行う送信装置、受信装置、符号化方法、制御回路および記憶媒体に関する。

背景技術

[0002] 光伝送システムなどの高速な伝送装置においては、高い伝送容量および長距離の伝送を実現するための有効な方法として、一般的に、誤り訂正符号が適用されている。誤り訂正符号は、有線通信システム、無線通信システム、記憶装置などで使用される技術である。誤り訂正符号は、送信装置が送り出すデジタルデータに冗長なビットを付加することで、受信装置が、受信したデータに誤りが生じたとしても誤りを訂正可能とする技術である。誤り訂正符号および誤り訂正復号の方式として、ハミング符号、BCH (Bose-Chaudhuri-Hocquenghem) 符号、RS (Reed-Solomon) 符号、LDPC (Low Density Parity Check) 符号などのブロック符号、また、これらを組み合わせた積符号、連接符号など様々な方式が提案されている。

[0003] 誤り訂正符号を適用することで、伝送路で生じる誤りの検出および訂正が可能となる。しかしながら、誤り訂正可能な誤りビット数には限界がある。また、誤り訂正符号方式の誤り訂正性能、および復号方式によって、誤り訂正可能な誤りビット数は異なる。誤り訂正符号において、フレームを構成するオーバーヘッドなどを含む送信データを、情報ビットと呼ぶ。また、情報ビットに付加される冗長ビットを、パリティビットと呼ぶ。パリティビットは、誤り訂正の符号方式によって、それぞれ異なる算出方法により、情報ビットから算出される。情報ビットとパリティビットとを合わせたビット系列を、符号語と呼ぶ。

[0004] ブロック符号と呼ばれる誤り訂正符号では、あらかじめ設定されたビット

数の単位で、情報ビットからパリティビットが算出される。すなわち、1つの符号語内の情報ビット数およびパリティビット数は、あらかじめ決められており、それぞれ、情報ビット長、およびパリティビット長と呼ばれる。誤り訂正符号のビット構成が情報ビットおよびパリティビットに分かれる符号構成を組織符号と呼ぶ。また、符号語のビット数を符号長と呼ぶ。

[0005] 海底ケーブルおよび都市間通信に用いられるコアメトロ系光伝送システムにおいて、伝送容量の拡大および伝送距離の拡大の需要が顕著である。この結果、数百Gbpsから1Tbpsなどの高速伝送に対して、強力な誤り訂正符号の適用および提案が行われている。近年、コアメトロ系光伝送システムにおいて、高速伝送に対して256QAM (Quadrature Amplitude Modulation) などの多値変調方式により1変調シンボルに複数ビットを割り当てて伝送するデジタルコヒーレント光伝送が用いられてきている。更には、複数の搬送波で高速大容量伝送を実現するマルチサブキャリア伝送が用いられてきている。

[0006] 256QAMなどの多値変調においては、シンボルの各ビットの誤り率が異なっており、それらの特性に応じてシンボルに割り当てられるビット系列ごとに誤り訂正符号化を行う符号化変調方式、マルチレベル符号化方式などが提案されている。特許文献1には、誤り訂正の符号化および復号、特に BCH符号、RS符号、LDPC符号などのブロック符号では高速処理を行うために、複数ビットの入力に対して符号化処理または復号処理の演算を行う技術が開示されている。また、近年、多値変調シンボルのビットの誤り率の大きいビット系列に対して、確率整形（以下、PS (Probabilistic signal Shaping) と称する）などによりビット操作を行い、シンボル誤り率を小さくする方法が提案されている。確率整形操作は、誤り訂正符号化前に行われ、誤り訂正符号化によって生成されるパリティビットをビット誤り率の小さい多値変調シンボルに割り当てている。

[0007] 多値変調伝送においてはノイズや伝送路の歪等から、誤りが集中するバースト誤りが発生する可能性があり、これに対する誤り訂正対策としてインタ

リーブを挿入してバースト誤りを複数の誤り訂正符号系列に分散して誤り訂正符号系列の訂正能力を効率良く用いる方法が取られている。

先行技術文献

特許文献

[0008] 特許文献1：国際公開第2017/042864号

発明の概要

発明が解決しようとする課題

[0009] 近年の光伝送システムでは、伝送容量の拡大に伴って処理能力の高速化が求められている。これに伴い、1 Tbps級の伝送容量では単独の回路で誤り訂正符号化処理を行うことが困難になっている。この問題に対し、複数の回路を並列に配置し、複数の誤り訂正符号系列を同時に処理する方法が取られるようになり、この方法に対応したインタリーブが用いられている。

[0010] 特許文献1に記載の技術では、送信側で複数系統の入力データを、メモリに蓄えた上でインタリーブを行い、並列に配置した複数の誤り訂正符号化回路に分散して符号化し、それをメモリに蓄えた上でインタリーブの逆操作であるデインタリーブを行うブロックインタリーブについて示している。受信側は、送信側同様のメモリを有するインタリーブ、デインタリーブと並列に複数配置した誤り訂正復号回路を用いて誤りを訂正して出力する。本構成では、誤り訂正符号化前のフレーム構成と誤り訂正符号化後の変調マッピングにおいて、誤り訂正符号化前のフレーム構成にあるダミービットへの誤り訂正符号のパリティビットの載せ替えがあるものの、同じフレーム構成で変調マッピング側へ受け渡すことができる。しかしながら、送信側および受信側それぞれでインタリーブ、デインタリーブのために大容量のメモリを必要とし、メモリに蓄えるために処理遅延時間が大きくなるという問題がある。

[0011] 本開示は、上記に鑑みてなされたものであって、回路規模の増大を抑制しつつ、誤り訂正符号化処理を低遅延で行うことが可能な送信装置を得ることを目的とする。

課題を解決するための手段

[0012] 上述した課題を解決し、目的を達成するために、本開示にかかる送信装置は、複数の多値変調シンボルで構成される信号に対してビット単位でインタリーブを行いつつ複数のビット系列を生成する外符号インタリーブと、インタリーブで生成された複数のビット系列のそれぞれに対する外符号化処理を並列に行う外符号化部と、外符号化処理が行われた後のビット系列に対して、外符号インタリーブが行うインタリーブの逆操作であるデインタリーブを行う外符号デインタリーブとを備える。また、送信装置は、外符号デインタリーブでデインタリーブが行われた後のビット系列に対して内符号化処理を並列に行う内符号化部と、内符号化処理が行われた後のビット系列に対して時間インタリーブおよびシンボルインタリーブを行う内符号インタリーブと、を備える。

発明の効果

[0013] 本開示にかかる送信装置は、回路規模の増大を抑制しつつ、誤り訂正符号化処理を低遅延で行うことができる、という効果を奏する。

図面の簡単な説明

- [0014] [図1]実施の形態1にかかる送信装置の構成例を示す図
[図2]実施の形態1にかかる送信装置の外符号インタリーブが行うインタリーブの一例を示す図
[図3]実施の形態1にかかる送信装置の時間インタリーブが実行する時間インタリーブの一例を示す図
[図4]実施の形態1にかかる送信装置の時間インタリーブの動作例を説明するための図
[図5]実施の形態1にかかる送信装置のシンボルインタリーブが実行するシンボルインタリーブの一例を示す図
[図6]実施の形態2にかかる受信装置の構成例を示す図
[図7]送信装置および受信装置をプログラミングによって実現する場合のハードウェア構成の一例を示す図

[図8]送信装置を実現するプロセッサが実行する処理の一例を示すフローチャート

[図9]受信装置を実現するプロセッサが実行する処理の一例を示すフローチャート

発明を実施するための形態

[0015] 以下に、本開示の実施の形態にかかる送信装置、受信装置、符号化方法、制御回路および記憶媒体を図面に基づいて詳細に説明する。

[0016] 実施の形態 1.

図 1 は、実施の形態 1 にかかる送信装置の構成例、詳細には、多値変調シンボルの伝送に接続誤り訂正符号を用いた送信装置 100 の構成例を示す図である。本実施の形態にかかる送信装置 100 においては、接続誤り訂正符号の外符号として BCH 符号などのビット誤り訂正符号を使用し、内符号として軟判定復号を行う LDPC 符号などの高性能符号で、情報ビットおよびパリティビットが分離されている組織符号を使用する。図 1 では、PS を用いた M ビットのシンボルが N シンボル並列で入力される構成例としている。ここで、シンボルは多値変調シンボルを構成する I チャンネル（以下 I c h とする）あるいは Q チャンネル（以下 Q c h とする）それぞれの N ビット構成とする。この場合、N シンボルの数は偶数となる。なお、I c h および Q c h をまとめて M ビット構成のシンボルとしてもよい。

[0017] 送信装置 100 は、外符号インタリーバ 1 と、外符号化回路 2-1 ~ 2-3 2 で構成される外符号化部 2 と、外符号デインタリーバ 3 と、内符号化回路 4-1 ~ 4-4 で構成される内符号化部 4 と、時間インタリーバ 6-1 ~ 6-4 およびシンボルインタリーバ 7 で構成される内符号インタリーバ 5 と、マップ 8 とを備える。

[0018] 送信装置 100 において、上述した N シンボル並列のデータは、外符号化部 2 を構成する複数の外符号化回路 2-1 ~ 2-3 2 にデータを分散させる外符号インタリーバ 1 に入力される。なお、外符号インタリーバ 1 に入力する時点の N シンボル並列のデータを構成するビット系列のうち、外符号およ

び内符号で生成されるパリティビットを挿入するビット部分（以下、パリティ挿入位置と称する場合がある）には固定値（例えば0）が挿入されているものとする。

[0019] 外符号インタリーブ1は、多値変調シンボルで構成される信号に対してビット単位でのインタリーブを行う。具体的には、外符号インタリーブ1は、入力されたNシンボルのデータを、同じシンボルのビットが異なる外符号系列に割り当てられるように、各ビットを後段の外符号化回路 $2-1 \sim 2-3$ のいずれかに出力して複数のビット系列を生成する。なお、これ以降の説明では、符号系列を符号ブロックと称する場合がある。

[0020] 外符号インタリーブ1が入力データに対して行うインタリーブの一例について、図2を用いて説明する。図2は、実施の形態1にかかる送信装置100の外符号インタリーブ1が行うインタリーブの一例を示す図である。

[0021] 図2では、 $M=4$ 、 $N=1024$ とし、4ビットのシンボル#1～#1024が外符号インタリーブ1に入力される場合の例を示している。また、外符号ブロックの並列数を32とし、外符号インタリーブ1が入力データの各ビットの順序が入れ替わるように外符号ブロック#1～#32に割り当てる例を示している。

[0022] 図2に示すように、外符号インタリーブ1は、シンボル#1～#1024について、各シンボルの4ビットを8符号語間隔で外符号ブロックにアサインする。具体的には、外符号インタリーブ1は、シンボル#1の4ビット b_{21-1} を、MSB (Most Significant Bit) より、外符号ブロック#32、外符号ブロック#24、外符号ブロック#8、外符号ブロック#16にアサインする。また、外符号インタリーブ1は、シンボル#2の4ビット b_{21-2} を、シンボル#1の4ビット b_{21-1} を割り当てた外符号ブロックから1つずらした外符号ブロックにアサインし、以降、同様に、シンボル#3の4ビット b_{21-3} 、シンボル#4の4ビット b_{21-4} 、・・・のそれぞれを、外符号ブロックを1つずつずらしながらアサインする。シンボル#32の4ビット b_{21-32} で32個の外符号ブロックへのアサインは

1周し、シンボル#33の4ビット b_{21-33} をシンボル#1の4ビット b_{21-1} と同じ外符号ブロックにアサインする。以降、32シンボル周期で外符号ブロック#1~#32へのアサインが同様に行われ、シンボル#1024の4ビット $b_{21-1024}$ はシンボル#32の4ビット b_{21-32} と同じ外符号ブロックへのアサインとなる。32並列の外符号の対象情報ビットは全て $A \times L$ クロック入力で外符号を構成することで、フレーム同期が取りやすく、単なるビット入れ替えでインタリーブ処理においてメモリを要しない。すなわち、インタリーブ対象のデータを一度メモリに蓄えてから読み出すことで順序を入れ替えることが不要となり、メモリを削減できるとともに、処理遅延も抑制できる。

[0023] 本例の複数の並列化された外符号系列を誤り訂正符号化する回路である外符号化部2は、同じ符号化規則で符号化を行う外符号化回路2-1~2-32を並列に配置した構成としている。外符号化回路の並列数は、外符号インタリーバ1に並列に入力されるシンボルの数 N の約数がよい。更には、外符号化回路の並列数は、シンボルを構成するビットの数 M の倍数であるとよい。このような並列数とすることにより、多値変調シンボルで発生する不均等ビット誤り率となる M ビットを外符号系列に対して、均等な誤り率にすることができ。このため、図1に示す本実施の形態にかかる送信装置100は、外符号化部2を外符号化回路2-1~2-32で構成し、並列数32としている。

[0024] 一方で、外符号化部2を構成する外符号化回路の並列数が上記条件に合わない場合は、一部の外符号化回路の誤り訂正符号の符号化規則を変えて $M \times N$ ビットを外符号インタリーバ1で振り分けることも可能である。ただし、外符号系列の対象とする N シンボル入力数は同じであることが望ましい。

[0025] 外符号化回路2-1~2-32は、例えばBCH符号化処理を行い、生成した外符号のパリティビットを、入力データの外符号パリティ挿入位置に挿入されている固定値と置き換える。この時、符号化処理では、外符号インタリーバ1から並列ビットが入力することから、外符号パリティ挿入位置に挿

入されている固定値（例えば0）も情報ビットとして符号化処理を行い、生成したパリティビットを後から差し替え挿入することで、入力された並列ビットの外符号化処理を容易に行うことができる。なお、外符号のパリティビットは、入力した情報ビット系列のパリティ挿入位置の固定値ではなく、次の外符号として入力される情報ビット系列のパリティ挿入位置の固定値と差し替えることで多値変調シンボル分散を行うことも考えられる。

[0026] 外符号化回路2-1~2-3で外符号のパリティビットが挿入された外符号化系列は、外符号デインタリーバ3に入力される。外符号デインタリーバ3は、入力された外符号化系列に対し、外符号インタリーバ1が行うインタリーブの逆操作であるデインタリーブを行う。すなわち、外符号デインタリーバ3は、外符号インタリーバ1によるインタリーブでビットの順序が入れ替えられた外符号化系列のビットの順序を入れ替え、PSからのシンボル系列に沿ったNシンボルの形式に戻す。外符号デインタリーバ3は、元の形式に戻したNシンボルを、後段に配置された複数の内符号化回路4-1~4-4と同数のシンボル系列に均等に分割し、各シンボル系列を内符号ブロックとして内符号化回路4-1~4-4に入力する。本実施の形態では、外符号デインタリーバ3は、元の形式に戻したNシンボルを4分割する。

[0027] 複数の内符号化回路4-1~4-4は、Mビット構成のシンボル全て、あるいはその一部、例えば多値変調シンボルで誤りが発生しやすい一部のビットを対象に、内符号化処理として、LDPC符号化等を行う。複数の内符号化回路4-1~4-4は、内符号化処理で生成した内符号のパリティビットを、入力ビット系列の内符号パリティ挿入位置に挿入されている固定値と置き換える。なお、内符号化の対象外のビットは、入力された時のビット状態を保ちながら出力される。

[0028] 内符号化回路の並列数は、上述の外符号化回路の並列数と同様に、並列入力シンボルNの約数が望ましく、また、外符号化回路の並列数の約数、あるいは倍数であれば誤り訂正能力として均等になる。このため、図1に示す本実施の形態にかかる送信装置100は、並列入力シンボル数 $N = 1024$ 、

外符号化回路の並列数 3 2 に対して、内符号化部 4 を内符号化回路 4 - 1 ~ 4 - 4 で構成し、並列数 4 としている。もちろん、外符号と同様、一部の符号化規則を変えることで調整することも可能である。また、並列化した内符号ブロックのサイズを L クロックで統一することで内符号フレームの同期が取りやすく、これを A × L クロックまとめて外符号ブロックと同期させることで外符号の同期タイミングで内符号ブロックの同期も取れる。

[0029] 内符号化回路 4 - 1 ~ 4 - 4 で内符号のパリティビットが挿入されたビット系列は、内符号インタリーブ 5 に入力される。内符号インタリーブ 5 は、前段の内符号化部 4 を構成する内符号化回路 4 - 1 ~ 4 - 4 の並列数と同数の時間インタリーブ 6 - 1 ~ 6 - 4 と、シンボルインタリーブ 7 とを備える。図 1 に示す例では、内符号インタリーブ 5 は 4 つの時間インタリーブ 6 - 1 ~ 6 - 4 を備える。なお、内符号インタリーブ 5 では、時間インタリーブ 6 - 1 ~ 6 - 4 およびシンボルインタリーブ 7 が、後述する時間インタリーブとシンボルインタリーブとを行うが、これら 2 つの処理はどちらを先に実行しても同じ結果が得られる。本実施の形態では、一例として、時間インタリーブを先に実行する。そのため、時間インタリーブ 6 - 1 ~ 6 - 4 が前段に配置されている。よって、内符号化回路 4 - 1 ~ 4 - 4 が出力するビット系列は時間インタリーブ 6 - 1 ~ 6 - 4 に入力される。

[0030] 時間インタリーブ 6 - 1 ~ 6 - 4 は、入力ビット系列に対して図 3 に示す時間インタリーブを行う。図 3 は、実施の形態 1 にかかる送信装置 100 の時間インタリーブ 6 - 1 ~ 6 - 4 が実行する時間インタリーブの一例を示す図である。

[0031] 例えば、N シンボルが並列化された入力データのシンボル数 $N = 1024$ 、内符号化部 4 を構成する内符号化回路の並列数を 4 とすると、1 つの内符号化回路は $N / 4 = 256$ シンボルの入出力となる。ここで、変調単位となる 1 つの l c h シンボルと 1 つの Q c h シンボルとをペアとし、これをペアシンボルとした場合、1 つの内符号化回路から 128 ペアシンボルが出力される。例えば、時間インタリーブ 6 - 1 は、図 3 に示すように、前段の内符

号化回路4-1が出力する128のペアシンボル s_{22-1} , s_{22-2} , ..., s_{22-16} , s_{22-17} , ..., s_{22-127} , s_{22-128} に対して、隣接するペアシンボルで遅延量の異なる遅延素子により遅延を与え、出力信号 s_{23-1} , s_{23-2} , ..., s_{23-16} , s_{23-17} , ..., s_{23-127} , s_{23-128} を生成する。このとき、時間インタリーブ6-1が各ペアシンボルに対し、内符号ブロックの区間Lの整数倍の遅延量を与えることで、隣接するペアシンボルは異なる内符号ブロックのペアシンボルとなる。ただし、整数倍の値が大きいと、遅延とメモリ量とに影響するため、時間インタリーブ6-1が128のペアシンボルに与える遅延量の種類は、内符号ブロックを構成するペアシンボルの数の約数とするのがよい。図3に示す例では、0Lクロック遅延（遅延量ゼロ、ペアシンボル s_{22-1} , s_{22-17} , s_{22-33} , ..., s_{22-122} に与える遅延量）～15Lクロック遅延（ペアシンボル s_{22-16} , s_{22-32} , ..., s_{22-128} に与える遅延量）の16種類としている。

[0032] なお、複数の内符号ブロックを並列に配置し、かつ内符号の訂正に不均一性がある場合、バーストエラーに対する訂正の不均一性を回避するために、内符号ブロック間でペアシンボルの遅延量をずらすことも考えられる。一例を説明する。図4は、実施の形態1にかかる送信装置100の時間インタリーブ6-1～6-4の動作例を説明するための図である。図4に示す例では、時間インタリーブ6-1～6-4が処理する並列化されたLクロックの4つの内符号ブロック#1～#4のそれぞれが、Lクロックの内のpクロックにパリティビットが挿入されている構成としている。このような内符号ブロックの誤り耐性が弱いパリティビットを分散するため、時間インタリーブ6-1～6-4は、上述した、図3に示す時間インタリーブを行う前に、図4に示す処理、すなわち、内符号ブロック#1～#4に対して、pクロックの整数倍のそれぞれ異なる遅延を与え、内符号ブロック#1～#4に挿入された内符号のパリティビット（内符号パリティ）が時間軸上で重ならないようにする。内符号ブロック#1～#4に与える遅延量は一例である。遅延を与

えることによって内符号ブロック#1～#4に挿入された内符号パリティが時間軸上で重ならないようになるのであれば、どのような遅延量としてもよい。

[0033] 内符号インタリーブ5では、さらに、シンボルインタリーブ7が、時間インタリーブ6-1～6-4で時間インタリーブが行われた後の内符号ブロック#1～#4に対してシンボルインタリーブを行い、図5に示すように、内符号ブロック#1～#4を構成するシンボルペアを並び替える。図5は、実施の形態1にかかる送信装置100のシンボルインタリーブ7が実行するシンボルインタリーブの一例を示す図である。シンボルインタリーブ7は、図5に示すように、内符号ブロック#1～#4の同じ位置のペアシンボル同士が一塊となるように、ペアシンボル単位で順序を入れ替える。すなわち、シンボルインタリーブ7は、入力される内符号ブロック#1～#4のそれぞれに含まれる128個のペアシンボルをペアシンボル#0～#127としたとき、内符号ブロック#1～#4それぞれの同じ番号のペアシンボル同士が連続するように順序を入れ替える。なお、図5では、時間インタリーブ6-1～6-4が図4に示す遅延を与える処理を実行し、さらに図4に示す時間インタリーブを実行した後の内符号ブロック#1～#4を対象として、シンボルインタリーブ7がシンボルインタリーブを実行する場合の例を示している。

[0034] 図5に示すシンボルインタリーブ7が出力する信号s24は、マップ8に入力される。マップ8は、入力信号s24をIc hシンボルとQc hシンボルとに分け、シンボル順に変調する。

[0035] 変調においては、複数のキャリアでシンボルを伝送するマルチキャリア方式も考えられる。この場合、図3に示す時間インタリーブで同じ量の遅延が与えられたシンボルが異なるキャリアとなるようにマップ8がシンボルを割り当てることで、内符号ブロックでの誤り訂正において、よりバースト誤りを分散し、誤り訂正能力を向上できる。

[0036] 以上説明したように、本実施の形態によれば、多値変調での接続誤り訂正

符号を用いた送信装置100において、多値変調シンボル系列のビットの外符号化においては、並列に配置した複数の外符号ブロックに分散するインタリーブを行い、符号化後、デインタリーブにより多値シンボル形態に戻し、内符号化では、並列に配置した複数のシンボル内の全てのビット、あるいはシンボル内の一部のビットについて符号化を行い、そのシンボル出力を、多値変調シンボルとなるIc hシンボルとQc hシンボルとをまとめたペアシンボル単位で時間インタリーブを行い、更に、複数の内符号ブロック間でペアシンボル単位でインタリーブを行うことで、シンボル単位のバースト誤りとシンボル内のビット誤りに対して同時に訂正能力を向上することができる。特に、内符号化においてシンボル内の一部のビットについて符号化を行う場合は、外符号においてバースト誤り耐性にも強くできる。また、外符号化におけるインタリーブおよびデインタリーブにおいてメモリの使用が不要となり、回路規模の増大を抑制しつつ、誤り訂正符号化処理を低遅延で行うことが可能となる。

[0037] 実施の形態2.

実施の形態1では、多値変調での接続誤り訂正符号を用いた送信装置100について、バーストシンボル誤り耐性を強くするインタリーブ構成を示したが、対向する受信装置では、送信装置100が行う操作の逆操作を行い、接続符号による誤り訂正処理を行うことになる。

[0038] 図6は、実施の形態2にかかる受信装置200の構成例を示す図である。

図6に示す受信装置200は、実施の形態1にかかる送信装置100が送信する信号、すなわち、多値変調での接続誤り訂正符号が適用された信号を受信する。

[0039] 受信装置200は、デマッパ9と、シンボルデインタリーバ11および時間デインタリーバ12-1~12-4で構成される内符号デインタリーバ10と、内符号軟判定回路13-1~13-4で構成される内符号軟判定部13と、内符号復号回路14-1~14-4で構成される内符号復号部14と、外符号インタリーバ15と、外符号復号回路16-1~16-32で構成

される外符号復号部16と、外符号デインタリーバ17とを備える。

[0040] デマッパ9は、受信信号に含まれるIc hおよびQc hの多値変調シンボルを復調し、復調により得られたNシンボルを内符号デインタリーバ10に出力する。

[0041] 送信装置100の内符号インタリーバ5に対応する内符号デインタリーバ10では、まず、シンボルデインタリーバ11が、デマッパ8から入力されたNシンボルをデインタリーブする。具体的には、シンボルデインタリーバ11は、送信装置100のシンボルインタリーバ7が行う操作と逆の操作を行い、受信したNシンボルの順序を、シンボルインタリーバ7で変更される前の順序に戻す。シンボルデインタリーバ11により順序が入れ替えられたNシンボルは、 $N/4$ シンボルごとに分割され、受信シンボルとして時間デインタリーバ12-1~12-4に入力される。時間デインタリーバ12-1~12-4は、入力された受信シンボルに対して時間デインタリーブを行う。時間デインタリーバ12-1~12-4は、例えば、図5に示す内符号ブロック#1~#4が有する遅延量と受信装置200のシンボルデインタリーバ11が出力する各シンボル系列が有する遅延量とのトータルが、送信装置100側の遅延量の最大値である $3p+L$ クロック遅延となるように受信装置200側の遅延量を調整する。これにより、送信装置100側の内符号ブロック#1~#4の内符号化回路4-1~4-4が出力する内符号ブロック#1~#4と同じ遅延量の受信シンボル系列が得られる。時間デインタリーバ12-1~12-4により遅延量が調整された後の受信シンボル系列は内符号軟判定部13の内符号軟判定回路13-1~13-4に入力される。

[0042] 内符号軟判定部13の内符号軟判定回路13-1~13-4は、時間デインタリーバ12-1~12-4から入力された受信シンボル系列に対して軟判定処理を行う。

[0043] 内符号軟判定回路13-1~13-4は、シンボル内の内符号対象外ビットについては、硬判定値を出力してもよいが、内符号の復号結果で推定されるシンボル候補として複数の候補を出力し、複数の候補の中の1つを、後段

の内符号復号回路 14-4 が内符号の復号結果から選択するようにしてもよい。

[0044] また、内符号軟判定回路 13-1～13-4 は、シンボル内に内符号対象ビットが複数ある場合は、それぞれの軟判定値生成を行った後、内符号系列として時間方向に伸長して内符号復号部 14 に出力してもよい。この場合には、伸長に対応してメモリを含む時間調整と、内符号復号部 14 以降において送信側でのシンボル伝送クロックよりも速いクロック周波数での動作とを必要とするが、内符号復号部 14 への軟判定入力ビット幅の削減につながり、符号系列の復号処理が容易となる。

[0045] 内符号復号部 14 の内符号復号回路 14-1～14-4 は、送信装置 100 の内符号化回路 4-1～4-4 に合わせて復号を行う。ここで、内符号復号回路 14-1～14-4 は、多値変調シンボルの一部、特にビット誤り確率が他のシンボル内ビットより高くなる LSB (Least Significant Bit) を内符号対象として軟判定の復号を行い、その結果に基づいてシンボルを推定する。これにより、全伝送シンボルの一部のみ軟判定での内符号の復号演算処理を行えるので、1 Tbps 級の伝送速度に対応する内符号の復号処理の演算量を低減できる。

[0046] 内符号復号回路 14-1～14-4 で復号されたシンボルデータは、外符号インタリーブ 15 に入力される。外符号インタリーブ 15 の動作は、実施の形態 1 で説明した送信装置 100 の外符号インタリーブ 1 の動作と同じである。なお、外符号インタリーブ 15 は、内符号のパリティ挿入位置には、内符号化前の固定値（例えば 0）を挿入する。また、内符号復号回路 14-1～14-4 は、復号したシンボルデータに平行して信頼度情報あるいは消失フラグを出力することも可能である。その場合、外符号インタリーブ 15 は、出力シンボル同様にインタリーブを行う。外符号インタリーブ 15 によるインタリーブで順序が入れ替えられたシンボルデータは、外符号復号部 16 に入力される。

[0047] 外符号復号部 16 において並列に配置された複数の外符号復号回路 16-

1～16-32は、入力されたシンボルデータに対して復号処理を行う。なお、外符号復号回路16-1～16-32へのシンボルデータの入力では、送信装置100の外符号化回路2-1～2-32において挿入されたパリティビットを抽出し、これの代わりに外符号のパリティビット挿入前の固定値（例えば0）に差し替えて挿入し、抽出したパリティビットに関する演算を別に行うことで、例えば復号入力演算処理（例えばシンドローム演算処理）を、1 T b p s級伝送に対応した並列処理が容易な構成とすることができる。

[0048] また、複数の外符号復号回路16-1～16-32は、次の外符号デインタリーバ17を送信装置100の外符号デインタリーバ3と同じ構成とするため、それぞれの外符号復号回路16-1～16-32の処理量によらず全て同じ遅延で復号結果を出力する。

[0049] 外符号デインタリーバ17の動作は、送信装置100の外符号デインタリーバ3の動作と同じである。

[0050] 以上説明したように、多値変調での接続誤り訂正符号を用いた本実施の形態にかかる受信装置200は、実施の形態1にかかる送信装置100の内符号インタリーバ5に対応するデインタリーブ処理をデマップ9による復調処理の直後に行い、その後、内符号復号用の軟判定値生成を行った後に並列に内符号復号を行い、内符号のパリティビットを符号化前の固定値に差し替えてから外符号のインタリーブを行い、さらに、外符号の復号において、送信装置100での符号化処理で挿入されたパリティビットを抽出してパリティビット挿入前の固定値への差し替えを行った後、外符号の復号を行い、送信装置100と同じデインタリーブを行う。このため、受信装置200は、送信装置100で符号化およびインタリーブが行われた多値変調シンボルのバースト誤り訂正処理を、1 T b p s級伝送に対応した復号処理において行うことが可能となる。また、回路規模の増大を抑制しつつ、誤り訂正復号処理を低遅延で行うことが可能となる。

[0051] なお、実施の形態1および実施の形態2におけるパラメータや符号化規則

の拡張ができることは言うまでもない。

[0052] 実施の形態 3.

実施の形態 1 および実施の形態 2 では、1 T b p s 級の伝送処理に対応して、並列処理を前提とした多値変調伝送での接続誤り訂正符号を用いた送信装置 1 0 0 および受信装置 2 0 0 について説明したが、実施の形態 1 および 2 で説明した送信装置 1 0 0 および受信装置 2 0 0 が行う処理は、処理速度が低速の場合はプロセッサ及びメモリを用いたプログラミングによっても実現可能である。例えば、図 7 に示すプロセッサ 3 0 1 およびメモリ 3 0 2 により送信装置 1 0 0 および受信装置 2 0 0 を実現してもよい。図 7 は、送信装置 1 0 0 および受信装置 2 0 0 をプログラミングによって実現する場合のハードウェア構成の一例を示す図である。

[0053] プロセッサ 3 0 1 は、例えば、CPU (Central Processing Unit)、処理装置、演算装置、マイクロプロセッサ、マイクロコンピュータ、または DSP (Digital Signal Processor) などである。また、メモリ 3 0 2 は、例えば、RAM (Random Access Memory)、ROM (Read Only Memory)、フラッシュメモリ、EPROM (Erasable Programmable ROM)、EEPROM (登録商標) (Electrically EPROM) などの、不揮発性または揮発性の半導体メモリ、磁気ディスク、フレキシブルディスク、光ディスク、コンパクトディスク、ミニディスク、または DVD (Digital Versatile Disc) などが該当する。

[0054] 例えば、実施の形態 1 で説明した送信装置 1 0 0 を図 7 に示すプロセッサ 3 0 1 およびメモリ 3 0 2 で実現する場合、送信装置 1 0 0 として動作するためのプログラムをメモリ 3 0 2 に格納しておき、このプログラムをプロセッサ 3 0 1 が読み出して実行することにより、送信装置 1 0 0 が実現される。実施の形態 2 で説明した受信装置 2 0 0 を図 7 に示すプロセッサ 3 0 1 およびメモリ 3 0 2 で実現する場合、メモリ 3 0 2 には受信装置 2 0 0 として動作するためのプログラムが格納される。

[0055] なお、メモリ 3 0 2 に格納されるプログラムは、例えば、CD (Compact

Disc) – ROM、DVD (Digital Versatile Disc) – ROMなどの記憶媒体に書き込まれた状態でユーザ等に提供される形態としてもよい。

- [0056] 送信装置100および受信装置200をプロセッサ301およびメモリ302で実現する場合にプロセッサ301が実行する処理について、図8および図9を用いて説明する。
- [0057] 図8は、送信装置100を実現するプロセッサ301が実行する処理の一例を示すフローチャートである。
- [0058] 図8に示す一連の処理をスタートする時点では、PS等の処理を実行後の多値変調シンボルの配列がメモリ302に存在するとする。なお、外符号及び内符号のパリティビットが挿入されるシンボルビットは固定値（例えば0）が記録されているものとする。
- [0059] プロセッサ301は、まず、外符号インタリーブを行う（ステップS11）。この処理は、送信装置100の外符号インタリーバ1が行うインタリーブに対応する。インタリーブは複数の外符号ごとに用意した外符号配列に、スタート時に用意した配列からインタリーブ規則に沿って外符号の各ビットを順次コピーする。なおコピーにおいては、図1に示すNシンボル分のルールをプログラム制御するか、テーブル参照により制御し、外符号化並列数についてL回分繰り返せばよい。
- [0060] プロセッサ301は、次に、外符号化処理を行う（ステップS12）。この処理は、送信装置100の外符号化部2が行う符号化処理に対応する。外符号化処理では、並列数分符号化を行う。この処理で得られた外符号のパリティビットは、ステップS11の外符号インタリーブで生成した外符号配列の所定の外符号パリティ位置（パリティビットの位置）にオーバーライトするか、外符号パリティ用配列を用意して記録する。
- [0061] プロセッサ301は、次に、外符号デインタリーブを行う（ステップS13）。この処理は、送信装置100の外符号デインタリーバ3が行うデインタリーブに対応する。外符号デインタリーブでは、外符号配列からステップS11のインタリーブの逆操作で外符号パリティ（外符号のパリティビット

)を含むデインタリーブ処理を行い多値変調シンボル配列に戻す。また、外符号パリティ用配列を用いて、外符号パリティのみデインタリーブ処理を行い、スタート時の多値変調シンボル配列に対して、所定の外符号パリティ位置に差し替えるようにすると演算量が小さくなる。なお、外符号パリティは外符号化に用いた多値変調シンボル配列には書き込まず、一旦別配列に記録しておき、次の外符号化に用いる多値変調シンボル配列に書きこむ方法も外符号のシンボル配列分散の観点から考えられる。

[0062] プロセッサ301は、次に、内符号化処理を行う(ステップS14)。この処理は、送信装置100の内符号化部4が行う符号化処理に対応する。プロセッサ301は、符号化処理を複数の内符号系列分を行う。内符号化は、I c hのシンボルとQ c hのシンボルとのペアとなる多値変調シンボルを同じ内符号系列内とする。また、全ての多値変調シンボルを符号化対象としてもよいが、演算量が多くなることから、誤り発生確率が高いシンボルのLSBのみを内符号化対象としてもよい。この場合、内符号で生成したパリティは所定のシンボルのMSBに配置することが考えられる。またそのパリティは、次の内符号系列のシンボルのLSBに配置することも考えられる。次の内符号系列のシンボルのLSBに配置する場合、シンボル誤りに対してシンボルを分散できる。

[0063] プロセッサ301は、次に、変調シンボル時間インタリーブを行い(ステップS15)、さらに、内符号インタリーブを行う(ステップS16)。これらの処理は、送信装置100の時間インタリーバ6-1~6-4が行う時間インタリーブ、シンボルインタリーバ7が行うシンボルインタリーブに対応する。これら2つの処理は順序を入れ替えて行ってもよいが、ステップS15の時間インタリーブを並列化された複数の内符号系列を対象として行うことから、ステップS14の内符号化処理の後の配列に対して、ステップS15の時間インタリーブを行ってからシンボルインタリーブを行う方が処理が容易となる。なお、時間インタリーブにおいては、所定の時間遅延分の配列を要する。図5に示す時間インタリーバ6-1~6-4の時間インタリー

づ則に従えば、外符号のフレームの先頭が遅延0で出力されるため、先頭より各シンボル所定遅延データを外符号ブロックLクロック分配列に記録し、それに対する内符号インタリーブの終了時には、マップ8へ送信できる接続符号化および多値変調インタリーブを施した多値変調シンボルデータが外符号ブロックフレーム分配列に収まる。

[0064] 図9は、受信装置200を実現するプロセッサ301が実行する処理の一例を示すフローチャートである。

[0065] 図9に示す一連の処理をスタートする時点では、lchおよびQchのシンボルデータが、送信側の送信装置100に合わせて並列処理する外符号ブロック分、配列に用意されているものとする。

[0066] プロセッサ301は、まず、lchおよびQchのシンボルデータに対して、各内符号ブロックに振り分ける内符号デインタリーブを行う（ステップS21）。この処理は、受信装置200の内符号デインタリーバ10を構成するシンボルデインタリーバ11が行うデインタリーブに対応する。

[0067] プロセッサ301は、次に、各内符号ブロックに対して、復調シンボル時間デインタリーブを行う（ステップS22）。この処理は、受信装置200の内符号デインタリーバ10を構成する時間デインタリーバ12-1~12-4が行う時間デインタリーブに対応する。復調シンボル時間デインタリーブの基本的な処理は、時間デインタリーバ12-1~12-4による時間デインタリーブと同じであるが、デインタリーブ後の外符号ブロック先頭の遅延量が最も大きいため、更にLクロック相当分遅延量を設けて外符号ブロック単位で配列に出力する。

[0068] プロセッサ301は、次に、内符号軟判定生成処理を行う（ステップS23）。この処理は、受信装置200の内符号軟判定部13が行う軟判定処理に対応する。

[0069] プロセッサ301は、次に、内符号復号処理を行う（ステップS24）。この処理は受信装置200の内符号復号部14が行う復号処理に対応する。内符号復号処理では、所定の並列数の内符号ブロックそれぞれに対して同じ

復号処理を行い、復号結果を反映したシンボルを配列に記録する。

- [0070] プロセッサ301は、次に、内符号復号後のシンボルに対して、外符号インタリーブを行う（ステップS25）。この処理は、受信装置200の外符号インタリーバ15が行うインタリーブに対応する。外符号インタリーブでは、内符号復号後のシンボルを、所定数の外符号系列の配列に配置する。その際、外符号のパリティがシンボルビットの一部に配置されているのであれば、外符号パリティを外符号系列の配列の情報ビット系列の後に配置し、パリティが配置されていたシンボルビットには、符号化前の固定値（例えば0）を配置する。
- [0071] プロセッサ301は、次に、所定数の外符号ブロックに対して外符号復号処理を行う（ステップS26）。この処理は、受信装置200の外符号復号部16が行う復号処理に対応する。
- [0072] プロセッサ301は、次に、外符号復号処理で復号した外符号系列に対して外符号デインタリーブを行う（ステップS27）。この処理は、受信装置200の外符号デインタリーバ17が行うデインタリーブに対応する。外符号デインタリーブでは、復号した外符号系列を符号化前の多値変調シンボルの形に戻して出力する。なお、ステップS26の外符号復号処理を実行した後は、外符号パリティは使用されない。そのため、ステップS25で情報ビット系列の後に配置した外符号パリティはステップS27の外符号デインタリーブの対象から外してもよい。
- [0073] 以上説明したように、処理速度が低速の場合はプロセッサおよびメモリを用いたプログラミングによっても、多値変調シンボルに対する接続誤り訂正符号を用いた送信装置100および受信装置200の誤り訂正に関する処理を実現できる。
- [0074] 以上の実施の形態に示した構成は、一例を示すものであり、別の公知の技術と組み合わせることも可能であるし、実施の形態同士を組み合わせることも可能であるし、要旨を逸脱しない範囲で、構成の一部を省略、変更することも可能である。

符号の説明

[0075] 1, 15 外符号インタリーバ、2 外符号化部、2-1~2-3 2 外符号化回路、3, 17 外符号デインタリーバ、4 内符号化部、4-1~4-4 内符号化回路、5 内符号インタリーバ、6-1~6-4 時間インタリーバ、7 シンボルインタリーバ、8 マップ、9 デマップ、10 内符号デインタリーバ、11 シンボルデインタリーバ、12-1~12-4 時間デインタリーバ、13 内符号軟判定部、13-1~13-4 内符号軟判定回路、14 内符号復号部、14-1~14-4 内符号復号回路、16 外符号復号部、16-1~16-3 2 外符号復号回路、100 送信装置、200 受信装置。

請求の範囲

- [請求項1] 複数の多値変調シンボルで構成される信号に対してビット単位でインタリーブを行いつつ複数のビット系列を生成する外符号インタリーブと、
- 前記インタリーブで生成された複数の前記ビット系列のそれぞれに対する外符号化処理を並列に行う外符号化部と、
- 前記外符号化処理が行われた後のビット系列に対して、前記外符号インタリーブが行う前記インタリーブの逆操作であるデインタリーブを行う外符号デインタリーブと、
- 前記外符号デインタリーブで前記デインタリーブが行われた後のビット系列に対して内符号化処理を並列に行う内符号化部と、
- 前記内符号化処理が行われた後のビット系列に対して時間インタリーブおよびシンボルインタリーブを行う内符号インタリーブと、
- を備えることを特徴とする送信装置。
- [請求項2] 前記外符号化部が複数の外符号化回路で構成され、
- 前記外符号インタリーブは、前記多値変調シンボルに含まれる各ビットを、それぞれ異なる前記外符号化回路に割り当てる、
- ことを特徴とする請求項1に記載の送信装置。
- [請求項3] 前記内符号化部が複数の内符号化回路で構成され、
- 前記外符号デインタリーブは、前記デインタリーブを実行して前記インタリーブが行われる前の順序に戻したビット系列を複数の前記内符号化回路と同数となるように分割し、分割後のビット系列を複数の前記内符号化回路に入力する、
- ことを特徴とする請求項1または2に記載の送信装置。
- [請求項4] 前記内符号化部を構成する前記内符号化回路の数を、前記外符号化部が行う前記外符号化処理の並列数の約数とする、
- ことを特徴とする請求項3に記載の送信装置。
- [請求項5] 前記内符号インタリーブは、

前記内符号化部を構成する前記内符号化回路と同数の、前記時間インタリーブを行う時間インタリーブと、

前記シンボルインタリーブを行うシンボルインタリーブと、
を備え、

前記時間インタリーブは、対応する前記内符号化回路が出力する内符号化後のシンボル系列の変調単位のシンボルをペアシンボルとし、前記シンボル系列に含まれる前記ペアシンボルのそれぞれに対し、前記シンボル系列のサイズに基づく遅延量であり、かつ隣接する前記ペアシンボルの間で異なる遅延量の遅延を与え、

前記シンボルインタリーブは、前記時間インタリーブのそれぞれで遅延が与えられた後の前記シンボル系列を、各シンボル系列の同じ位置のペアシンボル同士が連続するように順序を入れ替える、

ことを特徴とする請求項3または4に記載の送信装置。

[請求項6]

前記内符号インタリーブは、

前記内符号化部を構成する前記内符号化回路と同数の、前記時間インタリーブを行う時間インタリーブと、

前記シンボルインタリーブを行うシンボルインタリーブと、
を備え、

前記時間インタリーブは、対応する前記内符号化回路が出力する内符号化後のシンボル系列のパリティ挿入位置が、他の時間インタリーブが処理するシンボル系列のパリティ挿入位置と異なるように、処理対象の前記シンボル系列に遅延を与え、さらに、変調単位のシンボルをペアシンボルとし、処理対象の前記シンボル系列に含まれる前記ペアシンボルのそれぞれに対し、前記シンボル系列のサイズに基づく遅延量であり、かつ隣接する前記ペアシンボルの間で異なる遅延量の遅延を与え、

前記シンボルインタリーブは、前記時間インタリーブのそれぞれで遅延が与えられた後の前記シンボル系列を、各シンボル系列の同じ位

置のペアシンボル同士が連続するように順序を入れ替える、
ことを特徴とする請求項3または4に記載の送信装置。

[請求項7] 前記外符号化部は、前記外符号化処理としてBCH符号での符号化
を行い、

前記内符号化部は、前記内符号化処理としてLDPC符号での符号
化を行う、

ことを特徴とする請求項1から6のいずれか一つに記載の送信装置
。

[請求項8] 請求項1から7のいずれか一つに記載の送信装置から送信された信
号を受信し、前記内符号化処理および前記外符号化処理に対応する復
号処理を実行して受信信号を復号する、

ことを特徴とする受信装置。

[請求項9] 前記送信装置の前記内符号インタリーブが行う前記時間インタリー
ブに対応する時間デインタリーブにおいて、前記内符号化処理に対応
する並列化された復号処理を行う対象の複数の受信シンボル系列それ
ぞれが有する遅延の量が同じとなるように前記受信シンボル系列それ
ぞれに遅延を与える、

ことを特徴とする請求項8に記載の受信装置。

[請求項10] 送信装置が複数の多値変調シンボルで構成される信号を誤り訂正符
号化する符号化方法であって、

前記信号に対してビット単位でインタリーブを行いつつ複数のビット
系列を生成するステップと、

前記インタリーブで生成した複数の前記ビット系列のそれぞれに対
する外符号化処理を並列に行うステップと、

前記外符号化処理を実行した後の前記ビット系列に対して、前記イ
ンタリーブの逆操作であるデインタリーブを行うステップと、

前記デインタリーブを実行した後の前記ビット系列に対して内符号
化処理を並列に行うステップと、

前記内符号化処理を実行した後のビット系列に対して時間インタリーブおよびシンボルインタリーブを行うステップと、
を含むことを特徴とする符号化方法。

[請求項11]

複数の多値変調シンボルで構成される信号を誤り訂正符号化する送信装置を制御する制御回路であって、

前記信号に対してビット単位でインタリーブを行いつつ複数のビット系列を生成するステップと、

前記インタリーブで生成した複数の前記ビット系列のそれぞれに対する外符号化処理を並列に行うステップと、

前記外符号化処理を実行した後の前記ビット系列に対して、前記インタリーブの逆操作であるデインタリーブを行うステップと、

前記デインタリーブを実行した後の前記ビット系列に対して内符号化処理を並列に行うステップと、

前記内符号化処理を実行した後のビット系列に対して時間インタリーブおよびシンボルインタリーブを行うステップと、

を前記送信装置に実行させることを特徴とする制御回路。

[請求項12]

複数の多値変調シンボルで構成される信号を誤り訂正符号化する送信装置を制御するプログラムを記憶する記憶媒体であって、

前記プログラムは、

前記信号に対してビット単位でインタリーブを行いつつ複数のビット系列を生成するステップと、

前記インタリーブで生成した複数の前記ビット系列のそれぞれに対する外符号化処理を並列に行うステップと、

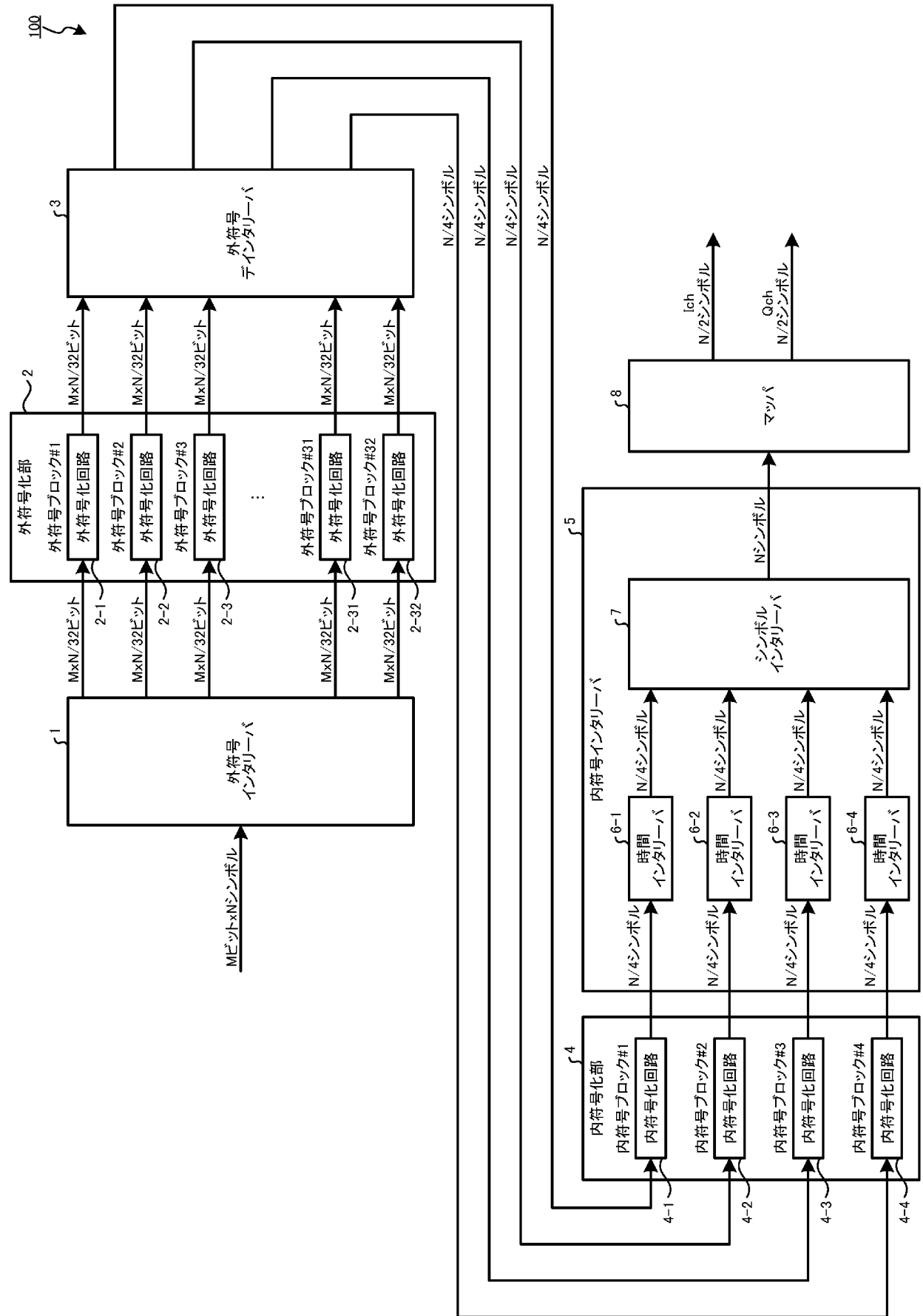
前記外符号化処理を実行した後の前記ビット系列に対して、前記インタリーブの逆操作であるデインタリーブを行うステップと、

前記デインタリーブを実行した後の前記ビット系列に対して内符号化処理を並列に行うステップと、

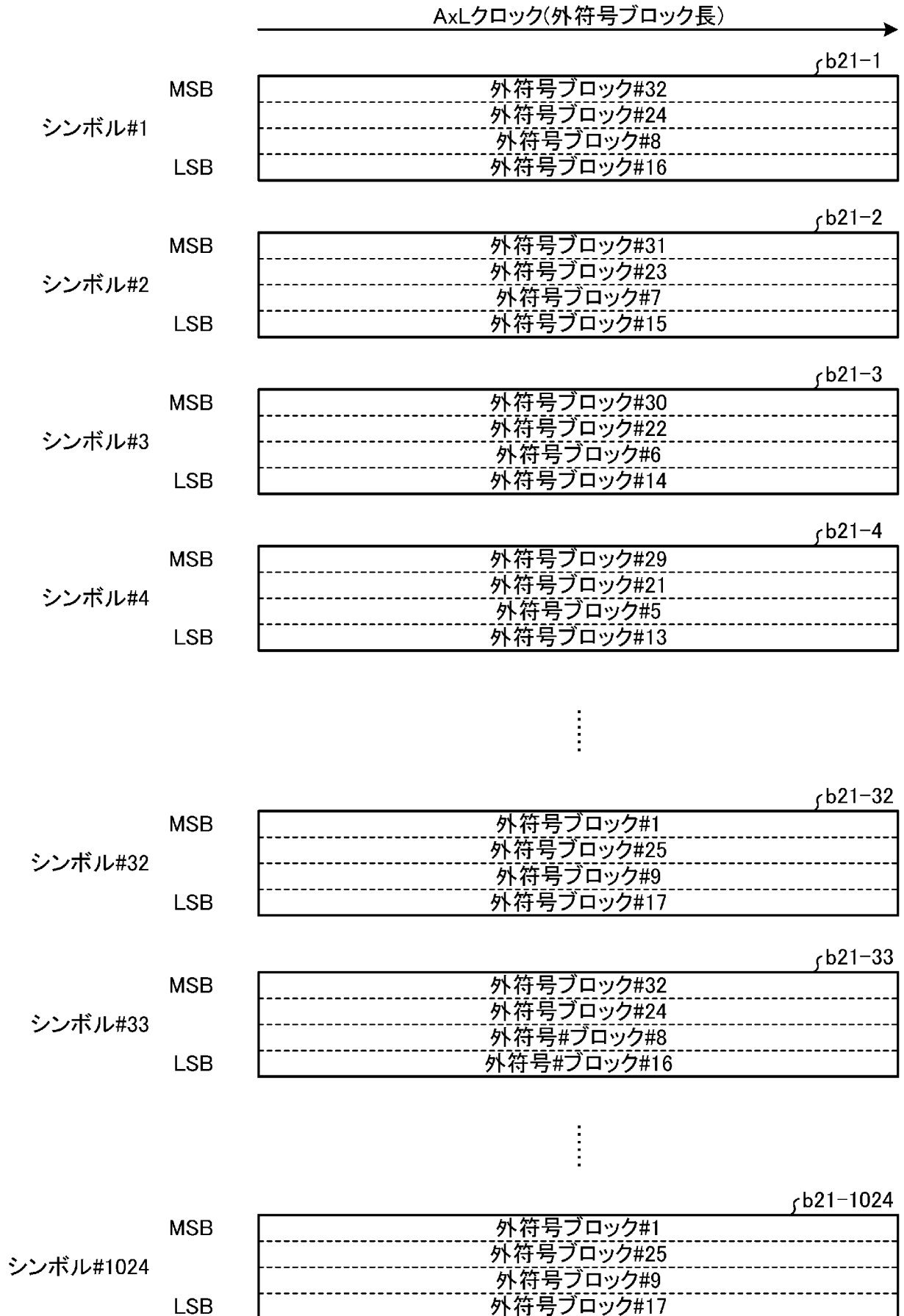
前記内符号化処理を実行した後のビット系列に対して時間インタリ

ープおよびシンボルインタリーブを行うステップと、
を前記送信装置に実行させることを特徴とする記憶媒体。

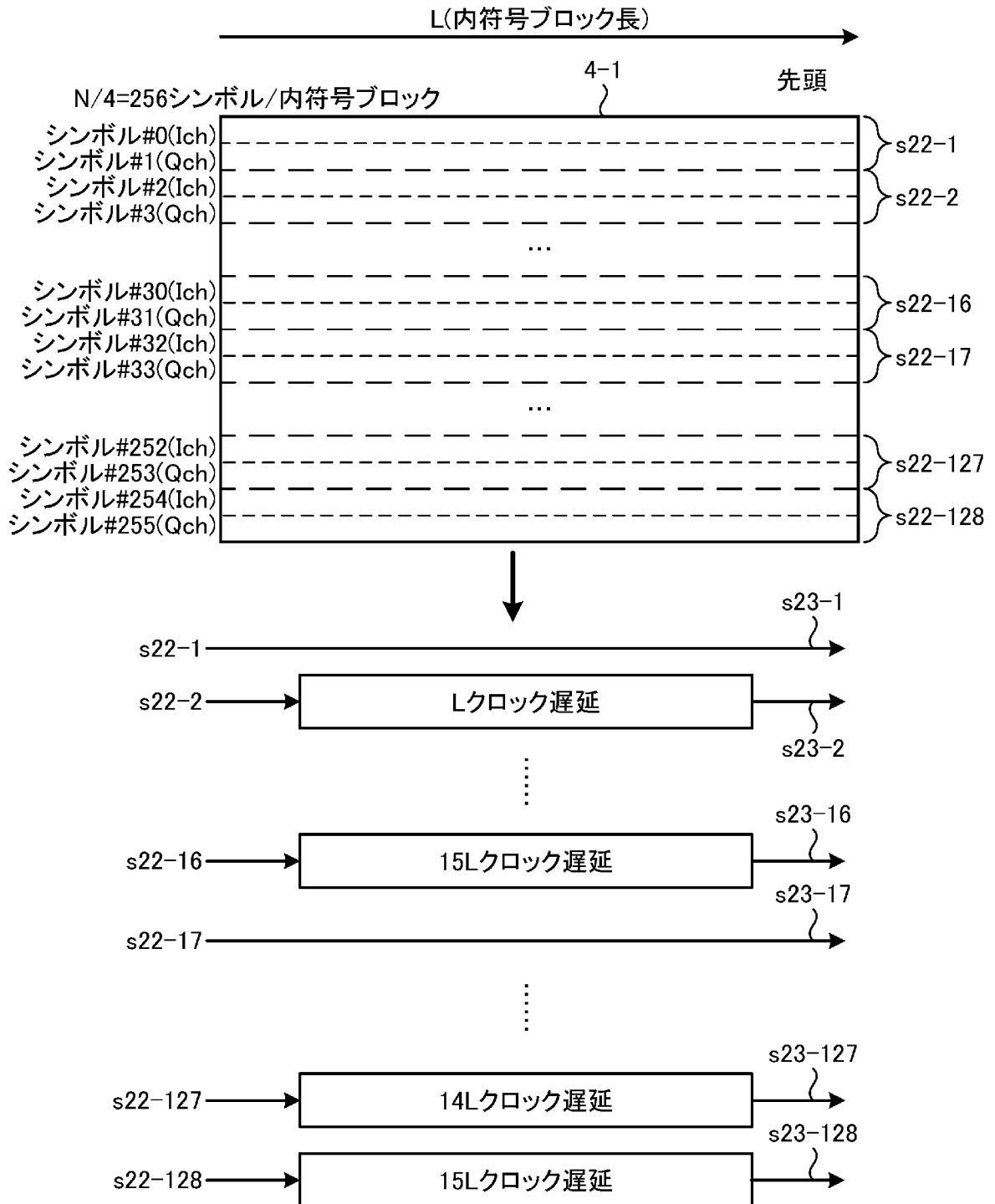
[図1]



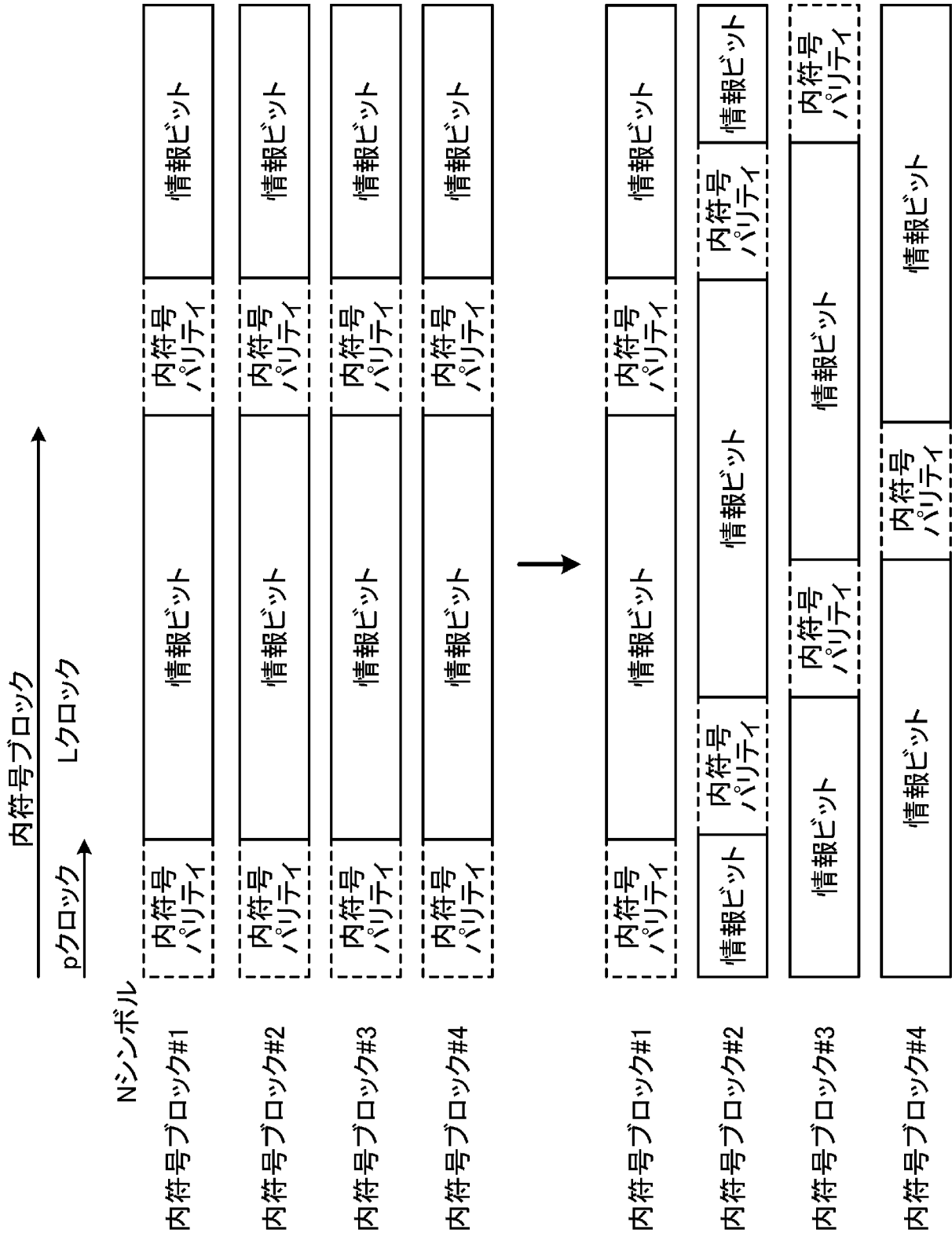
[図2]



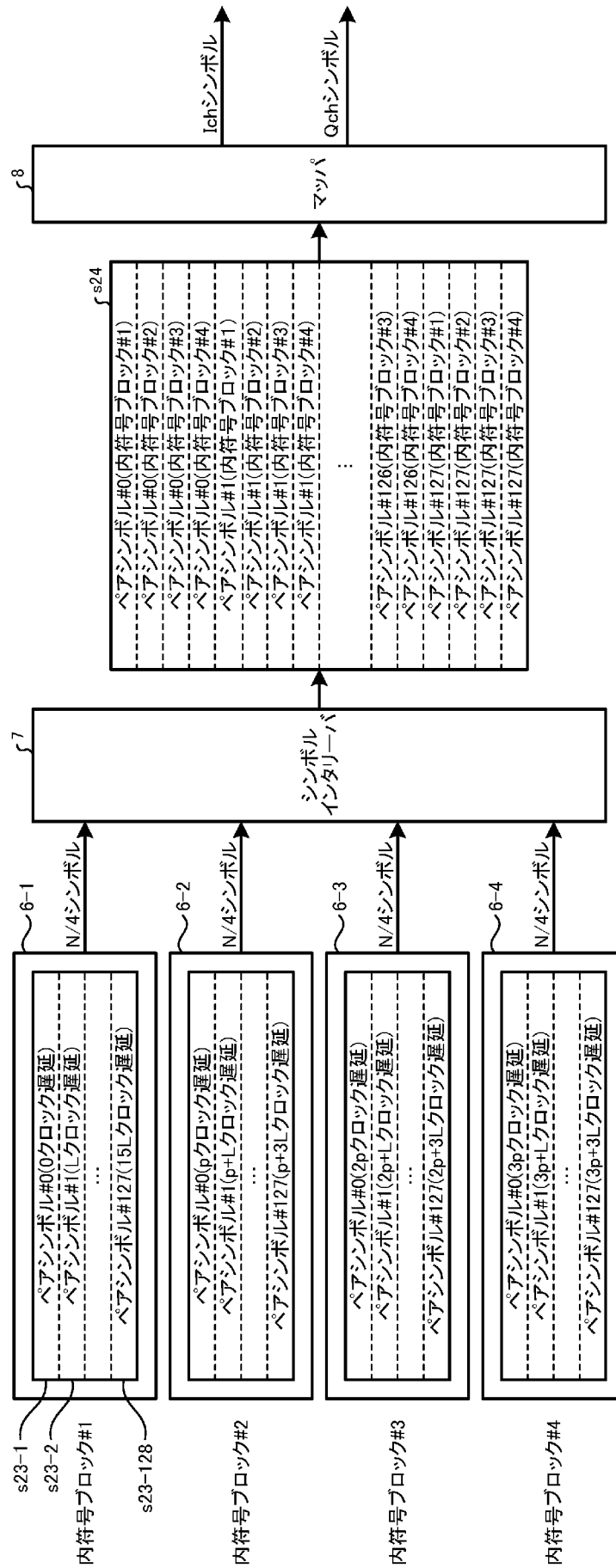
[図3]



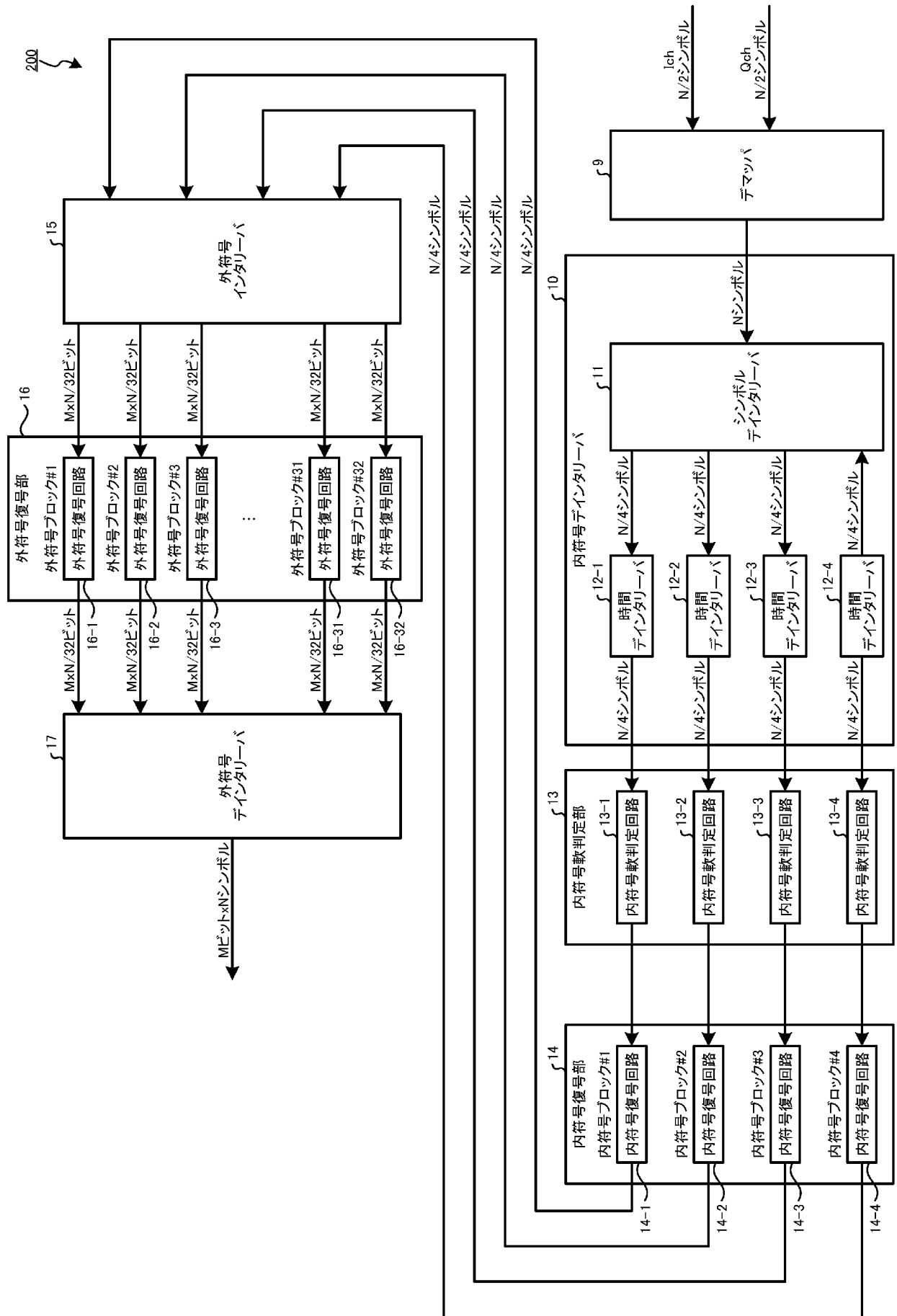
[図4]



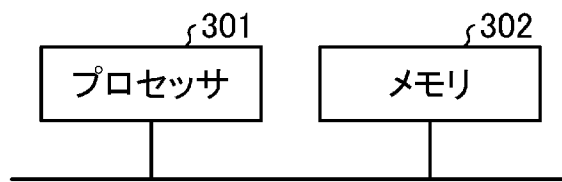
[図5]



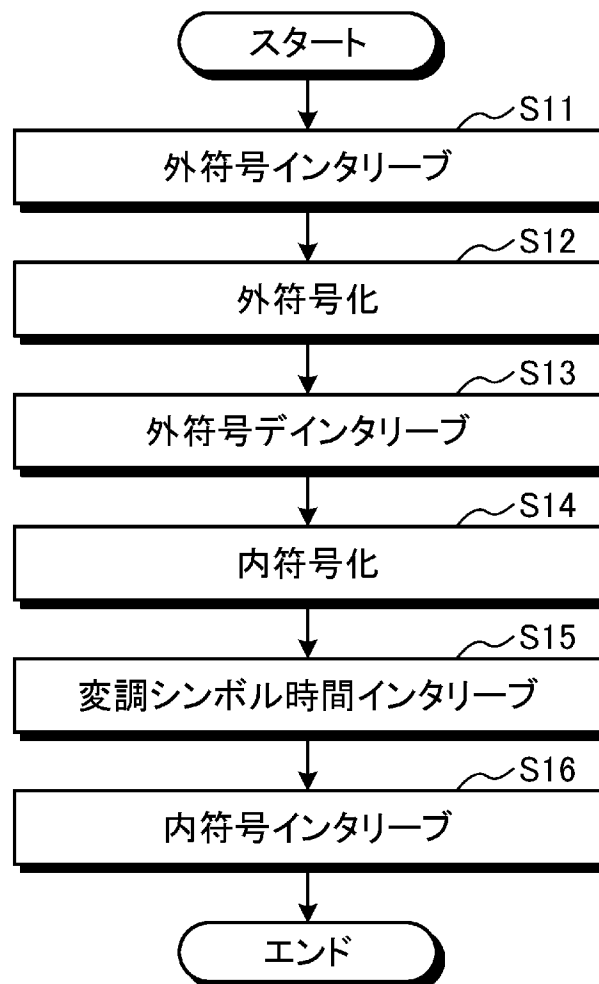
[図6]



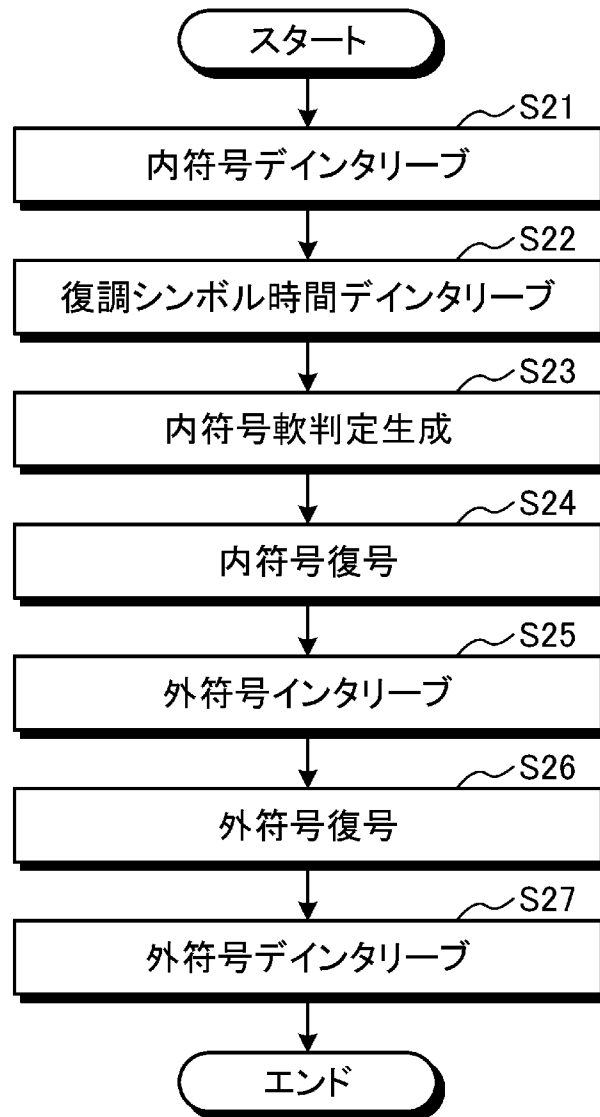
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/042440

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H03M 13/27</i> (2006.01)i; <i>H03M 13/29</i> (2006.01)i FI: H03M13/27; H03M13/29		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03M13/27; H03M13/29		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2020/183525 A1 (MITSUBISHI ELECTRIC CORP) 17 September 2020 (2020-09-17)	1-12
A	WO 00/048323 A1 (SONY CORPORATION) 17 August 2000 (2000-08-17)	1-12
A	JP 2015-527024 A (TYCO ELECTRONICS SUBSEA COMMUNICATIONS LLC) 10 September 2015 (2015-09-10)	1-12
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 18 January 2022		Date of mailing of the international search report 01 February 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2021/042440

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2020/183525 A1	17 September 2020	(Family: none)	
WO 00/048323 A1	17 August 2000	US 6681363 B1	
		EP 1083660 A1	
JP 2015-527024 A	10 September 2015	US 2014/0068385 A1	
		WO 2014/070275 A1	
		CN 104541452 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03M 13/27(2006.01)i; H03M 13/29(2006.01)i FI: H03M13/27; H03M13/29		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03M13/27; H03M13/29 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査でを使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2020/183525 A1（三菱電機株式会社）17.09.2020（2020-09-17）	1-12
A	WO 00/048323 A1（ソニー株式会社）17.08.2000（2000-08-17）	1-12
A	JP 2015-527024 A（タイコ エレクトロニクス サブシー コミュニケーションズ エルエルシー）10.09.2015（2015-09-10）	1-12
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 18.01.2022	国際調査報告の発送日 01.02.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 谷岡 佳彦 5K 3463 電話番号 03-3581-1101 内線 3556	

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2021/042440

引用文献	公表日	パテントファミリー文献	公表日
WO 2020/183525 A1	17.09.2020	(ファミリーなし)	
WO 00/048323 A1	17.08.2000	US 6681363 B1	
		EP 1083660 A1	
JP 2015-527024 A	10.09.2015	US 2014/0068385 A1	
		WO 2014/070275 A1	
		CN 104541452 A	