

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4598024号  
(P4598024)

(45) 発行日 平成22年12月15日(2010.12.15)

(24) 登録日 平成22年10月1日(2010.10.1)

(51) Int. Cl. F I  
 HO 1 P 1/203 (2006.01) HO 1 P 1/203  
 HO 1 P 1/209 (2006.01) HO 1 P 1/209

請求項の数 7 (全 28 頁)

(21) 出願番号	特願2007-156536 (P2007-156536)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成19年6月13日(2007.6.13)	(74) 代理人	100110423 弁理士 曾我 道治
(65) 公開番号	特開2008-22543 (P2008-22543A)	(74) 代理人	100084010 弁理士 古川 秀利
(43) 公開日	平成20年1月31日(2008.1.31)	(74) 代理人	100094695 弁理士 鈴木 憲七
審査請求日	平成22年3月26日(2010.3.26)	(74) 代理人	100111648 弁理士 梶並 順
(31) 優先権主張番号	特願2006-164693 (P2006-164693)	(74) 代理人	100122437 弁理士 大宅 一宏
(32) 優先日	平成18年6月14日(2006.6.14)	(74) 代理人	100147566 弁理士 上田 俊一
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 帯域阻止フィルタ

(57) 【特許請求の範囲】

【請求項1】

複数の誘電体層を積層した積層誘電体の少なくとも一方の主面に地導体が設けられ、前記複数の誘電体層の間、もしくは前記複数の誘電体層の間および前記地導体が設けられていない主面上にストリップ状の信号導体を設けた多層構造を有する帯域阻止フィルタであって、

前記ストリップ状の信号導体は、

入力端子および出力端子を備え、前記複数の誘電体層の少なくとも1つの誘電体層上に設けられた主線路の信号導体と、

略1/4波長の長さを有し、少なくとも1つの誘電体層を介して前記主線路の信号導体と幅広面を対向させ、かつ、略平行に配列され、それぞれが前記主線路の信号導体と電磁界結合された複数の共振器用の信号導体と

を含み、

前記複数の共振器用の信号導体のそれぞれは、一端が開放端であり、他端が第1の接続導体を介して前記主線路の信号導体と電気的に接続されて結合線路形共振回路を構成し、前記結合線路形共振回路のそれぞれが縦続接続された構成を有する

ことを特徴とする帯域阻止フィルタ。

【請求項2】

請求項1に記載の帯域阻止フィルタにおいて、

前記複数の共振器用の信号導体の少なくとも1つは、前記主線路の信号導体が設けられ

た誘電体層に対して上側の誘電体層上および下側の誘電体層上に設けられた 1 組の信号導体で構成されることを特徴とする帯域阻止フィルタ。

【請求項 3】

請求項 1 に記載の帯域阻止フィルタにおいて、

前記地導体は、前記積層誘電体の両方の主面に設けられ、

前記複数の共振器用の信号導体は、前記主線路の信号導体に関して誘電体層の積層方向に対称な 1 組の信号導体で構成される

ことを特徴とする帯域阻止フィルタ。

【請求項 4】

請求項 2 または 3 に記載の帯域阻止フィルタにおいて、

前記 1 組の信号導体で構成された共振器用の信号導体の少なくとも 1 つは、前記 1 組の信号導体の開放端の近傍同士が第 2 の接続導体を介して接続されて結合線路形共振回路を構成することを特徴とする帯域阻止フィルタ。

【請求項 5】

複数の誘電体層を積層した積層誘電体の少なくとも一方の主面に地導体が設けられ、前記複数の誘電体層の間、もしくは前記複数の誘電体層の間および前記地導体が設けられていない主面上にストリップ状の信号導体を設けた多層構造を有する帯域阻止フィルタであって、

前記ストリップ状の信号導体は、

入力端子および出力端子を備え、前記複数の誘電体層の少なくとも 1 つの誘電体層上に設けられた主線路の信号導体と、

前記主線路の信号導体と同一の誘電体層上で、前記主線路の信号導体の長手方向の一部に設けられ、一端が前記主線路の信号導体の一部分と接続され、前記一端以外の周囲が前記主線路の信号導体との間で第 1 間隙を有するように、前記主線路の信号導体の長手方向に延在する第 1 導体と、少なくとも 1 つの誘電体層を介して前記主線路の信号導体と幅広面を対向させ、かつ、略平行に配置されて前記主線路の信号導体と電磁界結合され、前記第 1 導体の他端と第 1 共振器内接続導体を介して一端が接続された第 2 導体と、前記主線路の信号導体と同一の誘電体層上で、前記主線路の信号導体の長手方向の他の一部分に設けられ、前記主線路の信号導体との間で周囲が第 2 間隙を有して直流的に絶縁された状態で配置され、前記第 2 導体における他端と第 2 共振器内接続導体を介して一端が接続され、かつ、前記第 1 導体における一端から他端へと前記第 1 導体が延在する長手方向と同一方向に、前記第 2 共振器内接続導体が接続された一端から他端へと延在する第 3 導体との 3 つの導体から一組が構成され、前記主線路の信号導体の長手方向に対する前記第 1 導体、前記第 2 導体、および前記第 3 導体のそれぞれの長手方向の長さの和が略 1 / 4 波長となる複数組の共振器用の信号導体と、

を含み、

前記複数組の共振器用の信号導体のそれぞれは、前記第 3 導体の他端が開放端であり、前記第 3 導体の一端が前記第 2 共振器内接続導体、前記第 2 導体、前記第 1 共振器内接続導体、および前記第 1 導体を介して前記主線路の信号導体と電氣的に接続されて結合線路形共振回路を構成し、前記結合線路形共振回路のそれぞれが縦続接続された構成を有することを特徴とする帯域阻止フィルタ。

【請求項 6】

請求項 5 に記載の帯域阻止フィルタにおいて、

前記複数組の共振器用の信号導体の少なくとも 1 つは、前記主線路の信号導体が設けられた誘電体層に対して上側の誘電体層上および下側の誘電体層上に設けられた 1 組の信号導体で構成された第 2 導体を有することを特徴とする帯域阻止フィルタ。

【請求項 7】

請求項 5 に記載の帯域阻止フィルタにおいて、

前記地導体は、前記積層誘電体の両方の主面に設けられ、

前記複数組の共振器用の信号導体を構成する前記第 2 導体は、前記主線路の信号導体が

10

20

30

40

50

設けられた誘電体層に対して上側の誘電体層上および下側の誘電体層上に設けられ、前記主線路の信号導体に関して誘電体層の積層方向に対称な1組の信号導体で構成されることを特徴とする帯域阻止フィルタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マイクロ波帯あるいはミリ波帯で用いられる帯域阻止フィルタに関する。

【背景技術】

【0002】

従来、マイクロ波やミリ波といった高周波帯において用いられる帯域阻止フィルタの多くは、入力端子と出力端子との間をつなぐ主線路の近傍に共振器を配置し、共振器を主線路と所定の結合度で結合させることで構成される。多段の帯域阻止フィルタの場合には、阻止帯域の中心周波数における1/4波長あるいは3/4波長といった間隔で共振器を主線路の傍に配置しつつ、個別に主線路と結合させる。

10

【0003】

主線路と共振器を結合させる方法としては、主に、伝送線路等で両者を直に物理的に接続する方法、および電磁界結合を利用する方法の2通りがある。基本的に、前者の方法は、大きな結合度を得やすく、後者の方法は、小さな結合度を得るのに適している。一方、主線路と共振器との間の結合度の大きさは、帯域阻止フィルタの阻止帯域幅と対応しており、帯域幅の広いフィルタでは大きな結合度が必要となり、帯域幅の狭いフィルタでは小さな結合度が必要となる。

20

【0004】

このため、比帯域幅が50%未満であるような、帯域幅の狭い帯域阻止フィルタでは、主線路と共振器との間の結合に電磁界結合を利用することが多い。そして、この場合、その結合度の大きさは、主線路と共振器との距離などで調整され、帯域幅が狭いほど両者の隔たりを大きくすることになる。

【0005】

ところで、主線路と共振器との間の結合を電磁界結合から得る場合には、その結合が弱い、すなわち疎結合であるということは、共振器の為す電磁界は、その一部分しか主線路に拘束されない状態であると考えられる。換言すれば、共振器は、主線路以外の隣接する回路に結合しやすい状態にある。

30

【0006】

したがって、主線路と共振器との間の結合手段に電磁界結合を用いた帯域幅の狭い多段の帯域阻止フィルタでは、共振器と共振器との間隔を狭くすると、共振器同士で不要な結合を起しやすくなる。隣接する共振器同士が不要結合を起すと、共振周波数が変化したり、入力端子から共振器へと入射した阻止帯域の波の電力の一部が隣の共振器へと漏洩したりすることになる。この漏洩電力の一部は、出力端子へと導かれ、結果として、中心周波数近傍の周波数での減衰量を劣化させる。

【0007】

図38は、電磁界結合を用いた従来の帯域阻止フィルタの模式図であり、図39は、従来の帯域阻止フィルタの周波数特性の変化を示した図である。上述したような減衰量を劣化させる問題の対策としては、フィルタ内での共振器の配置を工夫する、あるいは、共振器の間隔を1/4波長から3/4波長間隔に広げる、あるいは、共振器と共振器との間に結合抑制のための構造物を配置する等の方法が従来から考えられている(例えば、特許文献1参照)。

40

【0008】

【特許文献1】特開平9-232804号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

50

しかしながら、従来技術には次のような課題がある。従来の帯域阻止フィルタでは、阻止帯域幅が狭い場合に、主線路と共振器との間の結合度を電磁界結合により確保している。このため、帯域幅が狭くなるほど電磁界結合が弱くなることから、隣接する共振器間で不要結合を起こしやすく、この不要結合により阻止帯域における減衰特性が劣化する。そして、こういった特性劣化を避けるために、回路が大型化する、あるいは、構造が複雑化する、あるいは、コストアップを招く、あるいは、特性ばらつきにより歩留まりが低下するという問題があった。

【 0 0 1 0 】

また、マイクロストリップ線路やトリプレート線路といった平面回路形線路でフィルタを構成する場合においては、使用する誘電体基板（複数の誘電体層が積層された積層誘電体）の厚さを厚くすると、電流の集中緩和と線路ボリュームの増加から低損失化が見込める。しかしながら、その反面、上述のような不要結合が顕著となる傾向がある。このため、従来の帯域阻止フィルタでは、低挿入損失と高減衰量を両立させることが容易でないという問題があった。この問題は、周波数が高く、波長が短くなるほど顕著となる。

【 0 0 1 1 】

本発明は上述のような課題を解決するためになされたもので、電気性能に優れた阻止帯域幅の狭い帯域阻止フィルタを、コンパクトかつ簡素な構造で実現することを目的とする。

【 0 0 1 2 】

さらには、上述のように電気性能に優れるだけでなく、特性ばらつきが少なく、製造歩留まりのよい帯域阻止フィルタを実現することを目的とする。

【課題を解決するための手段】

【 0 0 1 3 】

本発明に係る帯域阻止フィルタは、複数の誘電体層を積層した積層誘電体の少なくとも一方の主面に地導体が設けられ、複数の誘電体層の間、もしくは前記複数の誘電体層の間および地導体が設けられていない主面にストリップ状の信号導体を設けた多層構造を有する帯域阻止フィルタであって、ストリップ状の信号導体は、入力端子および出力端子を備え、前記複数の誘電体層の少なくとも1つの誘電体層上に設けられた主線路の信号導体と、略1/4波長の長さを有し、少なくとも1つの誘電体層を介して主線路の信号導体と幅広面を対向させ、かつ、略平行に配列され、それぞれが主線路の信号導体と電磁界結合された複数の共振器用の信号導体とを含み、複数の共振器用の信号導体のそれぞれは、一端が開放端であり、他端が第1の接続導体を介して主線路の信号導体と電気的に接続されて結合線路形共振回路を構成し、結合線路形共振回路のそれぞれが縦続接続された構成を有するものである。

【 0 0 1 4 】

また、本発明に係る帯域阻止フィルタは、複数の誘電体層を積層した積層誘電体の少なくとも一方の主面に地導体が設けられ、複数の誘電体層の間、もしくは複数の誘電体層の間および地導体が設けられていない主面上にストリップ状の信号導体を設けた多層構造を有する帯域阻止フィルタであって、ストリップ状の信号導体は、入力端子および出力端子を備え、複数の誘電体層の少なくとも1つの誘電体層上に設けられた主線路の信号導体と、主線路の信号導体と同一の誘電体層上で、主線路の信号導体の長手方向の一部分に設けられ、一端が主線路の信号導体の一部分と接続され、一端以外の周囲が主線路の信号導体との間で第1間隙を有するように、主線路の信号導体の長手方向に延在する第1導体と、少なくとも1つの誘電体層を介して主線路の信号導体と幅広面を対向させ、かつ、略平行に配置されて主線路の信号導体と電磁界結合され、第1導体の他端と第1共振器内接続導体を介して一端が接続された第2導体と、主線路の信号導体と同一の誘電体層上で、主線路の信号導体の長手方向の他の一部分に設けられ、主線路の信号導体との間で周囲が第2間隙を有して直線的に絶縁された状態で配置され、第2導体における他端と第2共振器内接続導体を介して一端が接続され、かつ、第1導体における一端から他端へと第1導体が延在する長手方向と同一方向に、第2共振器内接続導体が接続された一端から他端へと延

10

20

30

40

50

在する第3導体との3つの導体から一組が構成され、主線路の信号導体の長手方向に対する第1導体、第2導体、および第3導体のそれぞれの長手方向の長さの和が略1/4波長となる複数組の共振器用の信号導体とを含み、複数組の共振器用の信号導体のそれぞれは、第3導体の他端が開放端であり、第3導体の一端が第2共振器内接続導体、第2導体、第1共振器内接続導体、および第1導体を介して主線路の信号導体と電氣的に接続されて結合線路形共振回路を構成し、結合線路形共振回路のそれぞれが縦続接続された構成を有するものである。

【発明の効果】

【0015】

本発明によれば、複数の誘電体層の間にストリップ状の信号導体を設けた多層構造を有する帯域阻止フィルタを構成する際に、接続導体を介して共振器と主線路とを電氣的に接続して、結合係数の大きな結合線路形共振回路を構成し、複数の共振器間での不要な電磁界結合を少なくすることにより、電気性能に優れた阻止帯域幅の狭い帯域阻止フィルタを、コンパクトかつ簡素な構造で実現することができる。

10

【発明を実施するための最良の形態】

【0016】

以下、本発明の帯域阻止フィルタの好適な実施の形態につき図面を用いて説明する。

本発明の帯域阻止フィルタは、阻止帯域幅の狭い帯域阻止フィルタを、コンパクトかつ簡素な構造で実現することができる一方で、厚い誘電体基板で構成された平面回路形帯域阻止フィルタにおいては、挿入損失と減衰量の双方に優れた特性を実現するものである。

20

【0017】

以下の実施の形態においては、主線路の信号導体および共振器用の信号導体としてストリップ線路を用いた場合を中心に説明する。さらに、多段の帯域阻止フィルタとして、3つの共振器用の信号導体を有する3段フィルタを一例として説明する。

【0018】

実施の形態1.

図1は、本発明の実施の形態1における帯域阻止フィルタの展開構造図である。図2は、本発明の実施の形態1における帯域阻止フィルタの図1のA-A'断面図である。また、図3は、本発明の実施の形態1における帯域阻止フィルタの図1のB-B'断面図である。

30

【0019】

本実施の形態1における帯域阻止フィルタは、複数の誘電体層1a~1h、地導体2a、2b、入力端子INおよび出力端子OUTを有する主線路のストリップ導体3、共振器のストリップ導体11、21、31、ビア12a、12b、22a~22c、32a、32b、およびランド13、23a、23b、33を備えている。

【0020】

本実施の形態1のフィルタは、複数の誘電体層1a~1hを積層して構成された、すなわち、多層基板で構成されたフィルタであり、地導体2a、2bの間にストリップ導体を配置してなるトリプレート線路形のフィルタである。3つの共振器のストリップ導体11、21、31は、入出力線路のストリップ導体を含む主線路のストリップ導体3とは異なる誘電体層に配置されている。

40

【0021】

また、3つの共振器のストリップ導体11、21、31は、その長手寸法が、阻止帯域の中心周波数における略1/4波長となっていて、その一方の端部は、それぞれ開放端11z、21z、31zとなっている(図2参照)。さらに、3つの共振器のうちの1段目の共振器のストリップ導体11は、開放端11zと反対側の端部付近でビア12a、12bおよびランド13を介して主線路のストリップ導体3へと電氣的に接続されている。ここで、ビア12a、12bおよびランド13は、主線路のストリップ導体3と共振器のストリップ導体11とを接続する第1の接続導体14aを構成している。

【0022】

50

同様に、2段目の共振器のストリップ導体21は、開放端21zと反対側の端部付近でビア22a~22cおよびランド23a、23bを介して主線路のストリップ導体3へと電氣的に接続されている。ここで、ビア22a~22cおよびランド23a、23bは、主線路のストリップ導体3と共振器のストリップ導体21とをつなぐ第1の接続導体24aを構成している。

【0023】

さらに、3段目の共振器のストリップ導体31は、開放端31zと反対側の端部付近でビア32a、32b、およびランド33を介して主線路のストリップ導体3へと電氣的に接続されている。ここで、ビア32a、32b、およびランド33は、主線路のストリップ導体3と共振器のストリップ導体31とをつなぐ第1の接続導体34aを構成している。

10

【0024】

また、共振器のストリップ導体11、21、31のそれぞれと、主線路のストリップ導体3とは、図3に示すように、ほぼ重なりあうようにアライメントされ、両者は、ブロードサイドで蜜に結合する結合線路構造を構成している。3つの共振器のストリップ導体11、21、31と主線路のストリップ導体3との間で構成される3つの結合線路の結合係数は、所定の反射特性および通過特性が得られるように、それぞれ、所定の値が選ばれている。このように、図1~図3に示した本実施の形態1におけるフィルタは、3つの共振器を有する3段フィルタである。

【0025】

20

次に動作について説明する。

本実施の形態1における3段フィルタは、中心周波数で略1/4波長の共振器のストリップ導体11、21、31のそれぞれ的一端を主線路のストリップ導体3へと直接接続し、それぞれ他端を開放端11z、21z、31zとしている。さらに、それに加えて、前述のように、共振器のストリップ導体11、21、31のそれぞれと主線路のストリップ導体3との間で結合線路を構成している。従って、この3段フィルタの等価回路は、図4のようになる。

【0026】

図4は、本発明の実施の形態1における3段フィルタの等価回路である。図4において、 $Z_{e1} \sim Z_{e3}$ は、結合線路の偶モードインピーダンスであり、 $Z_{o1} \sim Z_{o3}$ は、結合線路の奇モードインピーダンスである。また、 $C_1 \sim C_3$ は、結合線路の結合係数であり、 $Z_{c1} \sim Z_{c3}$ は、結合線路インピーダンス(偶奇両モードのインピーダンスの相乗平均値に相当)である。結合線路の電気長  $\theta_i$  は、中心周波数で90度となる。

30

【0027】

図5は、本発明の実施の形態1における各段のフィルタの等価性を示した図である。図4における3つのセクションのそれぞれは、図5に示すように、先端開放スタブと伝送線路との組み合わせと一対一の関係を有している。ここで、 $Z_i$ および $Z_{i+1}$ は、特性インピーダンスである。そして、両回路の回路パラメータは、次式で関係付けられる。

【0028】

【数1】

40

$$Z_{ei} = \frac{2Z_i Z_{i,i+1}}{Z_i + Z_{i,i+1}}, \quad Z_{oi} = \frac{2Z_{i,i+1}^2}{Z_i + Z_{i,i+1}}$$

$$C_i = \frac{Z_{ei} - Z_{oi}}{Z_{ei} + Z_{oi}}, \quad Z_{ci} = \sqrt{Z_{ei} Z_{oi}}$$

( $i = 1, 2, \dots, n$ )

【0029】

さらに、図6は、本発明の実施の形態1における3段フィルタの別の等価回路である。

50

図5に示した等価性を用いれば、図4における3段フィルタの等価回路は、この図6のように変換されることは容易に理解される。図6の回路は、複数の先端開放スタブを、阻止帯域の中心周波数にて1/4波長間隔で主線路に接続したものである。そして、回路を構成する伝送線路の特性インピーダンスを適切に選ぶことで、この図6に示した回路が、帯域阻止フィルタとして動作することは広く知られている。

【0030】

上述の段落番号0027で示した数式で関連付けられた図4の回路と図6の回路は、ほぼ同一の周波数特性をもつ。図7は、本発明の実施の形態1における図4の回路から計算された帯域阻止フィルタの反射特性ならびに通過特性を示した図である。図7に示すように、本実施の形態1のフィルタは、帯域阻止フィルタとして動作をする(G. Matthaei et. al, "Microwave Filters, Impedance - matching networks, and Coupling structures", 1980, Artech House参照(以下の説明では、この引用文献を非特許文献1と称す))。

10

【0031】

一方、図8は、特許文献1の構成を有するフィルタの等価回路を示す図である。先の特許文献1に記されたような、1/4波長共振器を主線路の近傍に配置して主線路と電磁界結合させる形式のフィルタの構成要素は、この図8(a)に示した等価回路で表される。図5に示した関係と同様に、図8(a)の回路も、先端開放スタブと伝送線路とを組み合わせさせた図8(b)の回路と一対一の関係性を有する。図8の2つの回路の関係は、次式で表される。

【0032】

【数2】

$$Z_{ei} = Z_{i,i+1} \left( 1 + \sqrt{\frac{Z_{i,i+1}}{Z_i + Z_{i,i+1}}} \right), \quad Z_{oi} = Z_{i,i+1} \left( 1 - \sqrt{\frac{Z_{i,i+1}}{Z_i + Z_{i,i+1}}} \right)$$

$$C_i = \frac{Z_{ei} - Z_{oi}}{Z_{ei} + Z_{oi}}, \quad Z_{ci} = \sqrt{Z_{ei} Z_{oi}}$$

( $i = 1, 2, \dots, n$ )

【0033】

ところで、図6の回路の先端開放スタブの特性インピーダンス $Z_i$ の値の大きさは、阻止帯域幅に反比例する。したがって、阻止帯域幅が大きい(広い)と、特性インピーダンスは小さく(低く)なる。具体的には、本発明で前提としている阻止帯域幅50%未満の帯域阻止フィルタの場合、先端開放スタブの特性インピーダンスは、数百オームと大きな値となりすぎ、通常の伝送線路では物理的に実現することは困難である。

30

【0034】

そこで、図5あるいは図8に示した等価的回路変換を行うと、物理的に実現可能な回路となる。すなわち、図6の回路は、阻止帯域幅の狭い帯域阻止フィルタの設計の過程で用いられるあくまで机上の回路である。なお、図6の回路の回路パラメータは、上記非特許文献1等に明らかにされており、通過帯域におけるリップルレベルと阻止帯域幅、段数を与えると直ちに求められる。

40

【0035】

図9は、本発明の実施の形態1における3種類の等価回路の説明図である。図5と図8に示された3種類の回路における、主線路と共振器との間の結合度を確保するための結合手段は、この図9に示すように、各回路で異なっている。本実施の形態1のフィルタの結合手段は、直接的回路結合(共振器と主線路とが物理的に直かに接続されることで得られる結合)と、共振器と主線路との間の電磁界結合との両者の兼ね合いで定まる。

【0036】

なお、基本的に、直接的回路結合の強さは、共振器を構成する伝送線路の特性インピーダンスに対して反比例的に変化をし、電磁界結合の強さは、いうまでもなく、共振器と主

50

線路との間で構成される結合線路の結合係数の大きさに対応する。

【 0 0 3 7 】

図 1 0 は、本発明の実施の形態 1 のフィルタにおける電磁界結合の作用を説明する図である。入力端子から共振器へと入力された電力は、共振周波数では、共振器が共振するため、その電力のほとんどすべてが入力端子へと反射される。このため、出力端子へは、電力はほとんど伝達されない。これが図 1 0 ( a ) の状態である。

【 0 0 3 8 】

一方、共振周波数以外の周波数では、共振器は、共振器へと入ってきた電力を入力側へと完全に反射せず、図 1 0 ( b ) のように、2 つの伝達経路が考えられる。すなわち、( 1 ) 回路的に伝送線路を通して出力側へと電力が伝わることに加え、さらに、( 2 ) 共振器に入ってきた電力の一部が電磁界結合により出力端子側へと伝達される。

10

【 0 0 3 9 】

したがって、共振器から出力端子側へと伝わる電力量は、共振周波数では 0、それ以外の周波数では共振周波数から周波数が離れるにしたがい徐々に増大する傾向となる。そして、後者におけるその増加の度合いは、結合線路の結合係数に応じたものとなり、結合線路の結合係数が大きいほど、出力端子側へと伝達される電力量が増加する。

【 0 0 4 0 】

共振周波数近傍の周波数帯で出力端子側へと伝わる電力量が少ないほど、共振器と主線路との結合度は大きいと考えられることから、本実施の形態 1 のフィルタの共振器と主線路との間では、直接的回路結合を電磁界結合が弱める形で作用し、直接的回路結合の強さと電磁界結合の強さとの差で結合度が定まる。

20

【 0 0 4 1 】

一般に、フィルタの阻止帯域幅が狭くなるほど必要な結合度は小さくなるから、本実施の形態 1 のフィルタの場合、結合線路における電磁界結合が強くなるほど、阻止帯域幅が狭くなる。

【 0 0 4 2 】

図 1 1 は、本発明の実施の形態 1 のフィルタにおける阻止帯域幅と結合線路結合係数の関係を示した図である。このように、本実施の形態 1 のフィルタは、特許文献 1 に記載の従来フィルタをはじめとする、主線路の近傍に共振器を配置して主線路と電磁界結合させることで所要の結合度を得るフィルタとは、共振器における電磁界結合の強弱と阻止帯域幅との関係が異なる。

30

【 0 0 4 3 】

ところで、図 4 のような等価回路を有する帯域阻止フィルタは、共振器と主線路との間で大きな結合度を得やすい直接的回路結合を有していること、また、結合係数の大きい結合線路の実現が容易でないことの 2 点の理由から、従来、比帯域幅が 5 0 % を超えるような阻止帯域幅の広いフィルタに用いられることはあっても、阻止帯域幅の狭いフィルタに用いられることは皆無であった。

【 0 0 4 4 】

しかし、近年、多層基板の技術の発達により、薄い誘電体層をはさんで、ストリップ導体の幅広面を対向させる形で構成するブロードサイド形の結合線路を容易に実現できるようになった。本実施の形態 1 のフィルタは、進歩の著しい近年の製造技術を利用しつつ、図 4 の回路の持つ性質に着目し、かつ、これを積極的に活用しようというものである。すなわち、結合係数の大きい結合線路を用いて、阻止帯域幅の狭い帯域阻止フィルタを実現するものである。これにより、従来の阻止帯域幅の狭い帯域阻止フィルタにはない、格別の効果を得ることができる。

40

【 0 0 4 5 】

以上のように、実施の形態 1 によれば、共振器と主線路との間で構成される結合線路の結合係数が大きく、共振器の電磁界が主線路と蜜に結合する帯域阻止フィルタが得られる。このため、フィルタ内で共振器を近接配置した場合にも、隣接する共振器間での不要な電磁界結合が少なく、不要結合により生じる阻止帯域での減衰量の劣化が小さい。すなわ

50



ち、比帯域幅が50%未満となるような阻止帯域幅の狭い帯域阻止フィルタをコンパクトに実現できるという効果がある。

【0046】

さらに、従来のフィルタに見られるような、共振器間に結合抑止のための構造物を配置するなどの対策が不要となり、構造が簡素化され、製造コストの削減、および歩留まりの向上が見込めるという効果がある。

【0047】

さらには、共振器間の不要結合が少ないことから、トリプレート線路構造、あるいは、マイクロストリップ線路構造において、厚い誘電体基板（複数の誘電体層が積層されて成る積層誘電体）で回路を構成することが可能となり、厚い誘電体基板によりもたらされる低損失性と、不要結合の少なさからもたらされる大きな減衰量（阻止帯域での良好な減衰特性）の両立が実現できるという効果がある。厚い誘電体基板を使用できるということは、線路のボリュームの増大と信号導体上を分布する電流の集中の緩和により、低損失なフィルタを実現できるという効果ももたらす。

【0048】

そのほか、本発明のフィルタは共振器の信号導体が地導体と物理的に接続されないため、共振器の信号導体と地導体とをつなぐ短絡手段が不要である。厚手の誘電体基板を用いてフィルタを構成すると信号導体と地導体との隔たりが大きくなることから、共振器が短絡手段を必要とする場合、短絡手段の物理長が長くなる。多層基板等を使ってフィルタを構成し、共振器に何層にもわたる短絡手段を用いていると、積層ずれや層厚さ誤差等により特性変動が大きくなり、歩留まりが低下する難点がある。したがって、短絡手段を持たない本フィルタは、厚手の誘電体基板を使用しているにもかかわらず、歩留まりのよいフィルタを得られる効果がある。

【0049】

参考までに、本実施の形態1におけるフィルタの周波数特性の一例について説明する。図12は、電磁界解析ソフトで計算した本実施の形態1のフィルタの周波数特性の一例を示す図である。より具体的には、使用周波数帯域で地導体間隔が1/4波長程度のトリプレート線路構造で構成したときの特性を示したものである。先の図39に示したような減衰量の低下が少なく、良好な周波数特性が得られている。

【0050】

また、上記のような共振器間の不要結合は、周波数が高くなり波長が短くなるほど顕著となる傾向がある。したがって、本実施の形態1のフィルタは、高い周波数帯域においても良好な特性を得られやすいという効果も有する。

【0051】

なお、本実施の形態1のフィルタにおいては、トリプレート線路構造を前提に説明しているが、線路構造を限定するものではなく、マイクロストリップ線路やその他の線路構造でも、基本的に同様な効果が得られることはいうまでもない。ストリップ状の信号導体と、ひとつあるいは複数の地導体とが対となって構成される線路構造であればよい。また、複数の誘電体層を積層した積層誘電体の一方の主面にのみ地導体が設けられている場合には、地導体が設けられていない主面上にストリップ状の信号導体を設けることも可能である。

【0052】

実施の形態2

図13は、本発明の実施の形態2における帯域阻止フィルタの展開構造図である。図14は、本発明の実施の形態2における帯域阻止フィルタの図13のA-A'断面図である。また、図15は、本発明の実施の形態2における帯域阻止フィルタの図13のB-B'断面図である。

【0053】

本実施の形態2における帯域阻止フィルタは、複数の誘電体層1a~1h、地導体2a、2b、入力端子INおよび出力端子OUTを有する主線路のストリップ導体3、1対で

構成される3つの共振器のストリップ導体11aと11b、21aと21b、31aと31b、ビア12a、12b、22a~22d、32a、32b、およびランド23a、23bを備えている。基本的な構造は、先の実施の形態1に示した図1の帯域阻止フィルタと同様で、共振回路を3つ含む3段の帯域阻止フィルタである。

【0054】

先の実施の形態1における帯域阻止フィルタは、共振器のストリップ導体11、21、31をそれぞれ1つの誘電体層上に設けていた。これに対して、本実施の形態2における帯域阻止フィルタは、1対で構成される共振器のストリップ導体11aと11b、21aと21b、31aと31bを2つの誘電体層(すなわち、主線路のストリップ導体3の上方の層と下方の層)にそれぞれ配置しているところが実施の形態1とは異なっている。

10

【0055】

各共振器において、1対の共振器のストリップ導体の端部をビアにより主線路のストリップ導体3と電氣的に接続している。例えば、ストリップ導体11a、11bは、ビア12a、12bを介して主線路のストリップ導体3と電氣的に接続している。

【0056】

また、各共振器において1対の共振器のストリップ導体11aと11b(21aと21b、31aと31b)は、同一形状としており、本実施の形態2のフィルタは、主線路のストリップ導体3に関して上下で対称の構造となっている。

【0057】

本実施の形態2の帯域阻止フィルタの動作ならびに効果は、先の実施の形態1に記載の帯域阻止フィルタと同様である。しかしながら、本実施の形態2の場合、各共振器において共振器のストリップ導体が1対(2枚)となっているため、共振器と主線路との間の直接的回路結合が先の実施の形態1のフィルタに比べて強い。

20

【0058】

このため、先の実施の形態1のフィルタと同一の周波数特性を確保する場合には、共振器と主線路との間で構成する結合線路の所要の結合係数が、先の実施の形態1のフィルタにおける結合線路のそれよりも大きくなる。このため、主線路と共振器との間の電磁界結合をさらに強くすることができ、隣接する共振器間の不要結合がさらに低減され、共振器と共振器との間隔を小さくしても阻止帯域での大きな減衰量を得られやすい。

【0059】

また、共振器のストリップ導体の面積が増加するため、電流の集中が緩和され、導体損が減少する。さらには、本実施の形態2のフィルタは、主線路のストリップ導体3に関して上下対称の構造となっており、このため、平行平板モード等の不要電磁界モードへの結合が原理的に発生せず、トリプレート線路形の帯域阻止フィルタとして良好な周波数特性を得られるという効果がある。

30

【0060】

以上のように、実施の形態2によれば、先の実施の形態1により得られる効果のほか、各共振器において共振器の信号導体が主線路の信号導体の上方と下方にそれぞれ配置されており、双方とも端部で主線路の信号導体の端部に接続導体で物理的に接続されている。このため、主線路と共振器との間の直接的回路結合が大きいため、結合線路の結合係数を大きくすることができる。このため、隣接する共振器間の不要結合がさらに低減されることとなり、共振器と共振器の間隔を小さくすることができ、フィルタを小形化できるという効果がある。言い換えれば、より大きな減衰量を得ることができるという効果がある。

40

【0061】

さらに、共振器のストリップ導体の面積が増加するため、電流の集中が緩和され、導体損が減るという効果がある。

【0062】

さらに、主線路の信号導体に関して上下対称の構造となっているため、平行平板モード等の不要電磁界モードへの結合が原理的に発生せず、トリプレート線路形の帯域阻止フィ

50

ルタとして良好な周波数特性を得られるという効果がある。

【0063】

実施の形態3 .

図16は、本発明の実施の形態3における帯域阻止フィルタの展開構造図である。図17は、本発明の実施の形態3における帯域阻止フィルタの図16のA - A'断面図である。また、図18は、本発明の実施の形態3における帯域阻止フィルタの図16のB - B'断面図である。

【0064】

本実施の形態3における帯域阻止フィルタは、複数の誘電体層1a~1h、地導体2a、2b、入力端子INおよび出力端子OUTを有する主線路のストリップ導体3、1対で構成される3つの共振器のストリップ導体11aと11b、21aと21b、31aと31b、ビア12a~12d、22a~22h、32a~32d、およびランド13、23a~23e、33を備えている。基本的な構造は、先の実施の形態2に示した帯域阻止フィルタと同様であり、上下で対称の構造を有する共振回路を3つ含む3段の帯域阻止フィルタである。

10

【0065】

先の実施の形態2における帯域阻止フィルタは、各共振器のストリップ導体の開放端と反対側の一端を、第1の接続導体を介して主線路のストリップ導体3と接続していた(図14参照)。これに対して、本実施の形態2における帯域阻止フィルタは、一对の共振器のストリップ導体の開放端側同士を、第2の接続導体を介してさらに接続しているところ

20

【0066】

本実施の形態3のフィルタは、各共振器において、1対の共振器のストリップ導体(11aと11b、21aと21b、31aと31b)の開放端の近傍で、ビアとランドの組み合わせから構成される第2の接続導体により電氣的に接続している。

【0067】

1段目の1対の共振器のストリップ導体11aと11bは、ビア12c、12d、およびランド13の組み合わせからなる第2の接続導体14bにより、開放端11az、11bz側が互いに接続されている。

【0068】

ここで、ランド13は、主線路のストリップ導体3とは電氣的に接続していない。図16および図17において、主線路のストリップ導体3には、抜き穴15が設けられている。そして、この抜き穴15を貫通する形で、上下で対称の構造の2枚の共振器のストリップ導体11a、11b間が電氣的に接続されている。

30

【0069】

また、2段目の1対の共振器のストリップ導体21aと21bは、ビア22e~22h、およびランド23c~23eの組み合わせからなる第2の接続導体24bにより、開放端21az、21bz側が互いに接続されている。

【0070】

ここで、ランド23dは、主線路のストリップ導体3とは電氣的に接続していない。図16および図17において、主線路のストリップ導体3には、抜き穴25が設けられている。そして、この抜き穴25を貫通する形で、上下で対称の構造の2枚の共振器のストリップ導体21a、21b間が電氣的に接続されている。

40

【0071】

さらに、3段目の1対の共振器のストリップ導体31aと31bは、ビア32c、32d、およびランド33の組み合わせからなる第2の接続導体34bにより、開放端31az、31bz側が互いに接続されている。

【0072】

ここで、ランド33は、主線路のストリップ導体3とは電氣的に接続していない。図16および図17において、主線路のストリップ導体3には、抜き穴35が設けられている

50

。そして、この抜き穴 3 5 を貫通する形で、上下で対称の構造の 2 枚の共振器のストリップ導体 3 1 a、3 1 b 間が電氣的に接続されている。

【 0 0 7 3 】

図 1 7 においては、ランド 1 3、2 3 d、3 3 のそれぞれと主線路のストリップ導体 3 とが接続されていない状態を示しており、断面図として分断されているこれら主線路のストリップ導体を 3 a ~ 3 d として示している。

【 0 0 7 4 】

本実施の形態 3 の帯域阻止フィルタの動作ならびに効果は、先の実施の形態 2 に記載の帯域阻止フィルタと同様である。しかしながら、本実施の形態 3 の場合、共振器のストリップ導体の開放端の近傍で、主線路の上方の共振器のストリップ導体と下方の共振器のストリップ導体とを第 2 の接続導体で電氣的に接続している。

10

【 0 0 7 5 】

このため、1 対で構成される上方の共振器と下方の共振器とが電氣的に一体となる。したがって、積層ずれ等の製造誤差が生じることで、主線路のストリップ導体と共振器のストリップ導体とをつなぐビアと、共振器のストリップ導体との間の位置関係が変化するなどした場合においても、上方の共振器と下方の共振器とが独立に動作して共振周波数に差異が生じるということがない。

【 0 0 7 6 】

このため、阻止帯域での特性の変動を低減させることができる。すなわち、第 2 の接続導体を用いた接続構成とすることにより、阻止帯域の中心周波数の近傍で大きな減衰量を、製造誤差によらず安定的に得られるという効果がある。

20

【 0 0 7 7 】

以上のように、実施の形態 3 によれば、先の実施の形態 1、2 により得られる効果のほか、以下の効果がある。実施の形態 3 では、共振器のストリップ導体の開放端の近傍で、主線路信号導体の上方と下方にそれぞれ配置した共振器の信号導体とを第 2 の接続導体を用いて電氣的に接続している。これにより、上方の共振器の信号導体と下方の共振器の信号導体とが電氣的に一体となっており、何らかの製造誤差が生じることで構造的対称性が崩れた場合においても、上方の共振器と下方の共振器とが独立に動作して共振周波数に差異が生じるということがなく、阻止帯域での特性の変動を低減される。すなわち、阻止帯域の中心周波数の近傍で大きな減衰量を、製造誤差によらず安定して得られるという効果がある。

30

【 0 0 7 8 】

実施の形態 4 .

図 1 9 は、本発明の実施の形態 4 における帯域阻止フィルタの展開構造図である。図 2 0 は、本発明の実施の形態 4 における帯域阻止フィルタの図 1 9 の A - A ' 断面図である。また、図 2 1 は、本発明の実施の形態 4 における帯域阻止フィルタの図 1 9 の B - B ' 断面図である。

【 0 0 7 9 】

本実施の形態 4 における帯域阻止フィルタは、複数の誘電体層 1 a ~ 1 f、地導体 2 a、2 b、入力端子 I N および出力端子 O U T を有する主線路のストリップ導体 3、共振器のストリップ導体 1 1、2 1 a と 2 1 b、3 1、およびビア 1 2、2 2 a、2 2 b、3 2 を備えている。基本的な構造は、実施の形態 1 ~ 3 に示した帯域阻止フィルタと同様で、共振回路を 3 つ含む 3 段の帯域阻止フィルタである。

40

【 0 0 8 0 】

本実施の形態 4 のフィルタは、入力端子 I N に近い 1 段目の共振器および出力端子 O U T に近い 3 段目の共振器は、先の実施の形態 1 に示したように、1 枚の共振器のストリップ線路の構成を有している。一方、フィルタ回路中央部の 2 段目の共振器は、先の実施の形態 2 に示したように、1 対の共振器のストリップ線路の構成を有している。

【 0 0 8 1 】

すなわち、主線路と共振器との間の結合が比較的疎結合な共振器 ( 1 段目および 3 段目

50

に相当)には、実施の形態1の共振器を用い、逆に、主線路と共振器との間の結合が比較的密結合な共振器(2段目に相当)には、実施の形態2の共振器を用いている。これにより、主線路のストリップ導体と共振器のストリップ導体との間隔を、3つの共振器で同一としたものである。

【0082】

本実施の形態4の短絡手段の動作ならびに効果は、先の実施の形態1~3に記載の帯域阻止フィルタと同様である。さらに、本実施の形態4では、実施の形態1にて説明した主線路の信号導体と共振器の信号導体とで結合線路を構成した結合線路形共振回路、および実施の形態2にて説明した主線路の信号導体とその上下に配置した1対の共振器の信号導体とで結合線路を構成した結合線路形共振回路の双方を用いてフィルタを構成している。

10

【0083】

このように、主線路と共振器との間の所要の結合度にあわせて、異なる構成による結合線路形共振回路を選択使用することにより、結合線路を構成する信号導体間の間隔の寸法を一つの寸法に統一した。この結果、多層基板でフィルタを構成する際に、層数が少なくすみ、製造が容易となるほか、層間接続が減少して、特性変動が低減し、フィルタの歩留まりが向上する効果がある。

【0084】

以上のように、実施の形態4によれば、先の実施の形態1~3により得られる効果のほか、以下の効果がある。実施の形態3では、主線路の信号導体と共振器の信号導体とで結合線路を構成した結合線路形共振回路、および主線路の信号導体とその上下に配置した1対の共振器の信号導体とで結合線路を構成した結合線路形共振回路の双方を用いてフィルタを構成している。これにより、主線路と共振器との間の所要の結合度にあわせて共振器を選択使用することにより、結合線路を構成する信号導体間の間隔を一つの寸法値に統一、あるいは、限られた寸法値のみとすることができる。この場合においては、多層基板等でフィルタを構成する場合に層構成が簡素となり、製造が容易となるほか、複数の層にまたがる接続が減少することにより特性変動が減少し、歩留まりが向上する効果がある。

20

【0085】

なお、上述の実施の形態1~4においては、主線路の信号導体を、複数の誘電体層の所定の1層に設けた場合について説明したが、本発明の帯域阻止フィルタは、これに限定されるものではない。主線路の信号導体を2以上の誘電体層に渡って形成することも可能であり、この場合にも同様の効果を得ることができる。

30

【0086】

また、上述の実施の形態2、3においては、1組の共振器用の信号導体を、主線路の信号導体に関して誘電体層の積層方向に対称な1対の信号導体として構成した場合について説明したが、本発明の帯域阻止フィルタは、これに限定されるものではない。主線路の信号導体の上層に設けられた共振器用の信号導体と、主線路の信号導体の下層に設けられた共振器用の信号導体とは、必ずしも対称である必要はない。例えば、共振器用の信号導体の形状、あるいは、主線路の信号導体との間に挟まれる誘電体層の数が、上層に設けられた共振器用の信号導体と下層に設けられた共振器用の信号導体とで異なって構成された1組の信号導体を用いた場合にも、不要電磁界モードへの結合に関する効果を除いて、対称な1対の信号導体を用いた場合と同様の効果を得ることができる。

40

【0087】

実施の形態5

図22は、本発明の実施の形態5における帯域阻止フィルタの展開構造図である。また、図23は、本発明の実施の形態5における帯域阻止フィルタの図22のA-A'断面図である。さらに、図24は、本発明の実施の形態5における帯域阻止フィルタの図22のB-B'断面図である。

【0088】

本実施の形態5における帯域阻止フィルタは、まず、複数の誘電体層1a~1e、地導体2a、2b、入力端子INおよび出力端子OUTを有する主線路のストリップ導体3を

50

備えている。また、第1導体41と第3導体61を主線路のストリップ導体3と同一の層に備え、第2導体51を主線路のストリップ導体3とは異なる層に備えている。

【0089】

第1導体41と第2導体51との間は、第1共振器内接続導体に相当するビア44にて、第2導体51と第3導体61との間は、第2共振器内接続導体に相当するビア64にて、それぞれ電氣的に接続されている。

【0090】

第1導体41は、その一端が主線路のストリップ導体3と接続される。図22~24における接続位置46(あるいは、この接続位置を示すための破線で示されている部分)は、このような第1導体と主線路のストリップ導体の接続位置を示している。また、第1導体41は、図22あるいは図24に示すように、接続位置46以外の周囲が、主線路のストリップ導体3との間で第1間隙45により隔てられている。

10

【0091】

第2導体51は、主線路のストリップ導体3と幅広面が対向するように配列されることで主線路のストリップ導体3と電磁界結合する。また、第3導体61は、主線路のストリップ導体3とは第2間隙65を隔てて配置され、主線路のストリップ導体3とは直流的に絶縁されている。

【0092】

ここで、第1導体41~第3導体61のそれぞれの回路長手方向の長さの合計は、おおむね1/4波長となっている。すなわち、ビア44、64で接続された第1導体41~第3導体61の3つのストリップ導体は、第3導体61においてビア64で接続された一端と反対側の他端を開放端61zとし、第1導体41の接続位置46にて主線路のストリップ導体3に接続された共振器のストリップ導体を構成することとなる。

20

【0093】

したがって、本実施の形態5の帯域阻止フィルタは、1つの結合線路形共振器からなる1段の帯域阻止フィルタである。なお、ここで、第1導体41は、接続位置46からビア44(第1共振器内接続導体)へと主線路のストリップ導体3の長手方向(出力端子OUTへと向かう方向であり、図22における右方向に相当)に延在している。

【0094】

一方、第3導体61も、ビア64(第2共振器内接続導体)から開放端61zへ向かって主線路のストリップ導体3の長手方向(出力端子OUTへと向かう方向であり、図22における右方向に相当)に延在している。すなわち、接続位置46からビア44へ向かう方向と、ビア64から開放端61zへ向かう方向は、一致している。

30

【0095】

そのほか、第2導体51とビア64の接続位置から開放端61zまでのビア64の長さを含めた電気長は、製造誤差により構造が変化をしても、第2導体51とビア64の接続位置から第2導体51の一方の端部51z(図23参照)までの電気長を下回ることの無いように、各部の寸法は、想定される製造誤差を考慮して選ばれている。

【0096】

本実施の形態5の帯域阻止フィルタに用いられている共振器の共振周波数は、基本的に、主線路のストリップ導体3と第1導体41の接続位置46から、第1導体41、ビア44、第2導体51、ビア64を経由して、第3導体61の開放端61zまでの間の信号伝達経路の長さから定まる。共振周波数では、この信号伝達経路の長さが1/4波長となって共振する。

40

【0097】

図25は、本発明の実施の形態5における帯域阻止フィルタにおいて、第2導体51の位置がフィルタの長手方向に変動した場合の構造の変化を説明する図である。(a)は、第2導体51に製造誤差の無い場合、(b)、(c)は、第2導体51が他の導体に対して、回路パターンの長手方向に、製造誤差により位置ずれを生じた場合を示している。

【0098】

50

( a ) から ( c ) のそれぞれにおいて、信号伝達経路を矢印で示している。導体パターンの位置ずれが生じて、信号伝達経路の長さに変化が生じないことがわかる。また、もし仮に、回路の幅の方向に第 2 導体 5 1 のずれが生じて、信号伝達経路の長さは、大きく変わることはない。従って、この場合も共振周波数の変動は、ほとんど生じない。このため、本実施の形態 5 の構造では、異なる層に配置した導体間で位置ずれが生じて、共振周波数の変動は、小さい。

【 0 0 9 9 】

次に、2 つのビア 4 4、6 4 ( 第 1 共振器内接続導体および第 2 共振器内接続導体 ) の位置が、導体パターンに対して、同一の方向に変化した場合について考察する。まず、ビア 4 4 および 6 4 の位置が主線路のストリップ導体 3 の幅の方向にずれた場合には、接続位置 4 6 から開放端 6 1 z までの信号伝達経路の長さにはほとんど変化を生じない。従って、共振周波数は、殆ど変動しない。

10

【 0 1 0 0 】

次に、図 2 6 は、本発明の実施の形態 5 における帯域阻止フィルタにおいて、第 1 共振器内接続導体および第 2 共振器内接続導体 ( 2 つのビア 4 4、6 4 ) の位置が導体パターンに対してフィルタの長手の同一方向に変動した場合の構造の変化を説明する図である。図 2 6 の ( b ) は、2 つのビアが導体パターンに対して図の左方向にずれたときの構造と信号伝達経路を示している。このとき、第 2 導体 5 1 上の信号伝達経路の経路長は、変化しない。

【 0 1 0 1 】

20

一方、接続位置 4 6 からビア 4 4 までの経路の長さは、短縮し、かつ、ビア 6 4 から開放端 6 1 z までの経路長は長くなるが、両者の変化量は相殺される形となる。このため、トータルの信号伝達経路の長さには殆ど変化を生じることが無く、共振周波数の変動が抑えられる。

【 0 1 0 2 】

また、図 2 6 の ( c ) は、2 つのビアが導体パターンに対して右方向にずれたときの構造と信号伝達経路を示している。( c ) の場合にも、( b ) の場合とは逆方向に経路長が変化をする点異なるのみで、やはりトータルの信号伝達経路の長さには殆ど変化が無く、共振周波数の変動は小さくなる。

【 0 1 0 3 】

30

このように、本実施の形態 5 の構造は、異なる層に配置した導体間を接続する 2 つのビア 4 4、6 4 が導体パターンに対して同じ方向に位置ずれを生じて共振周波数の変動が小さい。

【 0 1 0 4 】

次に、ビア 4 4 と 6 4 の位置が、それぞれ異なる方向に変化した場合について考察する。2 つのビア 4 4、6 4 の位置 ( 座標 ) が主線路のストリップ導体 3 の幅方向でそれぞれ異なる方向に誤差を持った場合、ビア 4 4 と 6 4 を直線で結んだ距離、すなわち、第 2 導体 5 1 上の信号伝達経路の長さに変化が生じる。しかし、ビア 4 4 と 6 4 の回路長手方向の間隔に対して製造誤差によるビア位置の変化量が十分小さい場合には、経路長の変化は無視できる。

40

【 0 1 0 5 】

図 2 7 は、本発明の実施の形態 5 における帯域阻止フィルタにおいて、第 1 共振器内接続導体および第 2 共振器内接続導体 ( 2 つのビア 4 4、6 4 ) の位置が導体パターンに対してフィルタの長手の互いに異なる方向に変動した場合の構造の変化を説明する図である。( b ) は、2 つのビア 4 4、6 4 の回路長手方向の間隔が広がった場合であり、( c ) は、逆に狭まった場合である。

【 0 1 0 6 】

いずれも、接続位置 4 6 からビア 4 4 までの第 1 導体 4 1 上の経路長とビア 6 4 から開放端 6 1 z までの第 3 導体 6 1 上の経路長のそれぞれの変化の方向と、ビア 4 4 からビア 6 4 までの第 2 導体 5 1 上の経路長の変化の方向とが逆方向となり、経路長の変化を相殺

50

する関係にあることがわかる。

【0107】

このように、本実施の形態5の構造には、異なる層に配置した導体間を接続するビアが2つあるが、これらの2つのビアが異なる方向にずれを生じた場合にも、共振周波数の変動が小さい。

【0108】

以上のように、実施の形態5によれば、多層の構造を活用して、異なる誘電体層に導体パターンを配置して構成される結合線路形共振器を用いたフィルタにおいて、異なる層に配置された導体パターン間の相対的な位置のずれや、導体パターンに対するビア位置のずれに対して、共振周波数の変動が小さく、製造歩留まりのよいフィルタが得られるという効果がある。

10

【0109】

なお、本実施の形態5では、説明を簡単にするため、共振器を一つのみ用いた1段のフィルタを例に挙げて説明したが、このような共振器を複数個縦続接続して多段のフィルタを構成しても、上記に記載した効果を同様に得られる。また、多段の回路とした場合には、先の実施の形態1で説明したような効果が併せて得られることは言うまでも無い。

【0110】

このような多段のフィルタを構成した場合には、第1導体41と第3導体61は、主線路のストリップ導体3と同一の層であり、かつ主線路のストリップ導体3の長手方向に複数個設けられることとなる。すなわち、複数個からなる第1導体41と第3導体61は、主線路のストリップ導体3の長手方向の一部にそれぞれ設けられることとなる。

20

【0111】

実施の形態6 .

図28は、本発明の実施の形態6における帯域阻止フィルタの展開構造図である。また、図29は、本発明の実施の形態6における帯域阻止フィルタの図28のA-A'断面図である。また、図30は、本発明の実施の形態6における帯域阻止フィルタの図28のB-B'断面図である。さらに、図31は、本発明の実施の形態6における帯域阻止フィルタの図28のC-C'断面図である。

【0112】

本実施の形態6の帯域阻止フィルタの構造は、先の実施の形態5の帯域阻止フィルタと基本的に類似しているが、第2導体の構成が異なる。より具体的には、本実施の形態6における第2導体は、主線路のストリップ導体3の上方の誘電体層に配置された第2導体51aと、下方の誘電体層に配置された第2導体51bとの1対で構成されている。いずれも、第1導体41とは第1共振器内接続導体に相当するビア44aと44bにて接続され、第3導体61とは第2共振器内接続導体に相当するビア64aと64bにて接続されている。

30

【0113】

さらに、図28、29で示した構成においては、1対で構成される第2導体51aと第2導体51bは、主線路のストリップ導体3に関して対称な構造となる場合を例示している。すなわち、本実施の形態6のフィルタは、先の実施の形態2に示した帯域阻止フィルタの共振器のストリップ導体の構成を、先の実施の形態5で示したような3つの導体に分けた場合に適用した構造となっている。

40

【0114】

ここでは、構造の説明を容易にするため、共振器を一つのみ用いた1段の帯域阻止フィルタをとりあげているが、同様な共振器を複数個縦属接続して多段のフィルタを構成した場合には、先の実施の形態2に示した帯域阻止フィルタと同様な特徴と効果を持った帯域阻止フィルタを、歩留まりよく製造できることになる。また、複数組の共振器用の信号導体の少なくとも1つの第2導体51を、図28で示したような1対の構造とすることもできる。

【0115】

50



以上のように、実施の形態 6 によれば、先の実施の形態 5 における帯域阻止フィルタと基本的に同様で、導体パターン間の位置ずれや、異なる層に配置された導体パターン同士を接続するビアの位置がずれた場合にも、共振周波数の変動が小さいという効果が得られる。

【 0 1 1 6 】

さらに、第 2 導体が主線路のストリップ導体 3 の上と下の 2 枚 ( 1 対 ) から構成されるが、2 枚とも、端部において、同一の第 3 導体に接続される構造となっている。このため、1 対で構成される上方の第 2 導体 5 1 a と下方の第 2 導体 5 1 b とが電氣的に一体の動作をする。すなわち、先の実施の形態 3 に示した帯域阻止フィルタと同様な効果を持つ帯域阻止フィルタを、さらに、歩留まりよく製造できることになる。

10

【 0 1 1 7 】

なお、本実施の形態 6 では、説明を簡単にするため、共振器を一つのみ用いた 1 段のフィルタを例に挙げて説明したが、このような共振器を複数個縦続接続して多段のフィルタを構成しても上記に記載した効果を同様に得られる。また、多段の回路とした場合には、先の実施の形態 2 で説明したような効果が併せて得られることは言うまでも無い。

【 0 1 1 8 】

実施の形態 7 .

図 3 2 は、本発明の実施の形態 7 における帯域阻止フィルタの展開構造図である。また、図 3 3 は、本発明の実施の形態 7 における帯域阻止フィルタの図 3 2 の A - A ' 断面図である。また、図 3 4 は、本発明の実施の形態 7 における帯域阻止フィルタの図 3 2 の B - B ' 断面図である。さらに、図 3 5 は、本発明の実施の形態 7 における帯域阻止フィルタにおいて共振器ストリップ導体上を流れる電流の主たる経路を説明する図である。

20

【 0 1 1 9 】

本実施の形態 7 における帯域阻止フィルタは、基本的に、先の実施の形態 5 の帯域阻止フィルタと同様な構造を有するが、第 1 導体 4 1 と第 3 導体 6 1 の延在する方向が異なっている。より具体的には、第 1 導体 4 1 は、接続位置 4 6 からビア 4 4 ( 第 1 共振器内接続導体 ) へと主線路のストリップ導体 3 の長手方向 ( 入力端子 I N へと向かう方向であり、図 3 2 における左方向に相当 ) へ延在している。

【 0 1 2 0 】

一方、第 3 導体 6 1 も、ビア 6 4 ( 第 2 共振器内接続導体 ) から開放端 6 1 z へ向かって主線路のストリップ導体 3 の長手方向 ( 入力端子 I N へと向かう方向であり、図 3 2 における左方向に相当 ) に延在している。すなわち、接続位置 4 6 からビア 4 4 へ向かう方向と、ビア 6 4 から開放端 6 1 z へ向かう方向は、一致しており、この点は、先の実施の形態 5、6 の帯域阻止フィルタと同様である。ただし、先の実施の形態 5、6 と比較すると、延在している方向が逆方向になっている点が異なっている。

30

【 0 1 2 1 】

図 3 6 は、本発明の実施の形態 7 における帯域阻止フィルタにおいて、第 2 導体 5 1 の位置がフィルタの長手方向に変動した場合の構造の変化を説明する図である。図 3 6 に示すように、先の実施の形態 5 に示した帯域阻止フィルタと同様に、異なる層に設けられた導体パターン間で位置のずれが生じて、接続位置 4 6 から開放端 6 1 z までの信号伝達経路の経路長の変化が少ないため、共振周波数の変動は、少ない。

40

【 0 1 2 2 】

次に、図 3 7 は、本発明の実施の形態 7 における帯域阻止フィルタにおいて、第 1 共振器内接続導体および第 2 共振器内接続導体 ( 2 つのビア 4 4、6 4 ) の位置が導体パターンに対してフィルタの長手の同一方向に変動した場合の構造の変化を説明する図である。上述したように、本実施の形態 7 における帯域阻止フィルタは、第 1 導体 4 1 が主線路のストリップ導体 3 との接続位置 4 6 からビア 4 4 へと向かって延在する方向と、第 3 導体 6 1 がビア 6 4 から開放端 6 1 z へと延在する方向とが一致している。このため、図 3 7 に示すように、2 つのビア 4 4 および 6 4 が同一の方向に、導体パターンに対して位置のずれを生じて、やはり、信号伝達経路の経路長の変化は少ない。

50

## 【 0 1 2 3 】

ただし、2つのビア44と64の間隔（主線路のストリップ導体3の長手の方向の間隔）が製造誤差等によってばらついた場合には、経路長の変化が大きくなり、共振周波数の変動が大きくなる。

## 【 0 1 2 4 】

しかし、本実施の形態7のフィルタでは、第1導体41と第3導体61が、第2導体51と重なるように配置されているため、回路の長手の寸法が小さくてすむ。したがって、2つのビア44と64の間隔が基本的に大きくばらつくことのない基板材料や製造方法を用いている場合であれば、本実施の形態7の共振器を用いた帯域阻止フィルタは、回路がコンパクトになるという効果を呈する。

10

## 【 0 1 2 5 】

以上のように、実施の形態7によれば、第1導体および第3導体の延在する方向を、先の実施の形態5とは逆方向にした場合にも、先の実施の形態5と同様の効果を得ることができる。さらに、回路がコンパクトになるという効果も得ることができ、本効果は、複数個の共振器を縦続接続して構成される多段の帯域阻止フィルタの場合に特に有効である。

## 【 0 1 2 6 】

なお、本実施の形態7では、説明を簡単にするため、共振器を一つのみ用いた1段のフィルタを例に挙げて説明したが、このような共振器を複数個縦続接続して多段のフィルタを構成しても上記に記載した効果を同様に得られる。また、多段の回路とした場合には、先の実施の形態1あるいは2で説明したような効果が併せて得られることは言うまでも無い。

20

## 【 図面の簡単な説明 】

## 【 0 1 2 7 】

【 図 1 】 本発明の実施の形態1における帯域阻止フィルタの展開構造図である。

【 図 2 】 本発明の実施の形態1における帯域阻止フィルタの図1のA - A'断面図である。

【 図 3 】 本発明の実施の形態1における帯域阻止フィルタの図1のB - B'断面図である。

【 図 4 】 本発明の実施の形態1における3段フィルタの等価回路である。

【 図 5 】 本発明の実施の形態1における各段のフィルタの等価性を示した図である。

30

【 図 6 】 本発明の実施の形態1における3段フィルタの別の等価回路である。

【 図 7 】 本発明の実施の形態1における図4の回路から計算された帯域阻止フィルタの反射特性ならびに通過特性を示した図である。

【 図 8 】 特許文献1の構成を有するフィルタの等価回路を示す図である。

【 図 9 】 本発明の実施の形態1における3種類の等価回路の説明図である。

【 図 10 】 本発明の実施の形態1のフィルタにおける電磁界結合の作用を説明する図である。

【 図 11 】 本発明の実施の形態1のフィルタにおける阻止帯域幅と結合線路結合係数の関係を示した図である。

【 図 12 】 電磁界解析ソフトで計算した本実施の形態1のフィルタの周波数特性の一例を示す図である。

40

【 図 13 】 本発明の実施の形態2における帯域阻止フィルタの展開構造図である。

【 図 14 】 本発明の実施の形態2における帯域阻止フィルタの図13のA - A'断面図である。

【 図 15 】 本発明の実施の形態2における帯域阻止フィルタの図13のB - B'断面図である。

【 図 16 】 本発明の実施の形態3における帯域阻止フィルタの展開構造図である。

【 図 17 】 本発明の実施の形態3における帯域阻止フィルタの図16のA - A'断面図である。

【 図 18 】 本発明の実施の形態3における帯域阻止フィルタの図16のB - B'断面図である。

50

ある。

【図19】本発明の実施の形態4における帯域阻止フィルタの展開構造図である。

【図20】本発明の実施の形態4における帯域阻止フィルタの図19のA-A'断面図である。

【図21】本発明の実施の形態4における帯域阻止フィルタの図19のB-B'断面図である。

【図22】本発明の実施の形態5における帯域阻止フィルタの展開構造図である。

【図23】本発明の実施の形態5における帯域阻止フィルタの図22のA-A'断面図である。

【図24】本発明の実施の形態5における帯域阻止フィルタの図22のB-B'断面図である。

10

【図25】本発明の実施の形態5における帯域阻止フィルタにおいて、第2導体の位置がフィルタの長手方向に変動した場合の構造の変化を説明する図である。

【図26】本発明の実施の形態5における帯域阻止フィルタにおいて、第1共振器内接続導体および第2共振器内接続導体の位置が導体パターンに対してフィルタの長手の同一方向に変動した場合の構造の変化を説明する図である。

【図27】本発明の実施の形態5における帯域阻止フィルタにおいて、第1共振器内接続導体および第2共振器内接続導体の位置が導体パターンに対してフィルタの長手の互いに異なる方向に変動した場合の構造の変化を説明する図である。

【図28】本発明の実施の形態6における帯域阻止フィルタの展開構造図である。

20

【図29】本発明の実施の形態6における帯域阻止フィルタの図28のA-A'断面図である。

【図30】本発明の実施の形態6における帯域阻止フィルタの図28のB-B'断面図である。

【図31】本発明の実施の形態6における帯域阻止フィルタの図28のC-C'断面図である。

【図32】本発明の実施の形態7における帯域阻止フィルタの展開構造図である。

【図33】本発明の実施の形態7における帯域阻止フィルタの図32のA-A'断面図である。

【図34】本発明の実施の形態7における帯域阻止フィルタの図32のB-B'断面図である。

30

【図35】本発明の実施の形態7における帯域阻止フィルタにおいて共振器ストリップ導体上を流れる電流の主たる経路を説明する図である。

【図36】本発明の実施の形態7における帯域阻止フィルタにおいて、第2導体の位置がフィルタの長手方向に変動した場合の構造の変化を説明する図である。

【図37】本発明の実施の形態7における帯域阻止フィルタにおいて、第1共振器内接続導体および第2共振器内接続導体(2つのビア44、64)の位置が導体パターンに対してフィルタの長手の同一方向に変動した場合の構造の変化を説明する図である。

【図38】電磁界結合を用いた従来の帯域阻止フィルタの模式図である。

【図39】従来の帯域阻止フィルタの周波数特性の変化を示した図である。

40

【符号の説明】

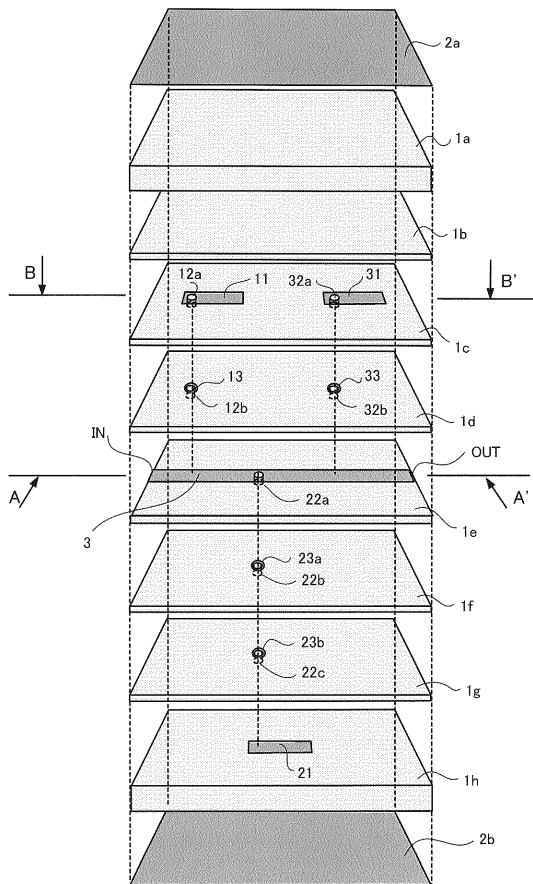
【0128】

1a~1h 誘電体層、2a、2b 地導体、3、3a~3d 主線路のストリップ導体(主線路の信号導体)、11、11a、11b 共振器のストリップ導体(共振器用の信号導体)、11z 開放端、12、12a~12d ビア、13 ランド、14a 第1の接続導体、14b 第2の接続導体、15 抜き穴、21、21a、21b 共振器のストリップ導体(共振器用の信号導体)、21z 開放端、22、22a~22h ビア、23、23a~23e ランド、24a 第1の接続導体、24b 第2の接続導体、25 抜き穴、31、31a、31b 共振器のストリップ導体(共振器用の信号導体)、31z 開放端、32、32a~32d ビア、33 ランド、34a 第1の接続導

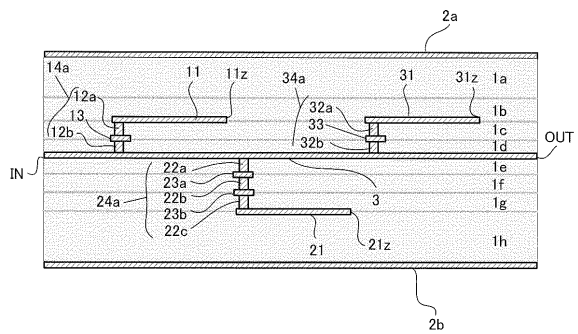
50

体、34b 第2の接続導体、35 抜き穴、41、41a、41b 第1導体、44、44a、44b 第1共振器内接続導体(ビア)、45 第1間隙(主線路のストリップ導体と第1導体の間の間隙)、46 第1導体と主線路のストリップ導体の接続位置あるいは、接続位置を示す破線、51、51a、51b 第2導体、51z、51az、51bz 第2導体の一側の端部(第3導体側の端部)、61、61a、61b 第3導体、61z、61az、61bz 第3導体における開放端、64、64a、64b 第2共振器内接続導体(ビア)、65 第2間隙(主線路のストリップ導体と第3導体の間の間隙)、IN 入力端子、OUT 出力端子。

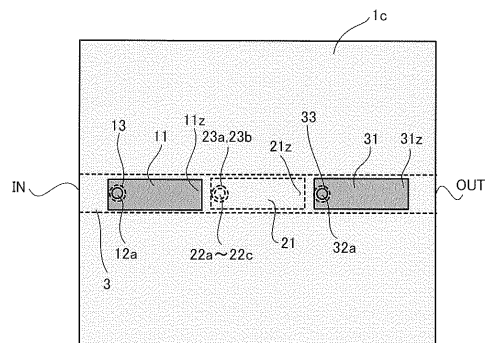
【図1】



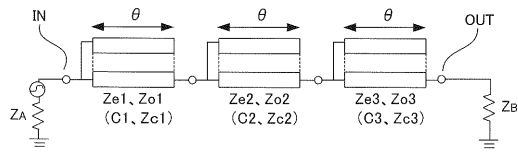
【図2】



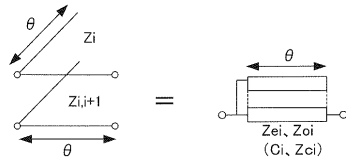
【図3】



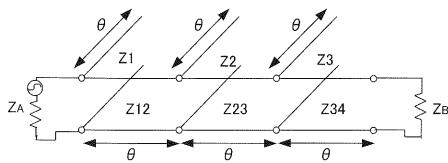
【図4】



【図5】



【図6】

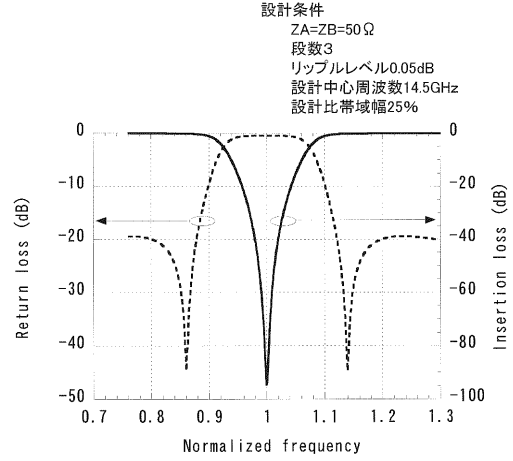


【図9】

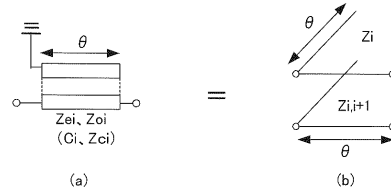
3種類の回路の結合手段

回路			
結合手段	直接的回路結合のみ	電磁界結合のみ	直接的回路結合 + 電磁界結合

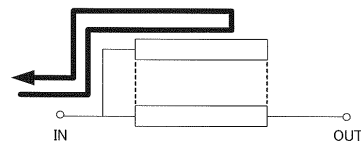
【図7】



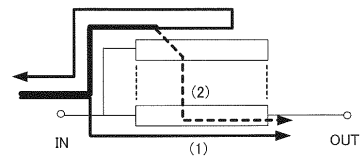
【図8】



【図10】



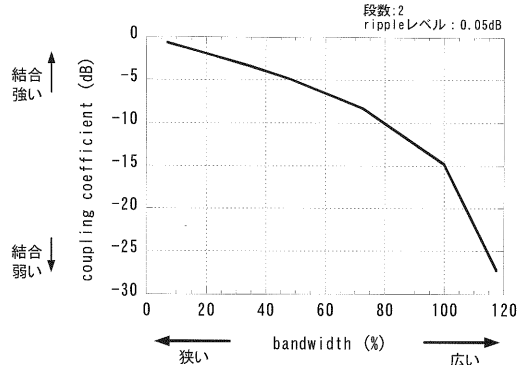
(a)  $f=f_0$



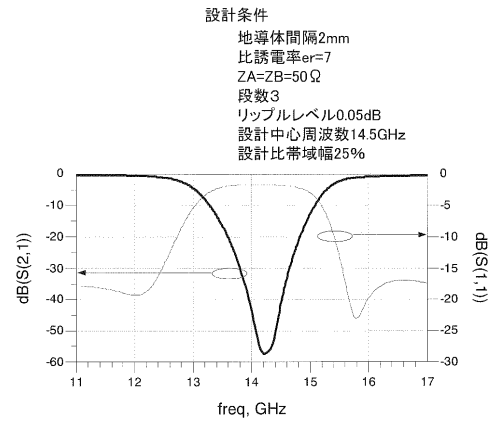
(1)直接的回路結合による出力側への伝達  
 (2)電磁界結合による出力側への伝達

(b)  $f \neq f_0$

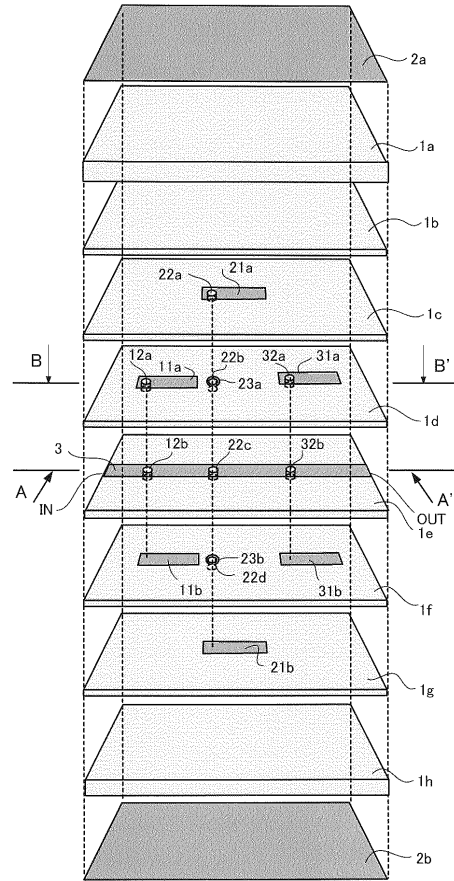
【図11】



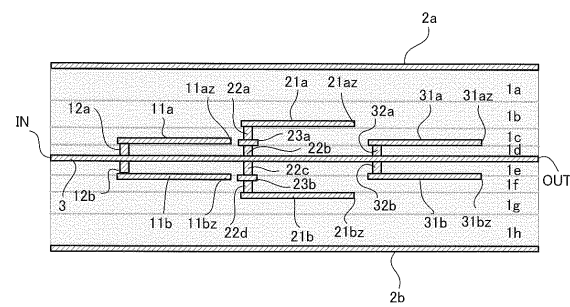
【図12】



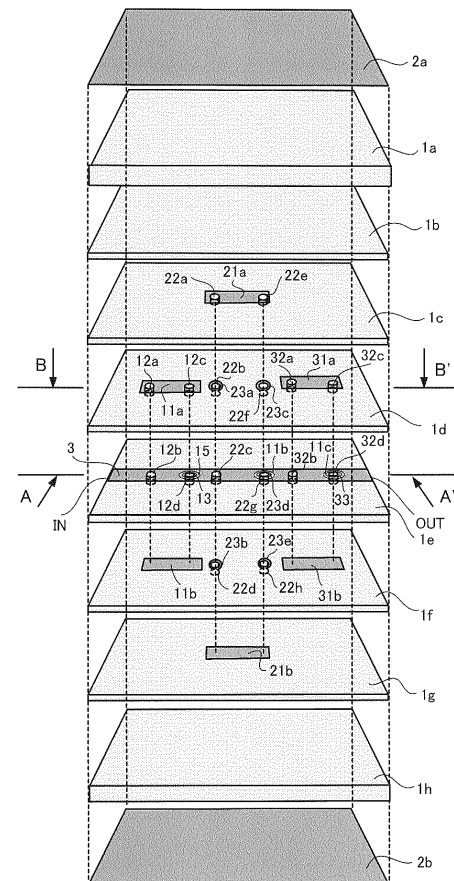
【図13】



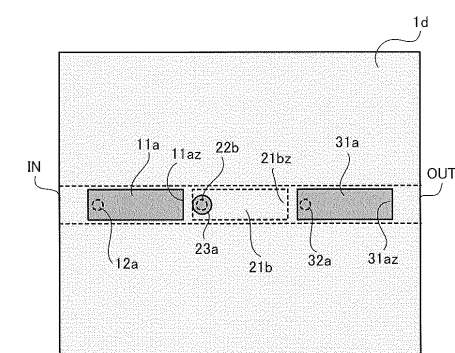
【図14】



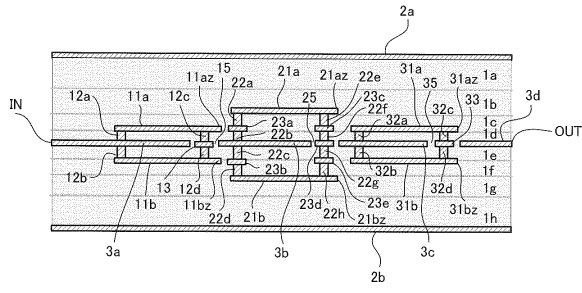
【図16】



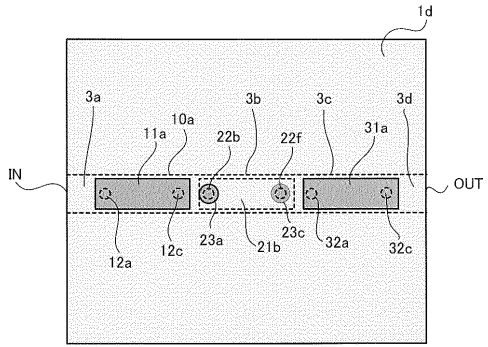
【図15】



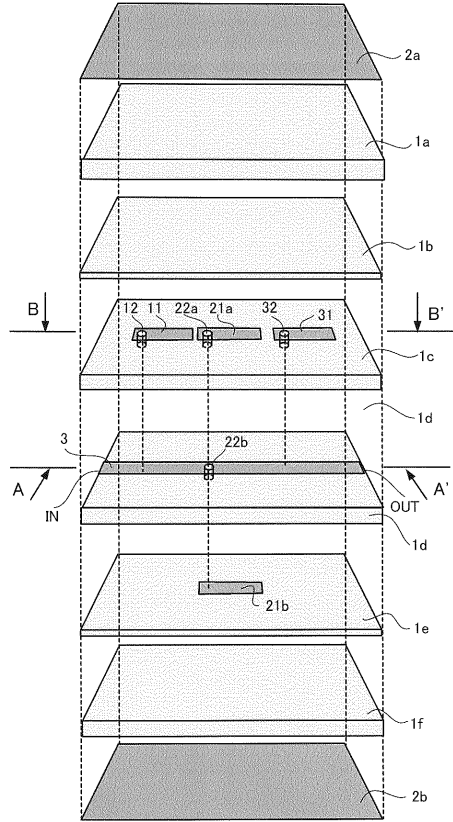
【図17】



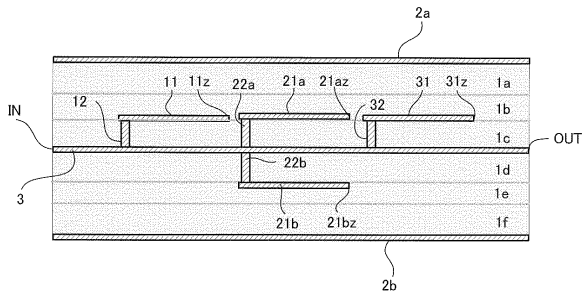
【図18】



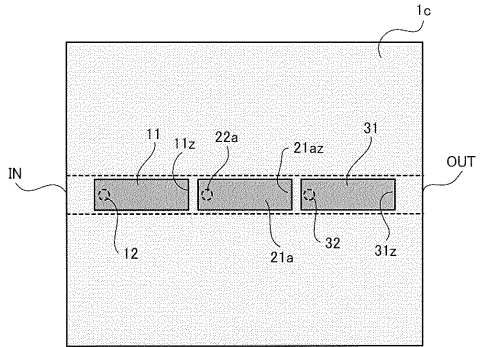
【図19】



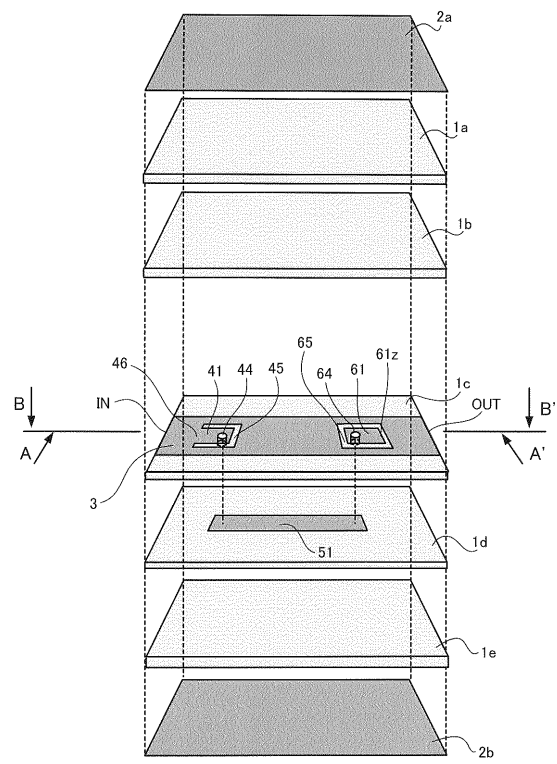
【図20】



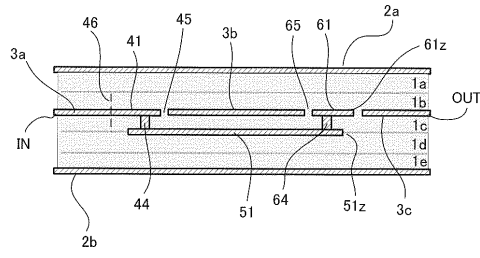
【図21】



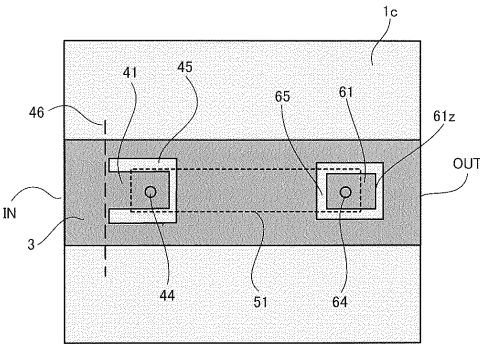
【図22】



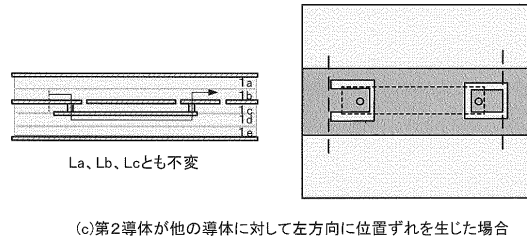
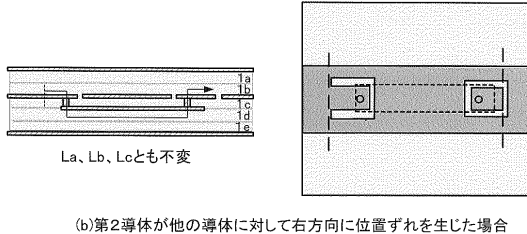
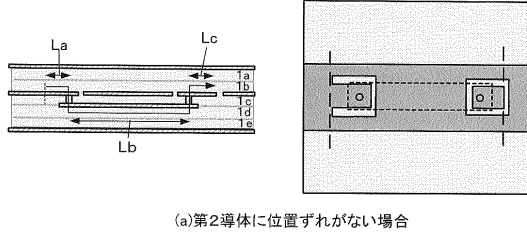
【図23】



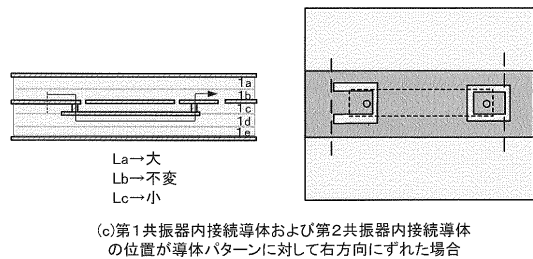
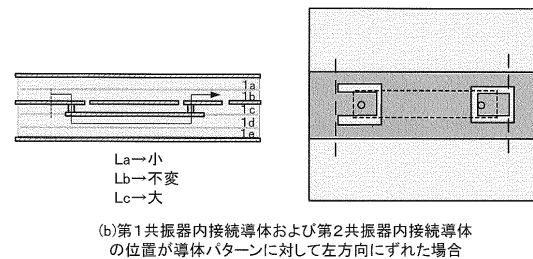
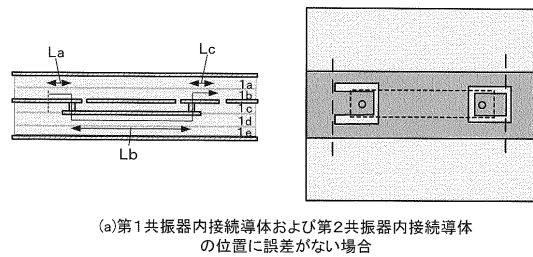
【図24】



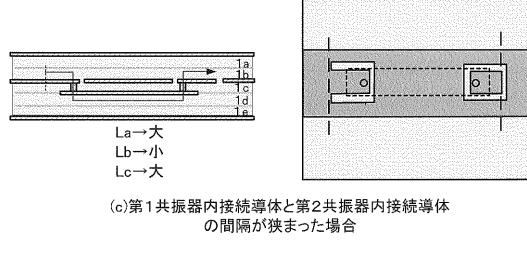
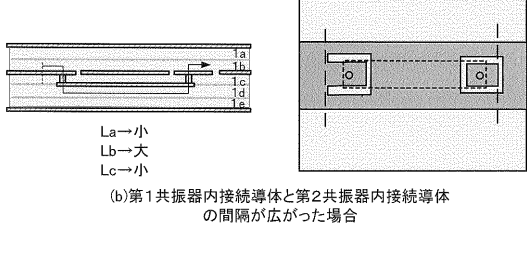
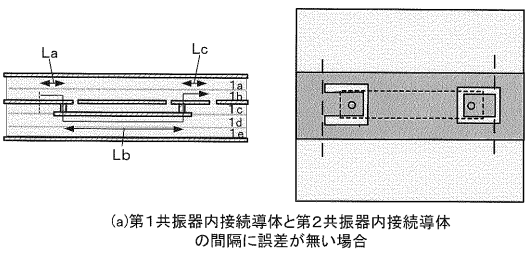
【図25】



【図26】

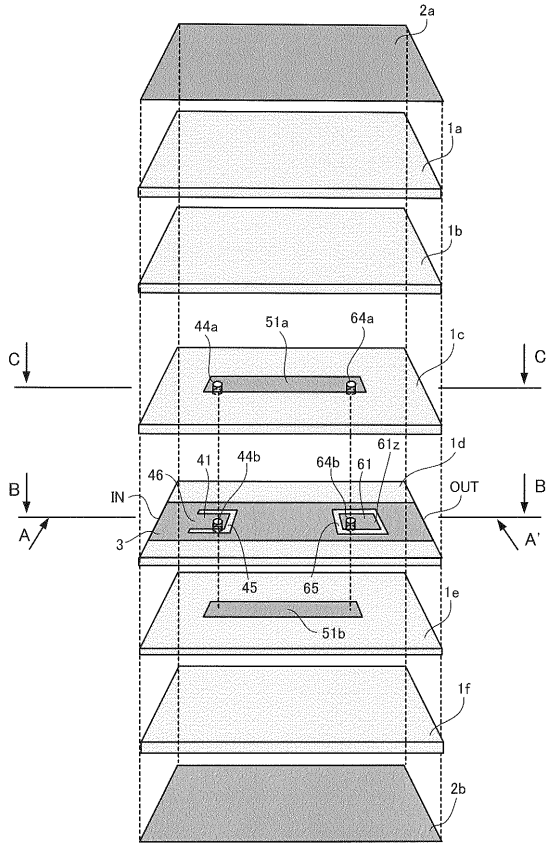


【図27】

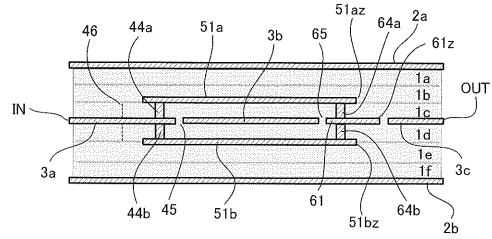




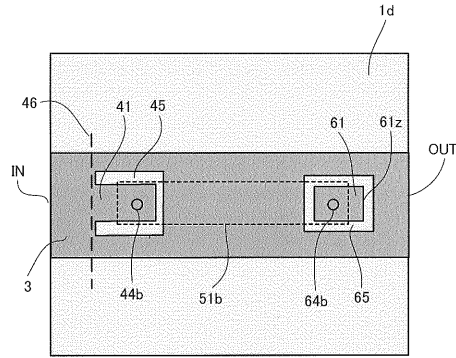
【図 28】



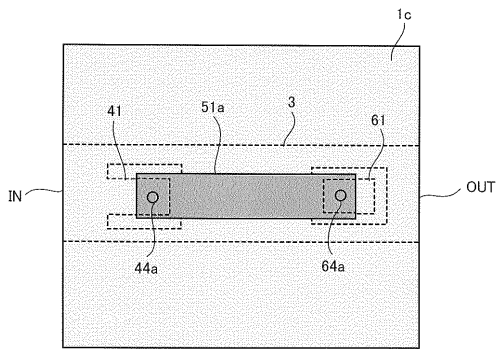
【図 29】



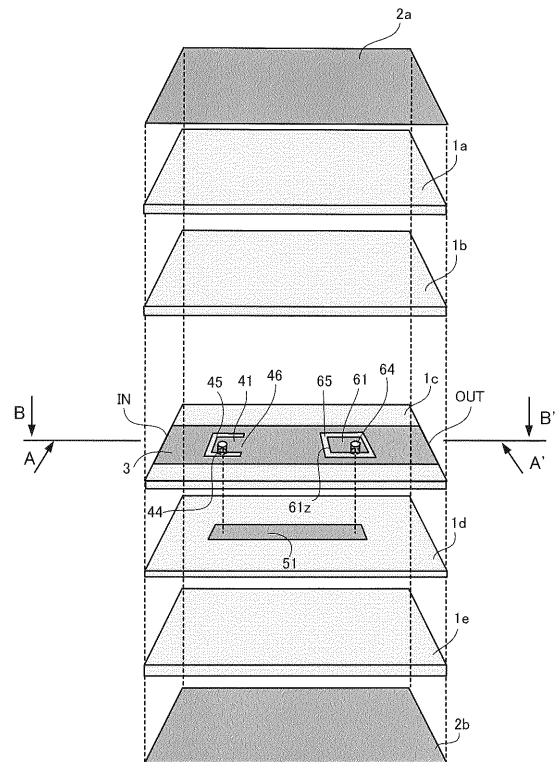
【図 30】



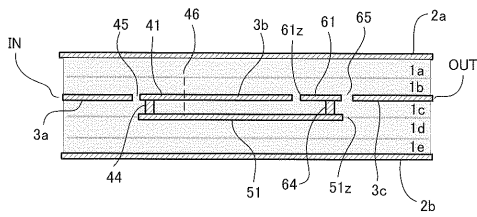
【図 31】



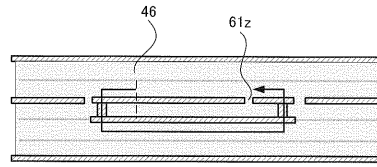
【図 32】



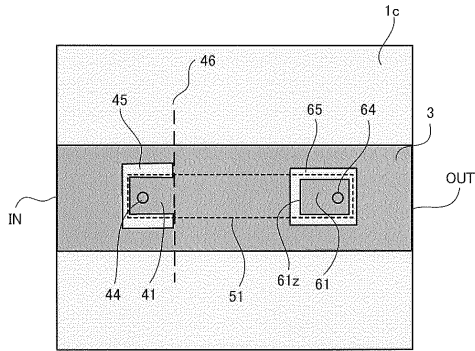
【図33】



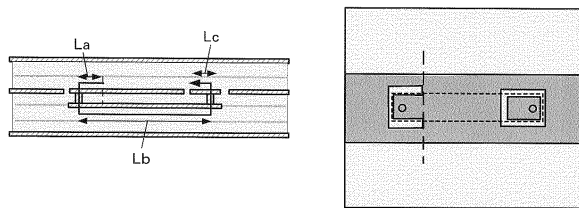
【図35】



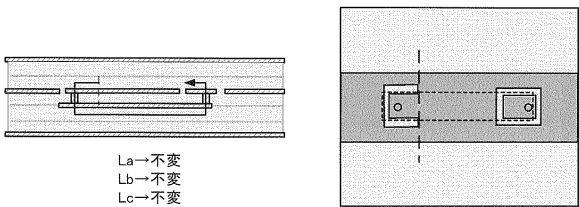
【図34】



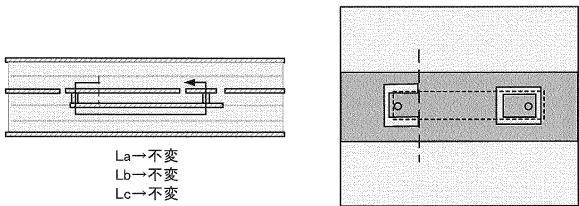
【図36】



(a)第2導体に位置ずれがない場合

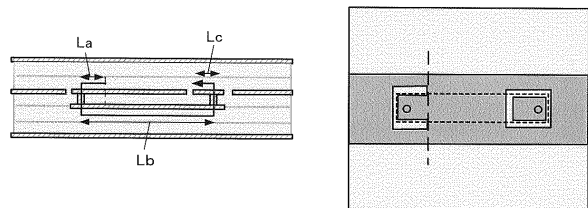


(b)第2導体が他の導体に対して左方向に位置ずれを生じた場合

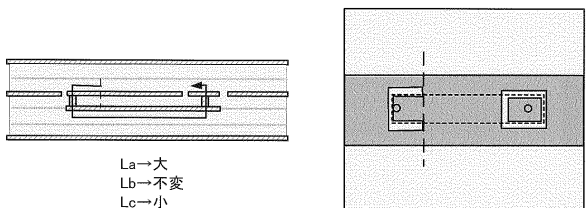


(c)第2導体が他の導体に対して右方向に位置ずれを生じた場合

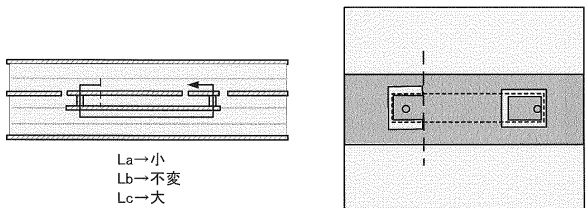
【図37】



(a)第1共振器内接続導体および第2共振器内接続導体の位置に誤差がない場合

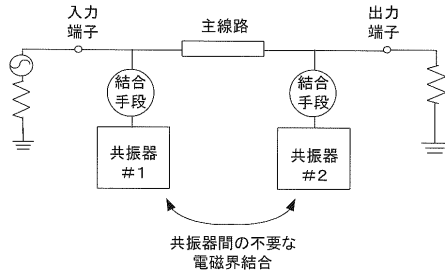


(b)第1共振器内接続導体および第2共振器内接続導体の位置が導体パターンに対して左方向にずれた場合

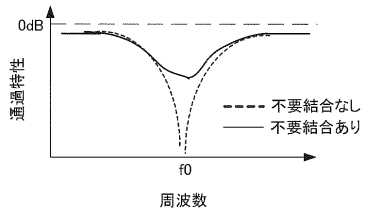


(c)第1共振器内接続導体および第2共振器内接続導体の位置が導体パターンに対して右方向にずれた場合

【図 38】



【図 39】



## フロントページの続き

- (72)発明者 大和田 哲  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 大橋 英征  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 森本 卓男  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 山本 敦士  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 池松 寛  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 吉村 美香

- (56)参考文献 特開平03-198402(JP,A)  
特開2004-140210(JP,A)  
特開2002-171103(JP,A)  
特開2000-091806(JP,A)  
実開平01-042601(JP,U)  
特許第2800323(JP,B2)  
特開2006-273792(JP,A)  
特開平10-215102(JP,A)  
特開平05-152802(JP,A)  
特開平02-131602(JP,A)  
特開平02-131601(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01P 1/203  
H01P 1/209