



# (12)发明专利申请

(10)申请公布号 CN 107768353 A

(43)申请公布日 2018.03.06

(21)申请号 201710965103.5

(22)申请日 2017.10.17

(71)申请人 华天科技(昆山)电子有限公司

地址 215300 江苏省苏州市昆山市经济开发  
区龙腾路112号

(72)发明人 于大全

(74)专利代理机构 苏州国诚专利代理有限公司

32293

代理人 韩凤

(51) Int. Cl.

H01L 25/065(2006.01)

H01L 23/528(2006.01)

H01L 23/488(2006.01)

H01L 21/50(2006.01)

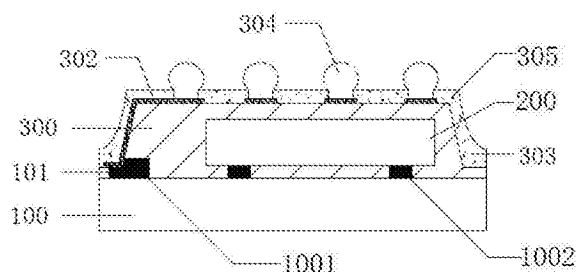
权利要求书2页 说明书6页 附图6页

(54)发明名称

堆叠封装结构及其制作方法

(57)摘要

本发明提供一种堆叠封装结构及其制作方法,其中,所述堆叠封装结构包括自下而上依次设置的:第一芯片、第二芯片、塑封层、金属布线层以及制作于所述金属布线层上的导出点,所述塑封层完全包覆所述第二芯片。本发明解决了尺寸相差较小的多芯片堆叠封装问题;其凸点制作工艺简单,成本低;且不需要平坦化工艺露金属柱来实现互连,实现了成本进一步降低;且凸点均一性好。



1. 一种堆叠封装结构,其特征在于,所述堆叠封装结构包括自下而上依次设置的:第一芯片、第二芯片、塑封层、金属布线层以及制作于所述金属布线层上的导出点,所述塑封层完全包覆所述第二芯片。

2. 根据权利要求1所述的堆叠封装结构,其特征在于,所述第一芯片具有功能面,所述功能面上设置有第一凸点,所述功能面上未设置有所述第一凸点的区域设置有第二凸点,所述第一凸点形成所述第一芯片的引出端,所述金属布线层与所述第一凸点相连接,所述第二芯片通过所述第二凸点与所述第一芯片相连接。

3. 根据权利要求2所述的堆叠封装结构,其特征在于,所述第一凸点的高度不大于50 $\mu$ m。

4. 根据权利要求1所述的堆叠封装结构,其特征在于,所述第一凸点直接设置于焊垫上,或者设置于对焊垫电性进行重新排布的金属互连线路路上。

5. 根据权利要求1所述的堆叠封装结构,其特征在于,所述第二凸点的周围还填充有胶水。

6. 根据权利要求1所述的堆叠封装结构,其特征在于,在所述金属布线层上还设置有保护层,所述保护层上设置有开口,所述导出点自所述开口暴露而出。

7. 一种如权利要求1至6任一项是堆叠封装结构的制作方法,其特征在于,所述制作方法包括如下步骤:

S1、提供一晶圆,晶圆包含若干第一芯片晶粒,在各晶粒功能面上制作第一凸点;

S2、提供具有第二凸点的第二芯片,将所述第二芯片通过其第二凸点设置于晶粒功能面上未设置第一凸点的区域,任一晶粒对应一第二芯片;

S3、对所述功能面上的第二芯片进行塑封,形成塑封层,并对所述塑封层进行减薄;

S4、在所述塑封层上进行开口,以暴露出所述第一芯片的第一凸点;

S5、在所述开口以及塑封层的表面上制作金属布线层,所述开口中的金属布线层与暴露出的第一凸点相连接;

S6、在所述金属布线层上制作导出点。

8. 根据权利要求7所述的堆叠封装结构的制作方法,其特征在于,所述步骤S2还包括:将所述第二芯片倒装地设置于所述功能面上未设置第一凸点的区域,并将所述第二芯片与所述功能面上的金属互连线路路相连接。

9. 根据权利要求7所述的堆叠封装结构的制作方法,其特征在于,开设的开口暴露出所述第一凸点的表面或者切面。

10. 根据权利要求7所述的堆叠封装结构的制作方法,其特征在于,所述堆叠封装结构的制作方法还包括:对所述第一芯片的背面进行减薄处理,该步骤介于步骤S3和步骤S4之间。

11. 根据权利要求10所述的堆叠封装结构的制作方法,其特征在于,在减薄后的第一芯片的背面临时键合一载板。

12. 根据权利要求7所述的堆叠封装结构的制作方法,其特征在于,对得到的封装体进行切割,得到单颗封装体。

13. 一种堆叠封装结构,其特征在于,所述堆叠封装结构包括自下而上依次设置的:第一芯片、第二芯片、塑封层、金属布线层以及制作于所述金属布线层上的导出点,所述第二

芯片的背面或者切面自所述塑封层暴露而出。

14. 一种如权利要求13所述的堆叠封装结构的制作方法,其特征在于,所述制作方法包括如下步骤:

S1'、提供一晶圆,晶圆包含若干第一芯片晶粒,在各晶粒功能面上制作第一凸点;

S2'、提供具有第二凸点的第二芯片,将所述第二芯片通过其第二凸点设置于晶粒功能面上未设置第一凸点的区域,任一晶粒对应一第二芯片;

S3'、对所述功能面上的第二芯片进行塑封,形成塑封层,并对所述塑封层进行减薄,并暴露出所述第二芯片的背面或者切面;

S4'、在所述塑封层上进行开口,以暴露出所述晶圆的所述第一凸点;

S5'、在所述开口以及第二芯片的背面或者切面上制作金属布线层,所述开口中的金属布线层与暴露出的第一凸点相连接;

S6'、在所述金属布线层上制作导出点。

15. 一种堆叠封装结构,包括第一芯片,和堆叠其上的第二芯片,其特征在于,堆叠区域外的第一芯片表面制备有若干第一凸点,塑封层至少包裹第一凸点及第二芯片侧壁,并在第一凸点上留有开口,开口内铺金属层,该金属层延伸至塑封层并覆盖开口上沿,导出点形成于金属层上,填充并覆盖开口。

## 堆叠封装结构及其制作方法

### 技术领域

[0001] 本发明涉及半导体技术领域,尤其涉及一种堆叠封装结构及其制作方法。

### 背景技术

[0002] 微机电系统(Micro-Electro-Mechanical System, MEMS)芯片与互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)堆叠封装,惯常采用大尺寸芯片(如CMOS芯片)上堆叠小尺寸芯片(如MEMS芯片),同时在大尺寸芯片空余区域长凸点,凸点高于小尺寸芯片,最后通过凸点倒装到PCB板上。

[0003] 如图1所示,若CMOS芯片10与MEMS芯片20尺寸相差不大,CMOS芯片上平行MEMS芯片的空间不足,将无法完成凸点制作。

[0004] 如图2所示,若采用TMV的方式,在垂直通孔中电镀金属,形成导电柱,将CMOS芯片10的电性引至MEMS芯片20的背面,再进行布线,做凸点。

[0005] 然而,该方案在通孔中填充不低于MEMS芯片堆叠高度的金属柱(大于100 $\mu\text{m}$ ),成本高,工艺难度大,并且金属柱高度均一性无法保证。且金属柱形成后,还需要平坦化露出金属柱,导致成本进一步增加。

[0006] 因此,对于尺寸相差不大的芯片堆叠封装,急需一种新的解决方案。

### 发明内容

[0007] 本发明旨在提供一种堆叠封装结构及其制作方法,以克服现有技术中第一芯片上堆叠尺寸相差不大的第二芯片的封装技术存在的不足。

[0008] 为解决上述技术问题,本发明的技术方案是:

[0009] 一种堆叠封装结构,其包括自下而上依次设置的:第一芯片、第二芯片、塑封层、金属布线层以及制作于所述金属布线层上的导出点,所述塑封层完全包覆所述第二芯片。

[0010] 作为本发明的堆叠封装结构的改进,所述第一芯片具有功能面,所述功能面上设置有第一凸点,所述功能面上未设置有所述第一凸点的区域设置有第二凸点,所述第一凸点形成所述第一芯片的引出端,所述金属布线层与所述第一凸点相连接,所述第二芯片通过所述第二凸点与所述第一芯片相连接。

[0011] 作为本发明的堆叠封装结构的改进,所述第一凸点的高度不大于50 $\mu\text{m}$ 。

[0012] 作为本发明的堆叠封装结构的改进,所述第一凸点直接设置于焊垫上,或者设置于对焊垫电性进行重新排布的金属互连线路上。

[0013] 作为本发明的堆叠封装结构的改进,所述第二凸点的周围还填充有胶水。

[0014] 作为本发明的堆叠封装结构的改进,在所述金属布线层上还设置有保护层,所述保护层上设置有开口,所述导出点自所述开口暴露而出。

[0015] 为解决上述技术问题,本发明的另一技术方案是:

[0016] 一种如上所述堆叠封装结构的制作方法,其包括如下步骤:

[0017] S1、提供一晶圆,晶圆包含若干第一芯片晶粒,在各晶粒功能面上制作第一凸点;

[0018] S2、提供具有第二凸点的第二芯片,将所述第二芯片通过其第二凸点设置于晶粒功能面上未设置第一凸点的区域,任一晶粒对应一第二芯片;

[0019] S3、对所述功能面上的第二芯片进行塑封,形成塑封层,并对所述塑封层进行减薄;

[0020] S4、在所述塑封层上进行开口,以暴露出所述晶圆的第二凸点;

[0021] S5、在所述开口以及塑封层的表面上制作金属布线层,所述开口中的金属布线层与暴露出的第二凸点相连接;

[0022] S6、在所述金属布线层上制作导出点。

[0023] 作为本发明的堆叠封装结构的制作方法的改进,所述步骤S2还包括:将所述第二芯片倒装地设置于所述功能面上未设置第一凸点的区域,并将所述MEMS芯片与所述功能面上的金属互连线路相连接。

[0024] 作为本发明的堆叠封装结构的制作方法的改进,开设的开口暴露出所述第二凸点的表面或者切面。

[0025] 作为本发明的堆叠封装结构的制作方法的改进,所述堆叠封装结构的制作方法还包括:对所述晶圆的背面进行减薄处理,该步骤介于步骤S3和步骤S4之间。

[0026] 作为本发明的堆叠封装结构的制作方法的改进,在减薄后的晶圆的背面临时键合一载板。

[0027] 作为本发明的堆叠封装结构的制作方法的改进,对得到的封装体进行切割,得到单颗封装体。

[0028] 为解决上述技术问题,本发明的另一技术方案是:

[0029] 一种堆叠封装结构,其包括自下而上依次设置的:第一芯片、第二芯片、塑封层、金属布线层以及制作于所述金属布线层上的导出点,所述第二芯片的背面或者切面自所述塑封层暴露而出。

[0030] 为解决上述技术问题,本发明的另一技术方案是:

[0031] 一种如上所述的堆叠封装结构的制作方法,其包括如下步骤:

[0032] S1'、提供一晶圆,晶圆包含若干第一芯片晶粒,在各晶粒功能面上制作第一凸点;

[0033] S2'、提供具有第二凸点的第二芯片,将所述第二芯片通过其第二凸点设置于晶粒功能面上未设置第一凸点的区域,任一晶粒对应一第二芯片;

[0034] S3'、对所述功能面上的第二芯片进行塑封,形成塑封层,并对所述塑封层进行减薄,并暴露出所述第二芯片的背面或者切面;

[0035] S4'、在所述塑封层上进行开口,以暴露出所述第二凸点;

[0036] S5'、在所述开口以及第二芯片的背面或者切面上制作金属布线层,所述开口中的金属布线层与暴露出的第二凸点相连接;

[0037] S6'、在所述金属布线层上制作导出点。

[0038] 为解决上述技术问题,本发明的另一技术方案是:

[0039] 一种堆叠封装结构,包括第一芯片,和堆叠其上的第二芯片,堆叠区域外的第一芯片表面制备有若干第一凸点,塑封层至少包裹第一凸点及第二芯片侧壁,并在第一凸点上留有开口,开口内铺金属层,该金属层延伸至塑封层并覆盖开口上沿,导出点形成于金属层上,填充并覆盖开口。

[0040] 与现有技术相比,本发明的有益效果是:本发明堆叠芯片之间的互连结构小,占空比小,且导出点在堆叠芯片的上表面布局空间较大,解决了尺寸相差较小的多芯片堆叠封装问题;其凸点制作工艺简单,成本低;且不需要平坦化工艺露金属柱来实现互连,实现了成本进一步降低;且凸点均一性好。

### 附图说明

[0041] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明中记载的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0042] 图1为现有的一种封装方法的原理图;

[0043] 图2为现有的另一种封装方法的原理图;

[0044] 图1-1至图1-7为本发明的堆叠封装结构的制作方法的实施例1的制作工艺的原理图;

[0045] 图2-1至图2-5为本发明的堆叠封装结构的制作方法的实施例2的制作工艺的原理图;

[0046] 图3-1至3-6为实施例2中键合载板的工艺原理图;

[0047] 图4为本发明的堆叠封装结构的一具体实施方式的结构示意图;

[0048] 图5为本发明的堆叠封装结构的另一具体实施方式的结构示意图;

[0049] 图6为本发明的堆叠封装结构的另一具体实施方式的结构示意图。

### 具体实施方式

[0050] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0051] 本发明的堆叠封装结构的制作方法包括如下步骤:

[0052] 1、提供一晶圆,晶圆包含若干第一芯片晶粒,在各晶粒功能面上制作第一凸点;

[0053] 2、提供具有第二凸点的第二芯片,将所述第二芯片通过其第二凸点设置于所述功能面上未设置第一凸点的区域;

[0054] 3、对所述功能面上的第二芯片进行塑封,形成塑封层,并对所述塑封层进行减薄;

[0055] 4、在所述塑封层上进行开口,以暴露出所述晶圆的所述第一凸点;

[0056] 5、制作金属布线层,所述开口中的金属布线层与暴露出的第一凸点相连接;

[0057] 6、在所述金属布线层上制作导出点。

[0058] 7、对得到的封装体进行切割,得到单颗封装体。

[0059] 下面结合具体实施例对本发明的技术方案进行举例说明。同时,为了结构叙述的方便,实施例1和实施例2中的相同结构沿用统一的标号。实施例1和实施例2中晶圆为CMOS晶圆,第一芯片为CMOS芯片,第二芯片为MEMS芯片。

[0060] 实施例1

[0061] 如图1-1至1-7所示,本实施例的制作方法包括如下步骤:

[0062] S1、提供CMOS晶圆100,在其功能面上制作第一凸点101。

[0063] 其中,所述第一凸点101为矮凸点,其用于将CMOS晶圆100的焊垫电性引出。所述第一凸点101可以直接制作于焊垫上,也可以制作于对焊垫电性进行重新排布的金属互连线路路上。优选地,所述第一凸点101的高度不大于50 $\mu\text{m}$ 。所述第一凸点101选自:锡、铜、铝、银、金、镍、钛的一种或几种。

[0064] S2、提供具有第二凸点的MEMS芯片200,将所述MEMS芯片200通过其第二凸点设置于所述功能面上未设置第一凸点101的区域。

[0065] 其中,所述MEMS芯片200上的第二凸点为预先制作而成,以实现MEMS芯片200的电性引出。所述MEMS芯片200为减薄后的芯片,如此可有效降低封装体的厚度。所述MEMS芯片200可以为任何MEMS型态之元件,其可以选自:动作感测器、无线射频元件、振荡器中的一种。所述动作感测器可以为陀螺仪(Gyroscope/Gyro)及加速度计(Accelerometer)等;所述无线射频元件可以为RF开关及滤波器(Filter)等。

[0066] 布置所述MEMS芯片200时,将所述MEMS芯片200倒装地设置于所述功能面上未设置第一凸点101的区域,并将所述MEMS芯片200与所述功能面上的金属互连线路相连接。同时,所述CMOS晶圆100中包含若干CMOS晶粒,布置所述MEMS芯片200时应保证任一CMOS晶粒对应一MEMS芯片200,以便形成MEMS-CMOS堆叠结构。

[0067] 此外,所述步骤S3还包括:在塑封之前,在所述第二凸点的周围填充胶水。如此设置,有利于增加MEMS芯片200的牢固度,然后再进行MEMS芯片200塑封。

[0068] S3、对所述功能面上的MEMS芯片200进行塑封,形成塑封层300,并对所述塑封层300进行减薄。

[0069] 本实施例中,对所述塑封层300减薄时,控制减薄的尺寸,保证MEMS芯片200的背面不被暴露出,如此设置,形成完全包覆的封装体,增加可靠性。

[0070] S4、在所述塑封层300上进行开口,以暴露出所述CMOS晶圆100的第一凸点101。

[0071] 其中,所述开口的方式选自:机械切割、激光烧蚀、干法刻蚀中的一种。此外,开设的开口301暴露出所述第一凸点101的表面或者切面,如此以便于第一凸点101的电性连接。

[0072] 此外,在步骤S3和S4之间,即塑封处理之后,开口处理之前,所述堆叠封装结构的制作方法还包括:对所述CMOS晶圆100的背面进行减薄处理,以便降低封装体的整体厚度。同时,为了保证减薄后塑封体的强度,在减薄后的CMOS晶圆100的背面临时键合一载板,该载板在封装完毕之后进行拆除处理。

[0073] S5、在所述开口以及塑封层300的表面上制作金属布线层302,所述开口中的金属布线层302与暴露出的第一凸点101相连接。

[0074] 具体地,位于所述开口中的布线层与所述暴露出的第一凸点101相连接,并沿所述开口的内壁延伸至所述塑封层300的表面。此外,在制作导出点304之前,还包括:在所述金属布线层302上铺设一层保护层,并在所述保护层上进行开口,暴露出供所述导出点304相连接的金属布线层302区域。其中,所述保护层可以为防焊层或者绝缘层。

[0075] S6、在所述金属布线层302上制作导出点304。

[0076] S7、对得到的封装体进行切割,得到单颗封装体。

[0077] 实施例2

[0078] 本实施例的步骤大致与实施例1相同,区别点在于,进行塑封层300的减薄处理时,暴露出MEMS芯片200的背面,甚至暴露出MEMS的切面,以充分降低封装体的高度。

[0079] 如图2-1至2-5所示,本实施例的制作方法包括如下步骤:

[0080] S1'、提供CMOS晶圆100,在其功能面上制作第一凸点101;

[0081] S2'、提供具有第二凸点的MEMS芯片200,将所述MEMS芯片200通过其第二凸点设置于所述功能面上未设置第一凸点101的区域;

[0082] S3'、对所述功能面上的MEMS芯片200进行塑封,形成塑封层300,并对所述塑封层300进行减薄,并暴露出所述MEMS芯片200的背面或者切面;

[0083] S4'、在所述塑封层300上进行开口,以暴露出所述CMOS晶圆100的第一凸点101;

[0084] S5'、在所述开口以及MEMS芯片200的背面或者切面上制作金属布线层302,所述开口中的金属布线层302与暴露出的第一凸点101相连接;

[0085] S6'、在所述金属布线层302上制作导出点304。

[0086] 如图3-1至3-6所示,此外,在步骤S3'和S4'之间,即塑封处理之后,开口处理之前,所述堆叠封装结构的制作方法还包括:对所述CMOS晶圆100的背面进行减薄处理,以便降低封装体的整体厚度。同时,为了保证减薄后塑封体的强度,在减薄后的CMOS晶圆100的背面临时键合一载板400,该载板400在封装完毕之后进行拆除处理。

[0087] 本实施例的其他步骤与实例1相同,此处不再进行重复叙述。

[0088] 如图4所示,基于实施例1所提供的制作方法,本发明还提供一种由该制作方法得到的堆叠封装结构,所述堆叠封装结构包括自下而上依次设置的:CMOS芯片100、MEMS芯片200、塑封层300、金属布线层302以及制作于所述金属布线层302上的导出点304,所述塑封层300完全包覆所述MEMS芯片200。

[0089] 其中,所述CMOS芯片100具有功能面,所述功能面上设置有第一凸点1001,所述功能面上未设置有所述第一凸点1001的区域设置有第二凸点1002。其中,所述第一凸点1001形成所述CMOS芯片100的引出端,所述金属布线层302与所述第一凸点1001相连接。优选地,所述第一凸点1001的高度不大于50 $\mu\text{m}$ 。此外,所述第一凸点1001可以直接设置于焊垫上,也可以设置于对焊垫电性进行重新排布的金属互连线路上。

[0090] 所述MEMS芯片200通过所述第二凸点1002倒装地与所述CMOS芯片100相连接。所述MEMS芯片200与所述CMOS芯片100封装于一体时,任一CMOS芯片对应一MEMS芯片200。此外,为了增加所述MEMS芯片200的牢固性,所述第二凸点1002的周围还填充有胶水。

[0091] 此外,在所述金属布线层302上还设置有保护层305,如防焊层、绝缘层等。所述保护层305上设置有开口,所述导出点304自所述开口暴露而出。

[0092] 如图5所示,此外,基于实施例2所提供的制作方法,本发明还提供一种由该制作方法得到的堆叠封装结构,该结构与由实施例1所得的堆叠结构相似,区别在于所述MEMS芯片200的背面或者切面自所述塑封层300暴露而出。

[0093] 具体地,所述堆叠封装结构包括自下而上依次设置的:CMOS芯片100、MEMS芯片200、塑封层300、金属布线层302以及制作于所述金属布线层302上的导出点304,所述MEMS芯片200的背面或者切面自所述塑封层300暴露而出。

[0094] 如图6所示,基于相同的发明构思,本发明还提供另一种结构的堆叠封装结构。具体地,一种堆叠封装结构,包括第一芯片100,和堆叠其上的第二芯片200。堆叠区域外的第



一芯100片表面制备有若干第一凸点101,塑封层300至少包裹第一凸点101及第二芯片200侧壁,并在第一凸点101上留有开口,开口内铺金属层302。所述第二芯片200的背面或者切面自所述塑封层00暴露而出。该金属层302延伸至塑封层300并覆盖开口上沿,导出点304形成于金属层302上,填充并覆盖开口。所述第二芯片200和塑封层300上还设置有保护层303。其中,所述第一芯片100可以为CMOS芯片,第二芯片可以为MEMS芯片。综上所述,本发明堆叠芯片之间的互连结构小,占空比小,且导出点在堆叠芯片的上表面布局空间较大,解决了尺寸相差较小的多芯片堆叠封装问题;其凸点制作工艺简单,成本低;且不需要平坦化工艺露金属柱来实现互连,实现了成本进一步降低;且凸点均一性好。

[0095] 对于本领域技术人员而言,显然本发明不限于上述示范性实施例的细节,而且在不背离本发明的精神或基本特征的情况下,能够以其他的具体形式实现本发明。因此,无论从哪一点来看,均应将实施例看作是示范性的,而且是非限制性的,本发明的范围由所附权利要求而不是上述说明限定,因此旨在将落在权利要求的等同要件的含义和范围内的所有变化囊括在本发明内。不应将权利要求中的任何附图标记视为限制所涉及的权利要求。

[0096] 此外,应当理解,虽然本说明书按照实施方式加以描述,但并非每个实施方式仅包含一个独立的技术方案,说明书的这种叙述方式仅仅是为清楚起见,本领域技术人员应当将说明书作为一个整体,各实施例中的技术方案也可以经适当组合,形成本领域技术人员可以理解的其他实施方式。

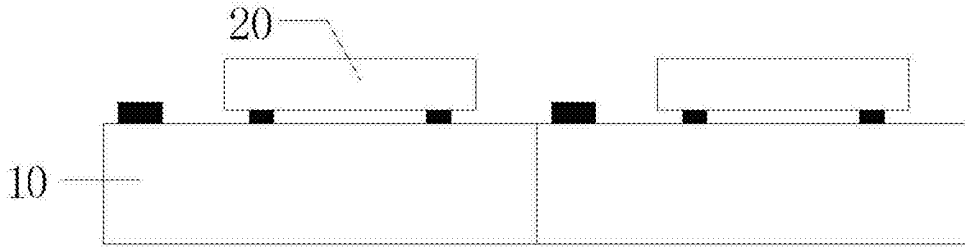


图1

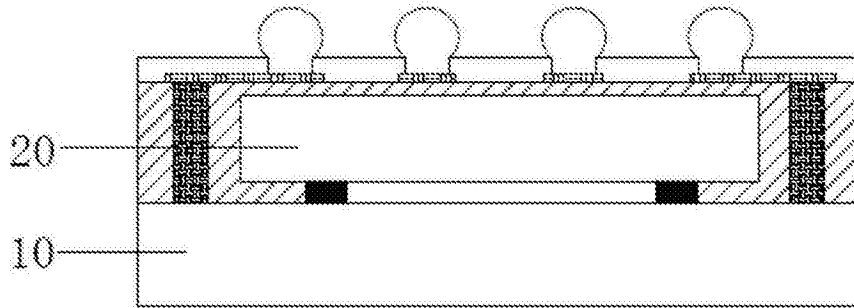


图2

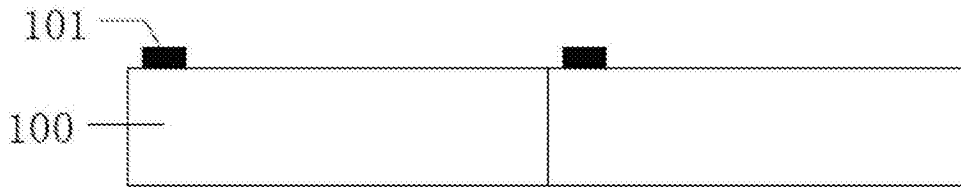


图1-1

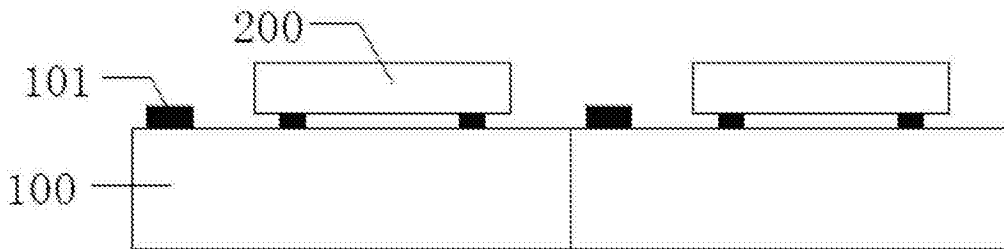


图1-2

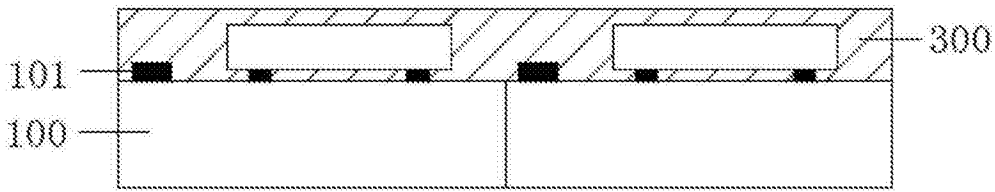


图1-3

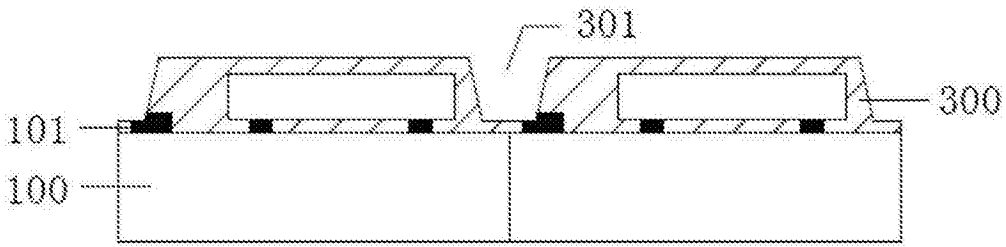


图1-4

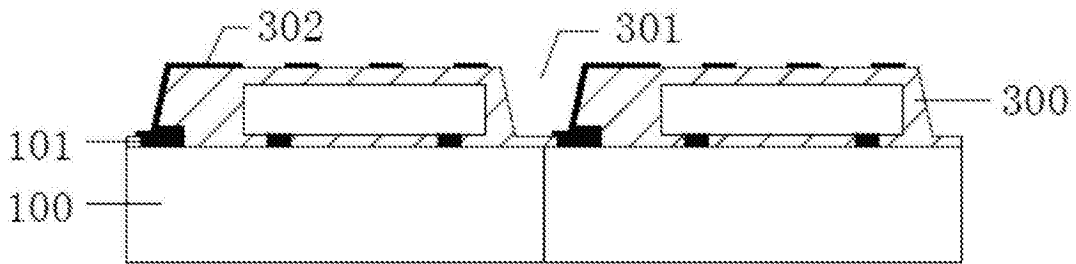


图1-5

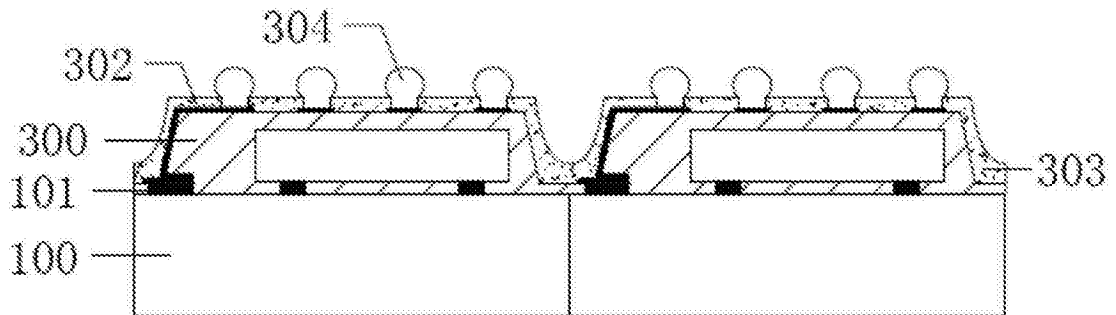


图1-6

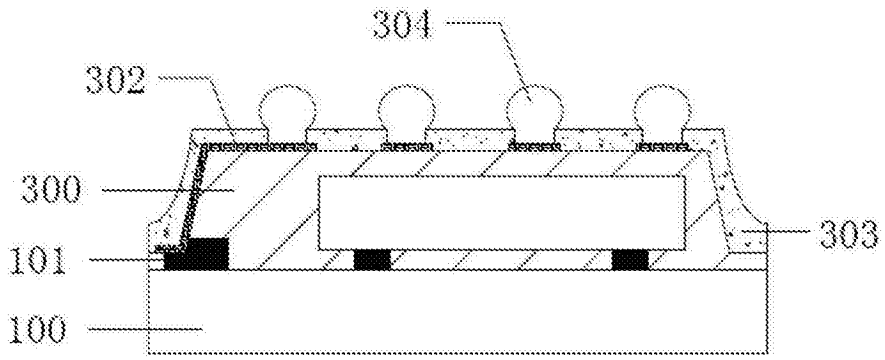


图1-7

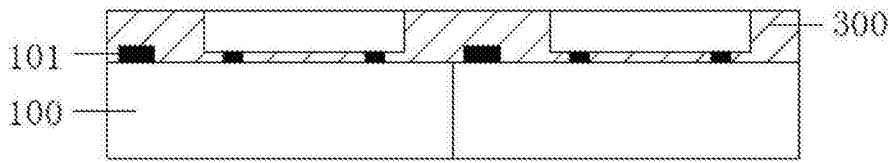


图2-1

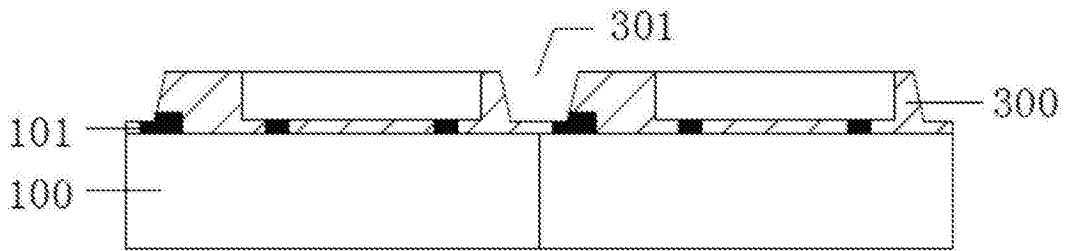


图2-2

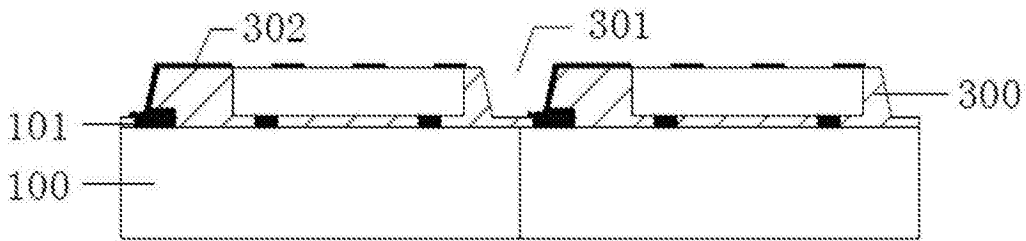


图2-3

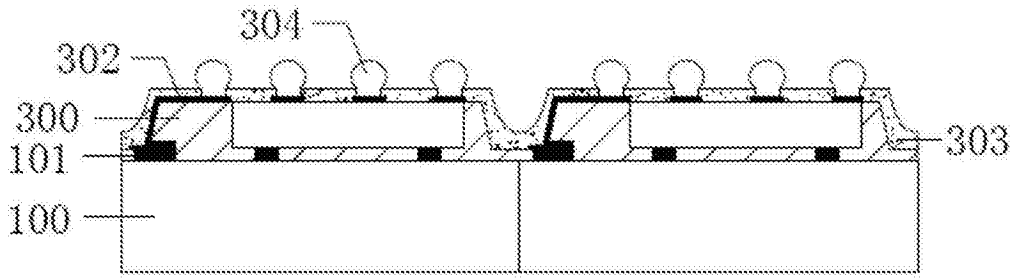


图2-4

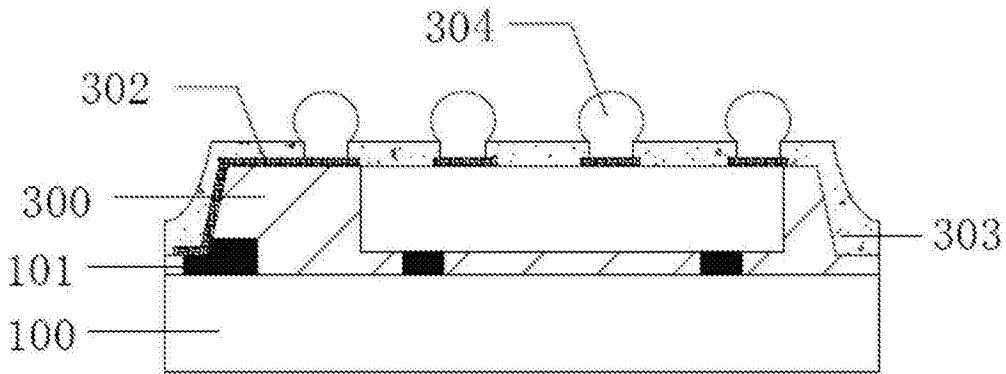


图2-5

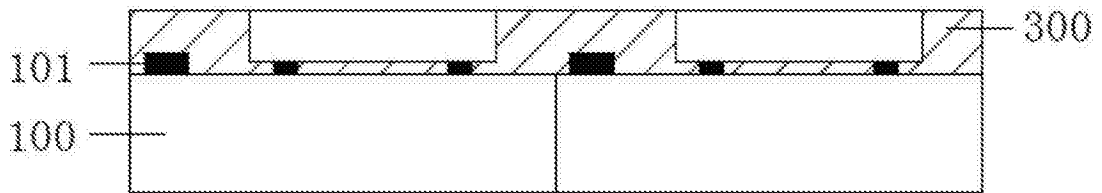


图3-1

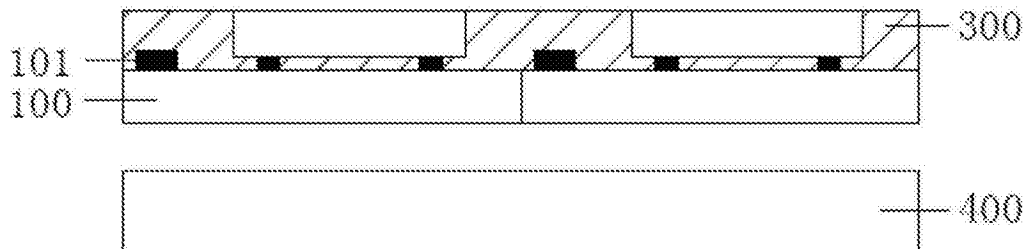


图3-2

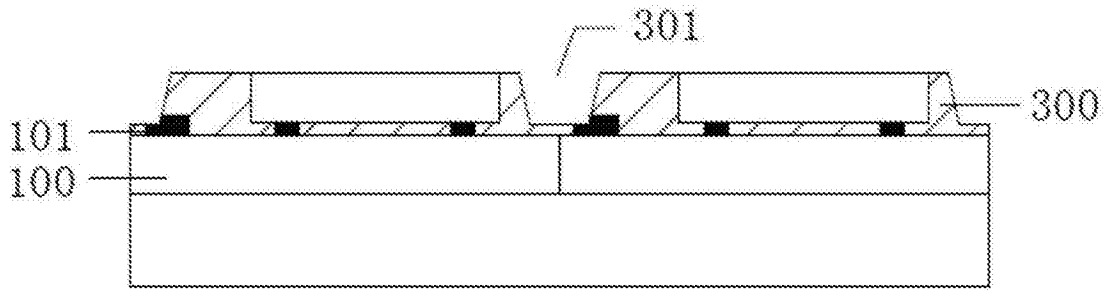


图3-3

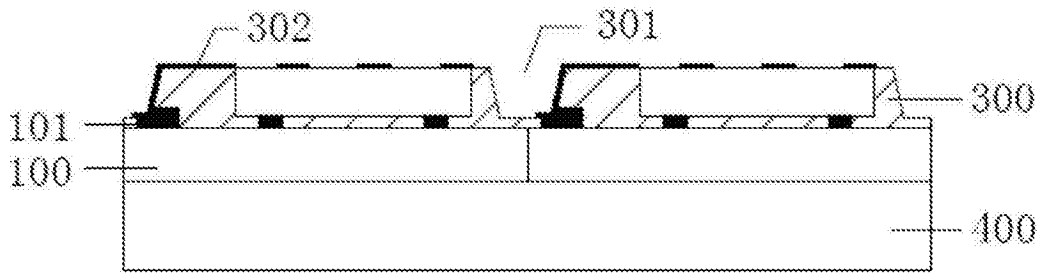


图3-4

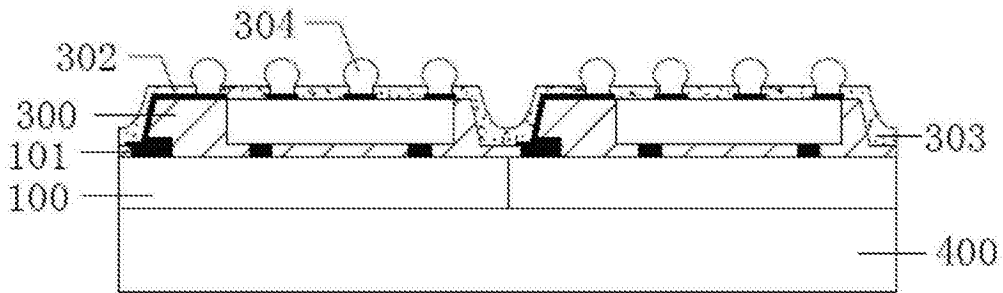


图3-5

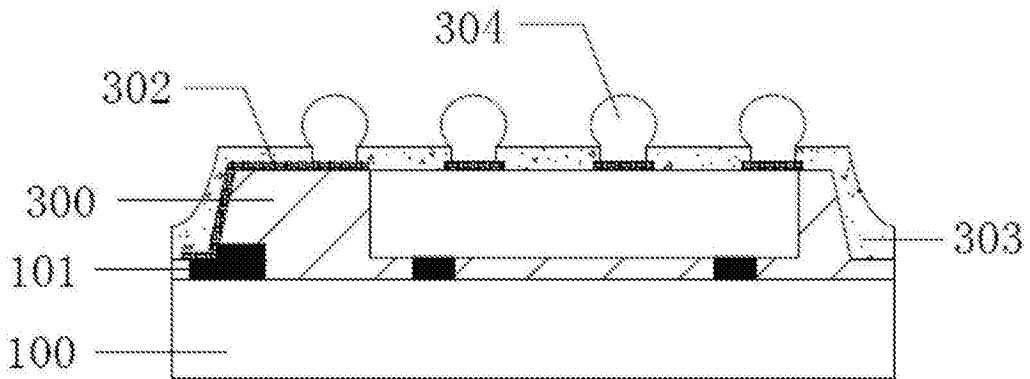


图3-6

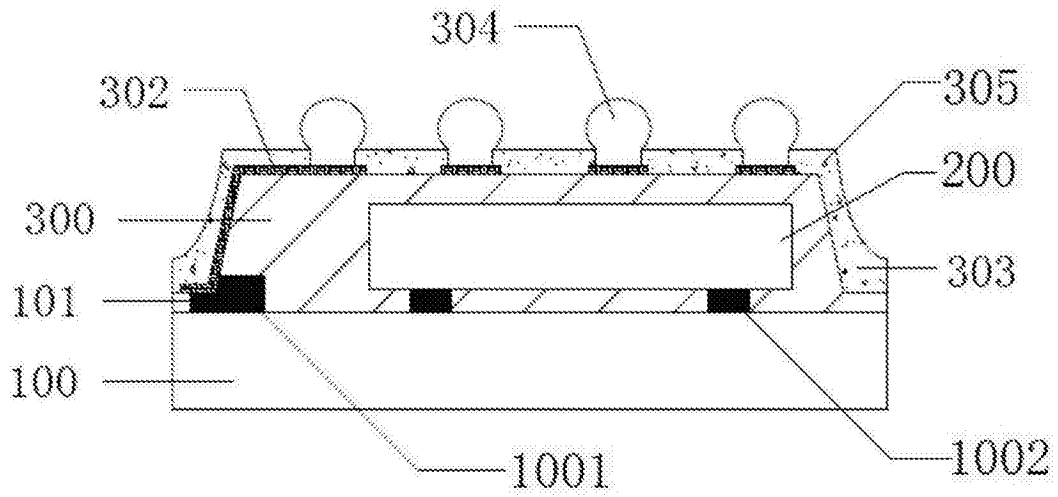


图4

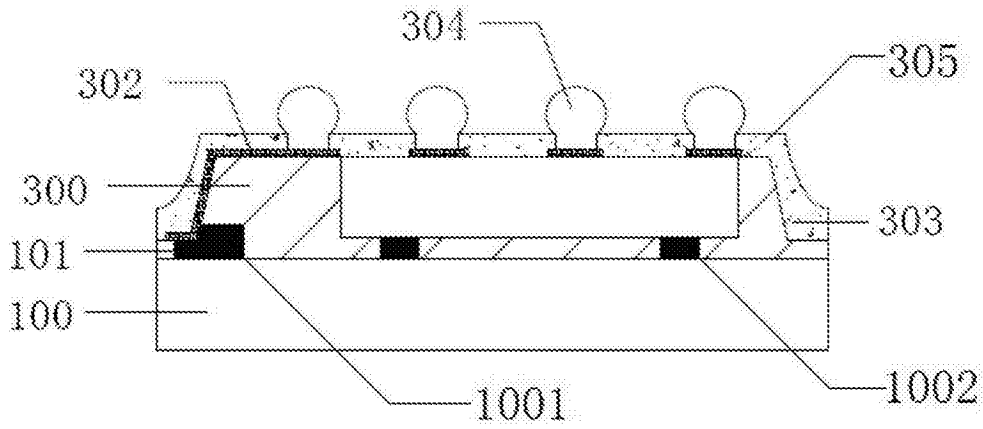


图5

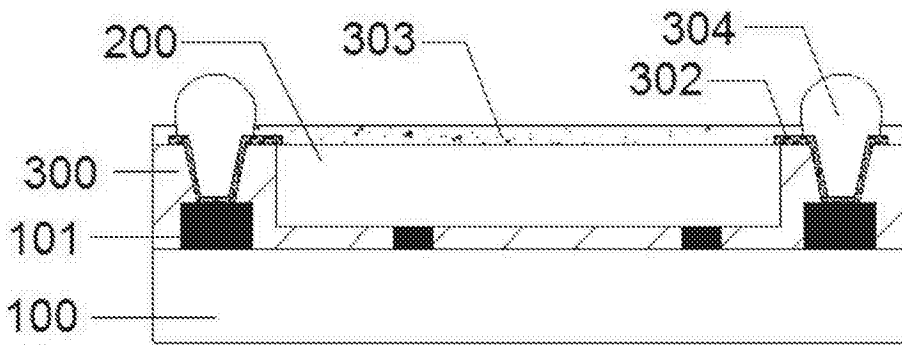


图6