

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6013705号
(P6013705)

(45) 発行日 平成28年10月25日 (2016. 10. 25)

(24) 登録日 平成28年9月30日 (2016. 9. 30)

(51) Int. Cl. F I
H O 1 L 21/60 (2006.01) H O 1 L 21/60 3 1 1 Q

請求項の数 8 外国語出願 (全 38 頁)

(21) 出願番号	特願2011-11427 (P2011-11427)	(73) 特許権者	507316815
(22) 出願日	平成23年1月21日 (2011. 1. 21)		スタツ チップバック リミテッド
(65) 公開番号	特開2011-258921 (P2011-258921A)		シンガポール国 5 6 9 0 5 9 シンガ
(43) 公開日	平成23年12月22日 (2011. 12. 22)		ール, テックポイント 1 7 / 2 0 - ナ
審査請求日	平成25年11月6日 (2013. 11. 6)		ンバー05, アン モ キオ ストリー
(31) 優先権主張番号	12/813, 335		ト 6 5 1 0
(32) 優先日	平成22年6月10日 (2010. 6. 10)	(74) 代理人	100078282
(33) 優先権主張国	米国 (US)		弁理士 山本 秀策
(31) 優先権主張番号	12/969, 451	(74) 代理人	100062409
(32) 優先日	平成22年12月15日 (2010. 12. 15)		弁理士 安村 高明
(33) 優先権主張国	米国 (US)	(74) 代理人	100113413
			弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 部分パット上にバンプを有するフリップチップ相互接続構造を形成する半導体デバイスおよびその方法

(57) 【特許請求の範囲】

【請求項 1】

半導体素子を作製する方法であって、前記方法は、

半導体ダイを提供することと、

基板を提供することと、

前記基板上に複数の伝導性トレースを形成することであって、前記複数の伝導性トレースは、相互接続部位を含む、ことと、

前記相互接続部位の上方に複数のはんだレジスト開口部を形成することであって、各相互接続部位は、対応するはんだレジスト開口部よりも大きく作成され、前記相互接続部位の側壁は、前記はんだレジスト開口部と前記相互接続部位との間の不整合に起因して露出される、ことと、

前記半導体ダイと前記相互接続部位との間に、複数のはんだバンプを形成することであって、前記複数のはんだバンプの長さは、前記複数のはんだバンプの長さに対して垂直な前記複数のはんだバンプの幅よりも大きく、前記複数のはんだバンプの幅は、前記複数のはんだバンプの長さに沿って先細であり、前記半導体ダイの近くで広く、かつ、前記半導体ダイとは反対側の前記複数のはんだバンプの端の近くで狭い、ことと、

各はんだバンプが対応する相互接続部位の頂面および側面に重なって湿潤させるように前記相互接続部位の上に前記複数のはんだバンプをリフローすることによって、前記複数のはんだバンプを前記相互接続部位に接着することであって、前記複数のはんだバンプの幅は、前記複数の伝導性トレースを横断するように延在し、かつ、前記複数のはんだバンプ

10

20

プの長さは、前記複数の伝導性トレースに沿って延在する、ことと、
前記半導体ダイと前記基板との間に封入材を堆積させることと
を含む、方法。

【請求項 2】

前記複数のはんだバンプは、可融性部分と、非可融性部分とを含む、請求項 1 に記載の方法。

【請求項 3】

前記複数のはんだバンプの前記非可融性部分は、金、銅、ニッケル、鉛はんだ、または鉛スズ合金を含む、請求項 2 に記載の方法。

【請求項 4】

半導体素子を作製する方法であって、前記方法は、
半導体ダイを提供することと、
基板を提供することと、
露出側壁を含む相互接続部位を伴って、前記基板上に複数の伝導性トレースを形成することと、

前記相互接続部位の上方に複数のはんだレジスト開口部を形成することであって、前記相互接続部位およびはんだレジスト開口部を形成するために用いられる設計規則は、個々の相互接続部位の物理的面積に対する個々のはんだレジスト開口部の不整合を可能にする、ことと、

前記半導体ダイと前記相互接続部位との間に、複数のはんだバンプを形成することであって、前記複数の伝導性トレースに沿った前記複数のはんだバンプの長さは、前記複数の伝導性トレースを横断する前記複数のはんだバンプの幅よりも大きい、ことと、

前記複数のはんだバンプが前記相互接続部位の頂面および側面を覆うように、前記複数のはんだバンプを前記相互接続部位に接着することと
を含む、方法。

【請求項 5】

前記半導体ダイと前記基板との間に封入材を堆積させることをさらに含む、請求項 4 に記載の方法。

【請求項 6】

前記複数のはんだバンプの非可融性部分は、金、銅、ニッケル、鉛はんだ、または鉛スズ合金を含み、前記複数のはんだバンプの可融性部分は、スズ、無鉛合金、スズ銀合金、スズ・銀・銅合金、スズ・銀・インジウム合金、共晶はんだ、または銀、銅、あるいは鉛を伴う他のスズ合金を含む、請求項 4 に記載の方法。

【請求項 7】

前記複数のはんだバンプは、前記半導体ダイ上の伝導柱上に形成されている、請求項 4 に記載の方法。

【請求項 8】

半導体ダイと、
基板と、
前記基板上に形成された複数の伝導性トレースであって、相互接続部位を含む複数の伝導性トレースと、

前記相互接続部位の上方に形成された複数のはんだレジスト開口部であって、各相互接続部位は、対応するはんだレジスト開口部よりも大きく、各相互接続部位は、前記はんだレジスト開口部と前記相互接続部位との間の不整合に起因して露出された側壁を含む、複数のはんだレジスト開口部と、

前記半導体ダイと前記相互接続部位との間に形成された複数の相互接続構造であって、前記相互接続構造が前記相互接続部位の頂面および側面を覆うように、前記相互接続構造は、前記相互接続部位に接着され、前記複数の伝導性トレースに沿った前記相互接続構造の長さは、前記複数の伝導性トレースを横断する前記相互接続構造の幅よりも大きい、複数の相互接続構造と、

10

20

30

40

50

前記半導体ダイと前記基板との間に堆積させられた封入材とを備える、半導体素子。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、2010年6月10日に出願された米国出願第12/813,335号の一部継続出願であり、35 U.S.C. § 120に従って、上記出願に対する優先権を主張する。

【0002】

本発明は、一般に、半導体パッケージに関し、より具体的には、半導体素子、および部分パッド上にバンプを有するフリップチップ相互接続構造を形成する方法に関する。

10

【背景技術】

【0003】

半導体素子は、現代の電子製品でよく見られる。半導体素子は、電気構成要素の数および密度が異なる。離散半導体素子は、概して、1種類の電気構成要素、例えば、発光ダイオード(LED)、小信号トランジスタ、抵抗器、コンデンサ、インダクタ、およびパワー金属酸化膜半導体電界効果トランジスタ(MOSFET)を含有する。集積半導体素子は、典型的に、数百から数百万個の電気構成要素を含有する。集積半導体素子の例は、マイクロコントローラ、マイクロプロセッサ、電荷結合素子(CCD)、太陽電池、およびデジタルマイクロミラー素子(DMD)を含む。

20

【0004】

半導体素子は、信号処理、高速計算、電磁信号の伝送および受信、電子デバイスの制御、電気への日光の転換、およびテレビディスプレイ用の視覚投影の作成等の、広範囲の機能を果たす。半導体素子は、娯楽、通信、電力変換、ネットワーク、コンピュータ、および消費者製品の分野で見られる。半導体素子はまた、軍事用途、航空、自動車、工業用コントローラ、および事務機器でも見られる。

【0005】

半導体素子は、半導体材料の電気特性を利用する。半導体材料の原子構造は、電界または基本電流の印加によって、またはドーピングの工程を通して、その電気伝導性が操作されることを可能にする。ドーピングは、半導体材料に不純物を導入して、半導体素子の伝導性を操作および制御する。

30

【0006】

半導体素子は、能動および受動的電気構造を含有する。バイポーラおよび電界効果トランジスタを含む、能動的構造は、電流の流れを制御する。ドーピングおよび電界または基本電流の印加のレベルを変化させることによって、トランジスタは、電流の流れを推進または制限する。抵抗器、コンデンサ、およびインダクタを含む、受動的構造は、種々の電氣的機能を果たすために必要な電圧と電流との間の関係を生じる。受動および能動的構造は、半導体素子が高速計算および他の有用な機能を果たすことを可能にする回路を形成するように、電氣的に接続される。

【0007】

40

半導体素子は概して、2つの複雑な製造工程、すなわち、それぞれ何百ものステップを潜在的に伴う、フロントエンド製造およびバックエンド製造を使用して製造される。フロントエンド製造は、半導体ウエハの表面上の複数のダイの形成を伴う。各ダイは、典型的には同一であり、能動および受動的構成要素を電氣的に接続することによって形成される回路を含有する。バックエンド製造は、完成したウエハから個別ダイを単一化することと、構造的支持および環境的隔離を提供するようにダイをパッケージ化することとを伴う。

【0008】

半導体製造の1つの目標は、より小型の半導体素子を生産することである。より小型の素子は、典型的には、より少ない電力を消費し、より高い性能を有し、より効率的に生産することができる。加えて、より小型の半導体素子は、より小型の最終製品に望ましい、

50

より小さい設置面積を有する。小さいダイサイズは、より小型で高密度の能動および受動的構成要素を伴うダイをもたらす、フロントエンド工程の改良によって達成することができる。バックエンド工程は、電氣的相互接続およびパッケージ化材料の改良によって、より小さい設置面積を伴う半導体素子パッケージをもたらしてもよい。

【 0 0 0 9 】

半導体製造の別の目標は、より高速で、信頼性があり、小型で、高密度の集積回路（IC）に好適なパッケージを、より低費用で生産することである。フリップチップパッケージまたはウエハレベルパッケージ（WLP）は、理想的には、高速、高密度、およびより大きいピン数を要求するICに適している。フリップチップ様式のパッケージ化は、チップキャリア基板またはプリント回路板（PCB）に向かって表を下にして、ダイの能動側を載置することを伴う。ダイ上の能動素子とキャリア基板上の伝導トラックとの間の電気および機械的相互接続は、多数の伝導性はんだバンプまたはボールを備える、はんだバンプ構造を通して達成される。はんだバンプは、半導体基板上に堆積させられる金属接触パッド上に堆積させられる、はんだ材料に適用されるリフロー工程によって形成される。次いで、はんだバンプは、キャリア基板にはんだ付けされる。フリップチップ半導体パッケージは、信号伝搬を低減し、静電容量を低下させ、全体的により良好な回路性能を達成するために、ダイ上の能動素子からキャリア基板までの短い電気伝導経路を提供する。

【 0 0 1 0 】

図1は、金属接触パッド14上に形成されたバンプ12を伴うフリップチップ10の一部分を図示する。次いで、バンプ12は、バンプリフロー工程を使用して、基板16上の金属接触パッド15に冶金学的かつ電氣的に接続される。バンプ12および接触パッド15を接続するために、はんだレジストまたははんだマスクに形成された開口部18は、バンプリフローを接触パッド15の物理的境界に閉じ込めるように、基板の表面上に配置される（図2a参照）。接触パッド15とはんだレジスト開口部18との間の相対位置に関する製造整合公差により、はんだレジスト開口部の整合公差を考慮して、接触パッドの全金属領域が露出されることを可能にするように、接触パッド15は、はんだレジスト開口部18よりも大幅に大きく作られる。概して、接触パッド15の最小サイズは、 $P_{min} = SRO + 2 * SRR$ であり、式中、SROは、良好な冶金接続を確保するために必要とされる最小はんだレジスト開口部、SRRは、はんだ位置合わせとしても知られている、はんだレジスト整合公差である。一実施例では、はんだレジスト開口部18が90ミクロンであり、はんだレジスト整合公差が25ミクロンである場合には、公知の設計規則に従って、接触パッド15は、直径140ミクロンに作製される。したがって、公知の設計規則の下で、最大製造整合公差を考慮して、はんだレジスト開口部は、常に接触パッドの範囲内に入り、図2bに示されるように、パッドの周囲に空隙または空虚な空間を残さない。

【 0 0 1 1 】

残念ながら、はんだレジスト開口部が常に接触パッドの前記金属領域の範囲内に入ることを確実にするために必要とされる、より大型の接触パッドは、基板上で達成することができる金属信号トレースまたはトラックルーティングを限定する。より少ないトレースを接触パッドの間に配置することができるため、より大型の接触パッドは、トレースルーティング密度を必然的に低減する。加えて、より大型の接触パッドは、基板の単位面積につき、より少ない接触パッドとなる。

【 発明の概要 】

【 課題を解決するための手段 】

【 0 0 1 2 】

電氣的機能性または製造信頼性に影響を及ぼすことなく、トレースルーティング密度を増加させるように接触パッドサイズを最小限化する必要性が存在する。したがって、一実施形態では、本発明は、半導体ダイの表面上に形成された複数のバンプを有する、半導体ダイを提供するステップと、基板を提供するステップと、露出側壁を有し、 $SRO + 2 * SRR - 2X$ によって定義される設計規則に従ってサイズ決定される相互接続部位を伴っ

10

20

30

40

50

て、基板上に複数の伝導性トレースを形成するステップであって、式中、 SRO は、相互接続部位上の開口部であり、 SRR は、製造工程のための位置合わせであり、 X は、接触パッドの露出側壁の厚さの関数である、ステップと、バンプが相互接続部位の頂面および側面を覆うように、バンプを相互接続部位に接着するステップと、半導体ダイと基板との間でバンプの周囲に封入材を堆積させるステップとを含む、半導体素子を作製する方法である。

【0013】

別の実施形態では、本発明は、半導体ダイを提供するステップと、基板を提供するステップと、露出側壁を有する相互接続部位を伴って、基板上に複数の伝導性トレースを形成するステップと、半導体ダイと基板の相互接続部位との間に、複数の相互接続構造を形成するステップと、相互接続構造が、相互接続部位の頂面および側面を覆い、相互接続部位の露出側壁の厚さの関数である X という最大距離だけ基板上に延在するように、相互接続構造を相互接続部位に接着するステップと、半導体ダイと基板との間に封入材を堆積させるステップとを含む、半導体素子を作製する方法である。

10

【0014】

別の実施形態では、本発明は、半導体ダイを提供するステップと、基板を提供するステップと、露出側壁を有する相互接続部位を伴って、基板上に複数の伝導性トレースを形成するステップと、半導体ダイと基板の相互接続部位との間に、複数の相互接続構造を形成するステップと、相互接続構造が、相互接続部位の頂面および側面を覆い、相互接続部位の露出側壁の厚さの関数である X という最大距離だけ基板上に延在するように、相互接続構造を相互接続部位に接着するステップとを含む、半導体素子を作製する方法である。

20

【0015】

別の実施形態では、本発明は、半導体ダイを備える半導体素子である。基板は、露出側壁を伴う相互接続部位を有する基板上に形成された、複数の伝導性トレースを有する。複数の相互接続構造が、半導体ダイと基板の相互接続部位との間に形成される。相互接続構造は、相互接続構造が、相互接続部位の頂面および側面を覆い、相互接続部位の露出側壁の厚さの関数である X という最大距離だけ基板上に延在するように、相互接続部位に接着される。封入材が、半導体ダイと基板との間に堆積させられる。

【0016】

例えば、本発明は以下の項目を提供する。

30

(項目1)

半導体ダイの表面上に形成された複数のバンプを有する、半導体ダイを提供するステップと、

基板を提供するステップと、

露出側壁を有し、 $SRO + 2 * SRR - 2X$ によって定義される設計規則に従ってサイズ決定される相互接続部位を伴って、前記基板上に複数の伝導性トレースを形成するステップであって、式中、 SRO は、前記相互接続部位上の開口部であり、 SRR は、製造工程のための位置合わせであり、 X は、接触パッドの前記露出側壁の厚さの関数である、ステップと、

前記バンプが前記相互接続部位の頂面および側面を覆うように、前記バンプを前記相互接続部位に接着するステップと、

40

前記半導体ダイと基板との間で前記バンプの周囲に封入材を堆積させるステップとを含む、半導体素子を作製する方法。

(項目2)

X の値は、5 ~ 20ミクロンに及び、上記項目のいずれかに記載の方法。

(項目3)

前記バンプは、 X という最大距離だけ前記相互接続部位と不整合である、上記項目のいずれかに記載の方法。

(項目4)

前記バンプは、可融性部分と、非可融性部分とを含む、上記項目のいずれかに記載の方

50

法。

(項目5)

前記相互接続構造の前記非可融性部分は、金、銅、ニッケル、鉛はんだ、または鉛スズ合金を含む、上記項目のいずれかに記載の方法。

(項目6)

前記相互接続構造の前記可融性部分は、スズ、無鉛合金、スズ銀合金、スズ・銀・銅合金、スズ・銀・インジウム合金、共晶はんだ、または銀、銅、あるいは鉛を伴う他のスズ合金を含む、上記項目のいずれかに記載の方法。

(項目7)

半導体ダイを提供するステップと、
基板を提供するステップと、
露出側壁を有する相互接続部位を伴って、前記基板上に複数の伝導性トレースを形成するステップと、

10

前記半導体ダイと前記基板の前記相互接続部位との間に、複数の相互接続構造を形成するステップと、

前記相互接続構造が、前記相互接続部位の頂面および側面を覆い、前記相互接続部位の前記露出側壁の厚さの関数である X という最大距離だけ前記基板上に延在するように、前記相互接続構造を前記相互接続部位に接着するステップと、

前記半導体ダイと基板との間に封入材を堆積させるステップと

を含む、半導体素子を作製する方法。

20

(項目8)

X の値は、5～20ミクロンに及ぶ、上記項目のいずれかに記載の方法。

(項目9)

前記相互接続部位は、 $SRO + 2 * SR R - 2 X$ によって定義される設計規則に従ってサイズ決定され、式中、 SRO は、前記相互接続部位上の開口部であり、 $SR R$ は、製造工程のための位置合わせである、上記項目のいずれかに記載の方法。

(項目10)

前記相互接続構造は、可融性部分と、非可融性部分とを含む、上記項目のいずれかに記載の方法。

(項目11)

前記相互接続構造の前記非可融性部分は、金、銅、ニッケル、鉛はんだ、または鉛スズ合金を含む、上記項目のいずれかに記載の方法。

30

(項目12)

前記相互接続構造の前記可融性部分は、スズ、無鉛合金、スズ銀合金、スズ・銀・銅合金、スズ・銀・インジウム合金、共晶はんだ、または銀、銅、あるいは鉛を伴う他のスズ合金を含む、上記項目のいずれかに記載の方法。

(項目13)

前記相互接続構造は、伝導柱と、前記伝導柱上に形成されるパンプとを含む、上記項目のいずれかに記載の方法。

(項目14)

半導体ダイを提供するステップと、
基板を提供するステップと、
露出側壁を有する相互接続部位を伴って、前記基板上に複数の伝導性トレースを形成するステップと、

40

前記半導体ダイと前記基板の前記相互接続部位との間に、複数の相互接続構造を形成するステップと、

前記相互接続構造が、前記相互接続部位の頂面および側面を覆い、前記相互接続部位の前記露出側壁の厚さの関数である X という最大距離だけ前記基板上に延在するように、前記相互接続構造を前記相互接続部位に接着するステップと

を含む、半導体素子を作製する方法。

50

(項目15)

前記半導体ダイと基板との間に封入材を堆積させるステップをさらに含む、上記項目のいずれかに記載の方法。

(項目16)

Xの値は、5～20ミクロンに及び、上記項目のいずれかに記載の方法。

(項目17)

前記相互接続部位は、 $SRO + 2 * SRR - 2X$ によって定義される設計規則に従ってサイズ決定され、式中、SROは、前記相互接続部位上の開口部であり、SRRは、製造工程のための位置合わせである、上記項目のいずれかに記載の方法。

(項目18)

前記相互接続構造は、可融性部分と、非可融性部分とを含む、上記項目のいずれかに記載の方法。

10

(項目19)

前記相互接続構造の前記非可融性部分は、金、銅、ニッケル、鉛はんだ、または鉛スズ合金を含み、前記相互接続構造の前記可融性部分は、スズ、無鉛合金、スズ銀合金、スズ・銀・銅合金、スズ・銀・インジウム合金、共晶はんだ、または銀、銅、あるいは鉛を伴う他のスズ合金を含む、上記項目のいずれかに記載の方法。

(項目20)

前記相互接続構造は、伝導柱と、前記伝導柱上に形成されるパンプとを含む、上記項目のいずれかに記載の方法。

20

(項目21)

半導体ダイと、

露出側壁を伴う相互接続部位を有する基板上に形成された複数の伝導性トレースを有する、基板と、

前記半導体ダイと前記基板の前記相互接続部位との間に形成される、複数の相互接続構造であって、前記相互接続構造が、前記相互接続部位の頂面および側面を覆い、前記相互接続部位の前記露出側壁の厚さの関数であるXという最大距離だけ前記基板上に延在するように、前記相互接続部位に接着される、相互接続構造と

前記半導体ダイと基板との間に堆積させられる、封入材とを備える、半導体素子。

30

(項目22)

Xの値は、5～20ミクロンに及び、上記項目のいずれかに記載の半導体素子。

(項目23)

前記相互接続構造は、前記相互接続部位の頂面および側面を覆う、上記項目のいずれかに記載の方法。

(項目24)

前記相互接続部位は、 $SRO + 2 * SRR - 2X$ によって定義される設計規則に従ってサイズ決定され、式中、SROは、前記相互接続部位上の開口部であり、SRRは、製造工程のための位置合わせである、上記項目のいずれかに記載の半導体素子。

(項目25)

前記相互接続構造は、可融性部分と、非可融性部分とを含む、上記項目のいずれかに記載の半導体素子。

40

【0017】

(摘要)

半導体素子は、半導体金型の表面上に形成された複数のパンプを有する、半導体金型を有する。パンプは、可溶部分および非可溶部分を含むことができる。伝導性トレースは、露出側壁を有し、 $SRO + 2 * SRR - 2X$ によって定義される設計規則に従ってサイズ決定される相互接続部位を伴って基板上に形成され、式中、SROは、相互接続部位上の開口部であり、SRRは、製造工程のための位置合わせであり、Xは、接触パッドの露出側壁の厚さの関数である。パンプは、5～20ミクロンに及びXという最大距離だけ相互接

50

続部位と不整合である。 bumps は、 bumps が相互接続部位の頂面および側面を覆うように、相互接続部位に接着される。封入材が、半導体金型と基板との間で bumps の周囲に堆積させられる。

【図面の簡単な説明】

【 0 0 1 8 】

【図 1】図 1 は、フリップチップ上の接触パッドへの従来の bumps 相互接続である。

【図 2 a】図 2 a - 2 b は、接触パッド上のはんだレジスト開口部に対する従来の整合設計規則を図示する。

【図 2 b】図 2 a - 2 b は、接触パッド上のはんだレジスト開口部に対する従来の整合設計規則を図示する。

【図 3】図 3 は、その表面に載置された異なる種類のパッケージを伴う PCB を図示する。

【図 4 a】図 4 a - 4 c は、PCB に載置された代表的な半導体パッケージのさらなる詳細を図示する。

【図 4 b】図 4 a - 4 c は、PCB に載置された代表的な半導体パッケージのさらなる詳細を図示する。

【図 4 c】図 4 a - 4 c は、PCB に載置された代表的な半導体パッケージのさらなる詳細を図示する。

【図 5】図 5 は、ダイの能動領域とチップキャリア基板との間の電気的相互接続を提供する、 bumps を伴うフリップチップ半導体素子である。

【図 6 a】図 6 a - 6 d は、接触パッドとはんだレジスト開口部との間の不整合を可能にする 2 X 縮小設計規則によってサイズが縮小した、接触パッドを図示する。

【図 6 b】図 6 a - 6 d は、接触パッドとはんだレジスト開口部との間の不整合を可能にする 2 X 縮小設計規則によってサイズが縮小した、接触パッドを図示する。

【図 6 c】図 6 a - 6 d は、接触パッドとはんだレジスト開口部との間の不整合を可能にする 2 X 縮小設計規則によってサイズが縮小した、接触パッドを図示する。

【図 6 d】図 6 a - 6 d は、接触パッドとはんだレジスト開口部との間の不整合を可能にする 2 X 縮小設計規則によってサイズが縮小した、接触パッドを図示する。

【図 7 a】図 7 a - 7 d は、2 X 縮小設計規則を受ける接触パッドの代替形状を図示する。

【図 7 b】図 7 a - 7 d は、2 X 縮小設計規則を受ける接触パッドの代替形状を図示する。

【図 7 c】図 7 a - 7 d は、2 X 縮小設計規則を受ける接触パッドの代替形状を図示する。

【図 7 d】図 7 a - 7 d は、2 X 縮小設計規則を受ける接触パッドの代替形状を図示する。

【図 8 a】図 8 a - 8 h は、基板上的伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。

【図 8 b】図 8 a - 8 h は、基板上的伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。

【図 8 c】図 8 a - 8 h は、基板上的伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。

【図 8 d】図 8 a - 8 h は、基板上的伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。

【図 8 e】図 8 a - 8 h は、基板上的伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。

【図 8 f】図 8 a - 8 h は、基板上的伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。

【図 8 g】図 8 a - 8 h は、基板上的伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。

10

20

30

40

50

【図8h】図8a - 8hは、基板上の伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。

【図9a】図9a - 9gは、伝導性トレースに接着された半導体ダイおよび相互接続構造を図示する。

【図9b】図9a - 9gは、伝導性トレースに接着された半導体ダイおよび相互接続構造を図示する。

【図9c】図9a - 9gは、伝導性トレースに接着された半導体ダイおよび相互接続構造を図示する。

【図9d】図9a - 9gは、伝導性トレースに接着された半導体ダイおよび相互接続構造を図示する。

【図9e】図9a - 9gは、伝導性トレースに接着された半導体ダイおよび相互接続構造を図示する。

【図9f】図9a - 9gは、伝導性トレースに接着された半導体ダイおよび相互接続構造を図示する。

【図9g】図9a - 9gは、伝導性トレースに接着された半導体ダイおよび相互接続構造を図示する。

【図10a】図10a - 10dは、伝導性トレースに接着された楔形の相互接続構造を伴う半導体ダイを図示する。

【図10b】図10a - 10dは、伝導性トレースに接着された楔形の相互接続構造を伴う半導体ダイを図示する。

【図10c】図10a - 10dは、伝導性トレースに接着された楔形の相互接続構造を伴う半導体ダイを図示する。

【図10d】図10a - 10dは、伝導性トレースに接着された楔形の相互接続構造を伴う半導体ダイを図示する。

【図11a】図11a - 11dは、伝導性トレースに接着された半導体ダイおよび相互接続構造の別の実施形態を図示する。

【図11b】図11a - 11dは、伝導性トレースに接着された半導体ダイおよび相互接続構造の別の実施形態を図示する。

【図11c】図11a - 11dは、伝導性トレースに接着された半導体ダイおよび相互接続構造の別の実施形態を図示する。

【図11d】図11a - 11dは、伝導性トレースに接着された半導体ダイおよび相互接続構造の別の実施形態を図示する。

【図12a】図12a - 12cは、伝導性トレースに接着された階段状バンプおよびスタッドバンプ相互接続構造を図示する。

【図12b】図12a - 12cは、伝導性トレースに接着された階段状バンプおよびスタッドバンプ相互接続構造を図示する。

【図12c】図12a - 12cは、伝導性トレースに接着された階段状バンプおよびスタッドバンプ相互接続構造を図示する。

【図13a】図13a - 13bは、伝導性ビアを伴う伝導性トレースを図示する。

【図13b】図13a - 13bは、伝導性ビアを伴う伝導性トレースを図示する。

【図14a】図14a - 14cは、半導体ダイと基板との間の鋳型アンダーフィルを図示する。

【図14b】図14a - 14cは、半導体ダイと基板との間の鋳型アンダーフィルを図示する。

【図14c】図14a - 14cは、半導体ダイと基板との間の鋳型アンダーフィルを図示する。

【図15】図15は、半導体ダイと基板との間の別の鋳型アンダーフィルを図示する。

【図16】図16は、鋳型アンダーフィルの後の半導体ダイおよび基板を図示する。

【図17a】図17a - 17gは、開放はんだ位置合わせを伴う伝導性トレースの種々の配設を図示する。

10

20

30

40

50

【図17b】図17a - 17gは、開放はんだ位置合わせを伴う伝導性トレースの種々の配設を図示する。

【図17c】図17a - 17gは、開放はんだ位置合わせを伴う伝導性トレースの種々の配設を図示する。

【図17d】図17a - 17gは、開放はんだ位置合わせを伴う伝導性トレースの種々の配設を図示する。

【図17e】図17a - 17gは、開放はんだ位置合わせを伴う伝導性トレースの種々の配設を図示する。

【図17f】図17a - 17gは、開放はんだ位置合わせを伴う伝導性トレースの種々の配設を図示する。

【図17g】図17a - 17gは、開放はんだ位置合わせを伴う伝導性トレースの種々の配設を図示する。

【図18a】図18a - 18bは、伝導性トレース間にパッチを伴う開放はんだ位置合わせを図示する。

【図18b】図18a - 18bは、伝導性トレース間にパッチを伴う開放はんだ位置合わせを図示する。

【図19】図19は、鋳型アンダーフィル中に封入材を拘束するマスキング層ダムを伴うPOPを図示する。

【発明を実施するための形態】

【0019】

類似数字が同一または同様の要素を表す図を参照して、以下の説明における1つ以上の実施形態で、本発明を説明する。本発明の目的を達成するための最良の様態に関して本発明を説明するが、以下の開示および図面によって支持されるような添付の請求項およびそれらの同等物によって定義されるような、本発明の精神および範囲内に含まれてもよい、代替案、修正、および同等物を網羅するよう意図されていることが、当業者によって理解されるであろう。

【0020】

半導体素子は、概して、フロントエンド製造およびバックエンド製造といった、2つの複雑な製造工程を使用して製造される。フロントエンド製造は、半導体ウエハの表面上の複数のダイの形成を伴う。ウエハ上の各ダイは、機能的電気回路を形成するように電氣的に接続される、能動および受動的電気構成要素を含有する。トランジスタおよびダイオード等の能動的電気構成要素は、電流の流れを制御する能力を有する。コンデンサ、インダクタ、抵抗器、および変圧器等の受動的電気構成要素は、電氣的回路機能を果たすために必要な電圧と電流との間の関係を生じる。

【0021】

受動的および能動的構成要素は、ドーピング、堆積、フォトリソグラフィ、エッチング、および平坦化を含む、一連の工程ステップによって、半導体ウエハの表面上に形成される。ドーピングは、イオン注入または熱拡散等の技法によって、半導体材料に不純物を導入する。ドーピング工程は、能動素子の半導体材料の電気伝導性を修正し、半導体材料を絶縁材や導体に転換し、または、電界または基本電流に応じて、半導体材料の伝導性を動的に変化させる。トランジスタは、電界または基本電流の印加時に、トランジスタが電流の流れを推進または制限することを可能にするように、必要に応じて配設された様々な種類および程度のドーピングの領域を含有する。

【0022】

能動的および受動的構成要素は、異なる電気特性を伴う材料の層によって形成される。層は、堆積させられている材料の種類によって部分的に決定される、種々の堆積技法によって形成することができる。例えば、薄膜堆積は、化学蒸着(CVD)、物理蒸着(PVD)、電解めっき、および無電解めっき工程を伴うことができる。各層は、概して、能動的構成要素、受動的構成要素、または構成要素間の電気接続の複数部分を形成するようにパターン化される。

10

20

30

40

50

【 0 0 2 3 】

層は、パターン化される層上に、感光性材料、例えば、フォトレジストの堆積を伴う、フォトリソグラフィを使用してパターン化することができる。パターンは、光を使用して、フォトマスクからフォトレジストに転写することができる。光を受けるフォトレジストパターンの部分は、溶剤を使用して除去され、パターン化される下位層の複数部分を露出する。フォトレジストの残りの部分が除去され、パターン化した層を残す。代替として、いくつかの種類の材料は、無電解または電解めっき等の技法を使用して、以前の堆積 / エッチング工程によって形成された領域または空隙の中に、材料を直接堆積させることによってパターン化される。

【 0 0 2 4 】

既存のパターン上に材料の薄膜を堆積させることにより、下層パターンを誇張し、不均一な平面を作成することができる。より小型で密集した能動および受動的構成要素を生産するために、均一な平面が必要とされる。ウエハの表面から材料を除去し、均一な平面を生産するために、平坦化を使用することができる。平坦化は、研磨パッドでウエハの表面を研磨することを伴う。研削材および腐食性化学物質が、研磨中にウエハの表面に加えらる。研削材の機械的作用および化学物質の腐食作用の組み合わせは、不規則なトポグラフィを除去し、均一な平面をもたらす。

【 0 0 2 5 】

バックエンド製造は、完成したウエハを個別ダイに切断または単一化し、次いで、構造的サポートおよび環境的隔離のためにダイをパッケージ化することを指す。ダイを単一化するために、ウエハは、鋸通路またはスクライブと呼ばれるウエハの非機能的領域に沿って、分割され、破断される。ウエハは、レーザ切断ツールまたは鋸刃を使用して単一化される。単一化の後に、個別ダイは、他のシステム構成要素との相互接続のために、ピンまたは接触パッドを含むパッケージ基板に載置される。次いで、半導体ダイ上に形成される接触パッドは、パッケージ内の接触パッドに接続される。電気的接続は、はんだバンプ、スタッドバンプ、伝導性ペースト、またはワイヤボンドで行うことができる。封入材または他の成形材料が、物理的サポートおよび電気的隔離を提供するようにパッケージ上に堆積させられる。次いで、完成したパッケージが電気システムに挿入され、半導体素子の機能性が他のシステム構成要素に利用可能となる。

【 0 0 2 6 】

図 3 は、その表面上に載置された複数の半導体パッケージを伴うチップキャリア基板またはプリント回路板 (P C B) 5 2 を有する電子デバイス 5 0 を図示する。電子デバイス 5 0 は、用途に応じて、1 種類の半導体パッケージまたは複数の種類の半導体パッケージを有することができる。例証の目的で、異なる種類の半導体パッケージが図 3 に示されている。

【 0 0 2 7 】

電子デバイス 5 0 は、1 つ以上の電気的機能を果たすために半導体パッケージを使用する、独立型システムとなり得る。代替として、電子デバイス 5 0 は、より大型のシステムの従属構成要素となり得る。例えば、電子デバイス 5 0 は、携帯電話、携帯情報端末 (P D A)、デジタルビデオカメラ (D V C)、または他の電子通信デバイスの一部となり得る。代替として、電子デバイス 5 0 は、グラフィックカード、ネットワークインターフェースカード、またはコンピュータに挿入することができる他の信号処理カードとなり得る。半導体パッケージは、マイクロプロセッサ、メモリ、特定用途向け集積回路 (A S I C)、論理回路、アナログ回路、R F 回路、個別素子、または他の半導体ダイあるいは電気構成要素を含むことができる。小型化および減量は、これらの製品が市場によって受け入れられるために不可欠である。半導体素子間の距離は、より高い密度を達成するように減少しなければならない。

【 0 0 2 8 】

図 3 では、P C B 5 2 は、P C B 上に載置された半導体パッケージの構造的サポートおよび電気的相互接続のための一般的基板を提供する。伝導性信号トレース 5 4 は、蒸発、電解

10

20

30

40

50

めっき、無電解めっき、スクリーン印刷、または他の好適な金属堆積工程を使用して、PCB 52の表面上または層内に形成される。信号トレース54は、半導体パッケージ、載置された構成要素、および他の外部システム構成要素のそれぞれの間の電気通信を提供する。トレース54はまた、半導体パッケージのそれぞれへの電力および接地接続も提供する。

【0029】

いくつかの実施形態では、半導体素子は、2つのパッケージ化レベルを有する。第1レベルのパッケージ化は、半導体ダイを中間キャリアに機械的かつ電気的に取り付けるための技法である。第2レベルのパッケージ化は、中間キャリアをPCBに機械的かつ電気的に取り付けることを伴う。他の実施形態では、半導体素子は、ダイがPCBに機械的かつ電気的に直接載置される、第1レベルのパッケージ化のみを有してもよい。

10

【0030】

例証の目的で、ワイヤボンダパッケージ56およびフリップチップ58を含む、数種類の第1レベルのパッケージ化が、PCB 52上に示されている。加えて、ボールグリッドアレイ(BGA)60、 bumpsチップキャリア(BCC)62、デュアルインラインパッケージ(DIP)64、ランドグリッドアレイ(LGA)66、マルチチップモジュール(MCM)68、クワッドフラットノンリードパッケージ(QFN)70、およびクワッドフラットパッケージ72を含む、数種類の第2レベルのパッケージ化が、PCB 52上に載置されて示されている。システム要件に応じて、第1および第2レベルのパッケージ化様式の任意の組み合わせ、ならびに他の電子構成要素を伴って構成される、半導体パッケージの任意の組み合わせを、PCB 52に接続することができる。いくつかの実施形態では、電子デバイス50が、単一の取り付けられた半導体パッケージを含む一方で、他の実施形態は、複数の相互接続されたパッケージを要求する。単一の基板上で1つ以上の半導体パッケージを組み合わせることによって、製造業者は、事前に作製された構成要素を電子デバイスおよびシステムに組み込むことができる。半導体パッケージが洗練された機能性を含むため、より安価の構成要素および合理化された製造工程を使用して、電子デバイスを製造することができる。結果として生じるデバイスは、故障する可能性が低く、製造することがあまり高価ではなく、消費者にとってより低い費用をもたらす。

20

【0031】

図4a-4cは、例示的な半導体パッケージを示す。図4aは、PCB 52上に載置されたDIP 64のさらなる詳細を図示する。半導体ダイ74は、ダイ内に形成され、ダイの電気的設計に従って電気的に相互接続される、能動素子、受動素子、伝導層、および誘電層として実装される、アナログまたはデジタル回路を含有する能動領域を含む。例えば、回路は、1つ以上のトランジスタ、ダイオード、インダクタ、コンデンサ、抵抗器、および半導体ダイ74の能動領域内に形成される他の回路要素を含むことができる。接触パッド76は、アルミニウム(Al)、銅(Cu)、スズ(Sn)、ニッケル(Ni)、金(Au)、または銀(Ag)等の伝導性材料の1つ以上の層であり、半導体ダイ74内に形成される回路要素に電気的に接続される。DIP 64の組立中に、半導体ダイ74は、金・シリコン共晶層、または熱エポキシあるいはエポキシ樹脂等の接着材料を使用して、中間キャリア78に載置される。パッケージ本体は、ポリマーまたはセラミック等の絶縁性パッケージ化材料を含む。導体リード80およびボンダワイヤ82は、半導体ダイ74とPCB 52との間の電気的相互接続を提供する。封入材84は、湿気および粒子がパッケージに進入し、ダイ74またはボンダワイヤ82を汚染することを防止することによって、環境保護のためにパッケージ上に堆積させられる。

30

40

【0032】

図4bは、PCB 52上に載置されたBCC 62のさらなる詳細を図示する。半導体ダイ88は、アンダーフィルまたはエポキシ樹脂接着材料92を使用して、キャリア90上に載置される。ボンダワイヤ94は、接触パッド96および98の間の第1レベルのパッケージ化相互接続を提供する。成形化合物または封入材100は、デバイスに対する物理的支持および電気的隔離を提供するように、半導体ダイ88およびボンダワイヤ94上に

50

堆積させられる。接触パッド102は、酸化を防止するように、電解めっきまたは無電解めっき等の好適な金属堆積工程を使用して、PCB52の表面上に形成される。接触パッド102は、PCB52の中の1つ以上の伝導性信号トレース54に電氣的に接続される。バンプ104は、BCC62の接触パッド98とPCB52の接触パッド102との間に形成される。

【0033】

図4cでは、半導体ダイ58は、フリップチップ様式の第1レベルのパッケージ化で、表を下にして中間キャリア106に載置される。半導体ダイ58の能動領域108は、ダイの電氣的設計に従って形成される、能動素子、受動素子、伝導層、および誘電層として実装される、アナログまたはデジタル回路を含有する。例えば、回路は、1つ以上のトランジスタ、ダイオード、インダクタ、コンデンサ、抵抗器、および能動領域108内の他の回路要素を含むことができる。半導体ダイ58は、バンプ110を通してキャリア106に電氣的かつ機械的に接続される。

【0034】

BGA60は、バンプ112を使用して、BGA様式の第2レベルのパッケージ化でPCB52に電氣的かつ機械的に接続される。半導体ダイ58は、バンプ110、信号線114、およびバンプ112を通して、PCB52の中の伝導性信号トレース54に電氣的に接続される。成形化合物または封入材116は、デバイスに対する物理的支持および電氣的隔離を提供するように、半導体ダイ58およびキャリア106上に堆積させられる。フリップチップ半導体素子は、信号伝搬距離を縮小し、静電容量を低下させ、全体的な回路性能を向上させるために、半導体ダイ58上の能動素子からPCB52上の伝導トラックまでの短い電氣伝導経路を提供する。別の実施形態では、半導体ダイ58は、中間キャリア106を伴わずにフリップチップ様式の第1レベルのパッケージ化を使用して、PCB52に機械的かつ電氣的に直接接続することができる。

【0035】

フリップチップ半導体パッケージおよびウエハレベルパッケージ(WLP)は、一般的に、高速、高密度、およびより大きいピン計数を要求するICとともに使用されている。フリップチップ様式の半導体素子またはパッケージ120は、図5に示されるように、チップキャリア基板またはPCB126に向かって表を下にして、ダイ124の能動領域122を載置することを伴う。能動領域122は、ダイの電氣的設計に従って、能動および受動素子、伝導層、および誘電層を含有する。バンプパッド134は、蒸発、電解めっき、無電解めっき、スクリーン印刷、または他の好適な金属堆積工程を使用して、能動領域122上に形成される。バンプパッド134は、能動領域122の中で伝導トラックによって能動および受動回路に接続される。接触パッド136は、Al、Sn、Ni、Au、Ag、またはCuとなり得る。電氣および機械的相互接続は、バンプ構造130を通して達成される。任意の金属または導電性材料、例えば、Sn、鉛(Pb)、Ni、Au、Ag、Cu、輝蒼鉛鉱(Bi)、およびそれらの合金を用いた、蒸発、電解めっき、無電解めっき、ボールドロップ、またはスクリーン印刷工程を使用して、バンプ材料がバンプパッド134上に堆積させられる。例えば、バンプ材料は、共晶Sn/Pb、高含有量の鉛、または無鉛となり得る。バンプ材料は、リフロー工程によってキャリア基板126上の接触パッドまたは相互接続部位136に電氣的かつ機械的に接続される、バンプまたはボール132を形成するようにリフローされる。フリップチップ半導体素子は、信号伝搬を低減し、静電容量を低下させ、全体的により良好な回路性能を達成するために、ダイ124上の能動素子からキャリア基板上の伝導トラックまでの短い電氣伝導経路を提供する。

【0036】

基板接触パッドへのバンプ接続のさらなる詳細が、図6a-6dに示されている。バンプ132は、上記で説明されるように、半導体ダイ124の能動領域122の中でバンプパッド134上に形成される。金属接触パッド136は、蒸発、電解めっき、無電解めっき、スクリーン印刷、または他の好適な金属堆積工程を使用して、基板126上に形成される。接触パッド136は、Al、Cu、Sn、Ni、Au、またはAgとなり得る。接

10

20

30

40

50

触パッド136は、露出厚さTを伴う側壁142を有する。図6aでは、はんだレジストまたははんだマスクに形成された開口部145は、接触パッド136の少なくとも一部分上に配置される。その整合に応じて、はんだレジスト開口部145は、図6cに示されるように、基板126の一部分上に延在することができる。パンプ132を接触パッド136に電気的かつ冶金的に接続するために、パンプは、図6bおよび6dに示されるように、はんだレジスト開口部145を通して接触パッド上にリフローされる。

【0037】

別の実施形態では、パンプ材料は、Sn、Pb、Ni、Au、Ag、Cu、Bi、およびそれらの合金を用いた、蒸発、電解めっき、無電解めっき、ポールドロップ、またはスクリーン印刷工程を使用して、はんだレジスト開口部145を通して基板126上の接触パッド136上に直接堆積させることができる。パンプ材料は、上記で説明されるように、パンプを形成するようにリフローされる。

10

【0038】

半導体素子120の製造工程は、はんだレジスト開口部の整合公差を定義するはんだ位置合わせ(SRR)を含む、新規の設計規則を採用する。新規の設計規則の下で、はんだレジスト開口部は、必ずしも接触パッド内で整合させられる必要はないが、むしろ、製造整合公差により、接触パッドの物理的面積に対してオフセットまたは不整合となり得る。

【0039】

図6aおよび6bは、はんだレジスト開口部145が接触パッド136の中心領域と実質的に整合している、理想的な場合を示す。実践では、接触パッド136は、製造工程中に、はんだレジスト開口部145に対して不整合であってもよい。例えば、図6cでは、はんだ位置合わせは、より小型の接触パッドと組み合わせて、Xという距離だけ接触パッド136の設置面積の外側に、はんだレジスト開口部145を延在させる。つまり、はんだレジスト開口部145は、接触パッド136の物理的面積にオフセットまたは不整合である。新規の設計規則は、基板126上の接触パッド136とはんだレジスト開口部145との間で、この不整合を可能にする。湿潤工程中に、フラックス材料の表面張力は、パンプ132を接触パッド136の表面146にわたってリフローさせ、それに付着させる。接触パッド136がはんだレジスト開口部145と不整合である、すなわち、はんだレジスト開口部の一部分が接触パッドの外側に延在する場合において、パンプ132のリフローはまた、接触パッド136の側壁142に重なって湿潤させ、図6dで見られるように、側壁142に隣接する領域を実質的に充填する。パンプ132は、側壁142を含む接触パッド136の周囲に空隙または空虚な空間を残さない。いずれの場合において、本設計規則の下で、パンプ132は、接触パッド136への良好な冶金および電気接続を行う。

20

30

【0040】

本相互接続構造の特徴として、接触パッド136は、従来技術で見出される寸法および設計規準と比較して、はんだレジスト開口部145に対して小型に作られる。一般に、接触パッド136は、以下の設計規則に従ってサイズ決定される。

【0041】

$$P_{size} = SRO + 2 * SRR - 2X \quad (1)$$

式中、SROは、はんだレジスト開口部であり、

SRRは、はんだ位置合わせまたは製造整合公差であり、

Xは、パンプが接触パッドの縁および側壁に重なることができる量を定義する、設計規則である。

40

【0042】

新規の設計規則は、方程式(1)に従って、接触パッド136のサイズを2Xだけ縮小する。Xの値は、接触パッド136のフラックス材料および厚さの関数である。一般に、Xの値は、接触パッドの露出側壁の厚さの1倍から2倍に及ぶ。接触パッド136の露出部分(T)は、典型的には、厚さ5~20ミクロンである。Xの値は、フラックス有効性

50

とともに増加することができる。したがって、90ミクロンのはんだレジスト開口部、および25ミクロンのはんだレジスト整合公差を考慮すると、接触パッド136は、 $X = 10$ ミクロンを伴う設計規則を仮定して、120ミクロンに作製することができる。別の実施例では、90ミクロンのはんだレジスト開口部、および25ミクロンのはんだレジスト整合公差を考慮すると、接触パッド136は、 $X = 40$ ミクロンを伴う設計規則を仮定して、60ミクロンに作製することができる。実践では、接触パッドは、典型的には、はんだレジスト開口部と等しい、またはそれよりも小さいサイズで作られる。他の場合においては、接触パッドは、はんだレジスト開口部よりも大きくなり得る。

【0043】

方程式(1)の2X縮小設計規則は、基板の単位面積につき、より多くの接触パッドを提供する、より小型接触パッドを生じる。加えて、より小型の接触パッドは、接触パッド間の信号トレースルーティングのためのさらなる空間を提供し、それにより、トレースルーティング密度を増加させる。2X設計規則は、半導体素子の冶金接続および電氣的機能性の信頼性を維持する。側壁142に付着するリフローしたバンプ材料は、さらなるバンプ接触面積を提供することによって、冶金完全性および相互接続の信頼性を増大させる。バンプ材料が側壁142まで湿潤するため、バンプと側壁142との間には、空隙がほとんど形成されないか、または全く形成されない。接触パッド136の直接周囲にある基板126の領域は、隣接するトレースまたは素子へのバンプの短絡を回避するように、電氣的に絶縁される。

【0044】

図7aは、はんだレジスト開口部152と同じサイズ、またはそれよりもわずかに小さく作られる、円形の接触パッド150を示す。この場合、接触パッドの側壁の重複または湿潤は、完全に接触パッドの円周で生じる。代替として、接触パッドは、はんだレジスト開口部より大きく作ることができる。

【0045】

図7bでは、接触パッド160が、パッドから延在する略円形の狭いトレース線を伴って示されている。トレース線は、はんだレジスト開口部162よりも実質的に狭い。接触パッドの側壁の重複または湿潤は、実質的に接触パッドの円周で生じる。

【0046】

図7cでは、接触パッド170は、はんだレジスト開口部172が不整合である時に、露出量をさらに低減するように長方形に作られる。

【0047】

図7dでは、ドーナツ形の接触パッド180は、接触パッドの内側および外側の側壁上で、はんだレジスト開口部182を通じたバンプ材料の湿潤を提供する。接触パッド180は、パッドの可湿表面を縮小し、結合または接合が形成された後に、より高いスタンドオフを提供する。

【0048】

はんだレジスト開口部の整合公差を考慮すると、バンプは、製造された半導体素子のうちの少なくともいくつかにおいて、必然的に接触パッドに重なる。方程式(1)に従って接触パッドのサイズを縮小し、バンプ材料が側壁142に重なって湿潤することを可能にする、2X縮小設計規則を採用することによって、接触パッドの間により多くの信号トレースの配置を提供する、より小さいサイズで、接触パッドを作製することができる。信号トレースルーティング密度が、それに対応して増加する。加えて、より小型の接触パッドは、基板の単位面積につき、より多くの接触パッドとなる。90ミクロンのはんだレジスト開口部を伴う140ミクロンの接触パッドをもたらし、背景技術で論議される従来技術の設計規則から、2X縮小設計規則は、実質的に接触パッドを2Xだけ縮小する。

【0049】

図8-13は、図5-7で説明されるような、相互接続構造および2X縮小設計規則に適用可能である、種々の相互接続構造を伴う他の実施形態を説明する。図8aは、構造的

支持のために、シリコン、ゲルマニウム、ガリウムヒ素、リン化インジウム、または炭化ケイ素等のベース基板材料 222 を伴う半導体ウエハ 220 を示す。複数の半導体ダイまたは構成要素 224 は、上記で説明されるような鋸通路 226 によって分離されるウエハ 220 上に形成される。

【0050】

図 8 b は、半導体ウエハ 220 の一部分の断面図を示す。各半導体ダイ 224 は、ダイ内に形成され、ダイの電氣的設計および機能に従って電氣的に相互接続される、能動素子、受動素子、伝導層、および誘電層として実装される、アナログまたはデジタル回路を含有する、裏面 228 および能動表面 230 を含む。例えば、回路は、デジタル信号プロセッサ (DSP)、ASIC、メモリ、または他の信号処理回路等のアナログ回路またはデジタル回路を実装するように、1つ以上のトランジスタ、ダイオード、および能動表面 230 内に形成される他の回路要素を含むことができる。半導体ダイ 224 はまた、RF 信号処理のために、インダクタ、コンデンサ、および抵抗器等の集積受動素子 (IPD) を含有することもできる。一実施形態では、半導体ダイ 224 は、フリップチップ型半導体ダイである。

10

【0051】

導電性層 232 は、PVD、CVD、電解めっき、無電解めっき工程、または他の好適な金属堆積工程を使用して、能動表面 230 上に形成される。伝導層 232 は、Al、Cu、Sn、Ni、Au、Ag、または他の好適な導電性材料の 1つ以上の層となり得る。伝導性層 232 は、能動表面 230 上の回路に電氣的に接続される接触パッドとして動作する。

20

【0052】

図 8 c は、接触パッド 232 上に形成される相互接続構造を伴う半導体ウエハ 220 の一部分を示す。導電性バンプ材料 234 は、蒸発、電解めっき、無電解めっき、ボールドロップ、またはスクリーン印刷工程を使用して、接触パッド 232 上に堆積させられる。バンプ材料 234 は、随意的なフラックス溶液とともに、Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、はんだ、およびそれらの組み合わせとなり得る。例えば、バンプ材料 234 は、共晶 Sn/Pb、鉛の含有量が高いはんだ、または無鉛はんだとなり得る。バンプ材料 234 は、略柔軟であり、約 200 グラムの垂直荷重と同等の力の下で、約 25 マイクロメートル (μm) より大きい塑性変形を受ける。バンプ材料 234 は、好適な取付または接着工程を使用して、接触パッド 232 に接着される。例えば、バンプ材料 234 を接触パッド 232 に圧縮接着することができる。バンプ材料 234 はまた、図 8 d に示されるように、球状ボールまたはバンプ 236 を形成するように、その融点を上回って材料を加熱することによって、リフローすることもできる。いくつかの用途では、バンプ 236 は、接触パッド 232 への電氣的接続を向上させるように、2 回リフローされる。バンプ 236 は、接触パッド 232 上に形成することができる 1 種類の相互接続構造を表す。相互接続構造はまた、スタッドバンプ、マイクロバンプ、または他の電氣的相互接続も使用することができる。

30

【0053】

図 8 e は、非可融性または非折り畳み式部分 240 と、可融性または折り畳み式部分 242 とを含む、複合バンプ 238 として接触パッド 232 上に形成される相互接続構造の別の実施形態を示す。可融性または折り畳み式および非可融性または非折り畳み式の属性は、リフロー条件に関しバンプ 238 に対して定義される。非可融性部分 240 は、Au、Cu、Ni、鉛の含有量が高いはんだ、または鉛スズ合金となり得る。可融性部分 242 は、Sn、無鉛合金、Sn-Ag 合金、Sn-Ag-Cu 合金、Sn-Ag-インジウム (In) 合金、共晶はんだ、Ag、Cu、または Pb を伴うスズ合金、または比較的低温溶融のはんだとなり得る。一実施形態では、100 μm の接触パッド 232 の幅または直径を考慮すると、非可融性部分 240 は、高さが約 45 μm であり、可融性部分 242 は、高さが約 35 μm である。

40

50

【 0 0 5 4 】

図 8 f は、伝導柱 2 4 6 上のバンプ 2 4 4 として接触パッド 2 3 2 上に形成される相互接続構造の別の実施形態を示す。バンプ 2 4 4 は、可融性または折り畳み式であり、伝導柱 2 4 6 は、非可融性または非折り畳み式である。可融性または折り畳み式および非可融性または非折り畳み式の属性は、リフロー条件に関して定義される。バンプ 2 4 4 は、Sn、無鉛合金、Sn - Ag 合金、Sn - Ag - Cu 合金、Sn - Ag - In 合金、共晶はんだ、Ag、Cu、または Pb を伴うスズ合金、または比較的低温溶融のはんだとなり得る。伝導柱 2 4 6 は、Au、Cu、Ni、鉛の含有量が高いはんだ、または鉛スズ合金となり得る。一実施形態では、伝導柱 2 4 6 は、Cu 柱であり、バンプ 2 4 4 は、はんだキャップである。100 μm の接触パッド 2 3 2 の幅または直径を考慮すると、伝導柱 2 4 6 は、高さが約 45 μm であり、バンプ 2 4 4 は、高さが約 35 μm である。

10

【 0 0 5 5 】

図 8 g は、凹凸 2 5 0 を伴うバンプ材料 2 4 8 として接触パッド 2 3 2 上に形成される相互接続構造の別の実施形態を示す。バンプ材料 2 4 8 は、バンプ材料 2 3 4 と同様に、破断に対する低い降伏強度および高い伸長を伴って、リフロー条件下で軟質および変形可能である。凹凸 2 5 0 は、めっき表面仕上げで形成され、例証の目的で、図中では誇張されて示されている。凹凸 2 5 0 の規模は、概して、約 1 ~ 25 μm である。凹凸はまた、バンプ 2 3 6、複合バンプ 2 3 8、およびバンプ 2 4 4 上に形成することもできる。

【 0 0 5 6 】

図 8 h では、半導体ウエハ 2 2 0 は、鋸刃またはレーザ切断ツール 2 5 2 を使用して、鋸通路 2 2 6 を通して個別半導体ダイ 2 2 4 に単一化される。

20

【 0 0 5 7 】

図 9 a は、伝導性トレース 2 5 6 を伴う基板または PCB 2 5 4 を示す。基板 2 5 4 は、片面 FR5 積層または 2 面 BT 樹脂積層となり得る。半導体ダイ 2 2 4 は、バンプ材料 2 3 4 が伝導性トレース 2 5 6 上の相互接続部位と整合されるように位置付けられる（図 1 7 a ~ 1 7 g 参照）。代替として、バンプ材料 2 3 4 は、基板 2 5 4 上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。バンプ材料 2 3 4 は、伝導性トレース 2 5 6 よりも幅広い。一実施形態では、バンプ材料 2 3 4 は、100 μm 未満の幅を有し、伝導性トレースまたはパッド 2 5 6 は、150 μm のバンプピッチに対して 35 μm の幅を有する。伝導性トレース 2 5 6 は、図 5 ~ 7 で説明されるような、相互接続構造および 2 X 縮小設計規則に適用可能である。

30

【 0 0 5 8 】

圧力または力 F は、伝導性トレース 2 5 6 上にバンプ材料 2 3 4 を押し付けるように、半導体ダイ 2 2 4 の裏面 2 2 8 に印加される。力 F は、高温で印加することができる。バンプ材料 2 3 4 の柔軟性により、バンプ材料は、伝導性トレース 2 5 6 の頂面および側面の周囲で変形または押し出し、バンプオンリード (BOL) と呼ばれる。具体的には、圧力の印加は、約 200 グラムの垂直荷重と同等の力 F の下で、約 25 μm より大きい塑性変形をバンプ材料 2 3 4 に受けさせ、図 9 b に示されるように、伝導性トレースの頂面および側面を覆わせる。バンプ材料 2 3 4 はまた、バンプ材料を伝導性トレースと物理的接触させ、次いで、リフロー温度下でバンプ材料をリフローすることによって、伝導性トレース 2 5 6 に冶金接続することもできる。

40

【 0 0 5 9 】

伝導性トレース 2 5 6 をバンプ材料 2 3 4 よりも狭くすることによって、ルーティング密度および入出力数を増加させるように伝導性トレースピッチを低減することができる。より狭い伝導性トレース 2 5 6 は、伝導性トレースの周囲のバンプ材料 2 3 4 を変形させるために必要な力 F を低減する。例えば、必要な力 F は、バンプ材料よりも幅広い伝導性トレースまたはパッドに対してバンプ材料を変形させるために必要な力の 30 ~ 50 % であってもよい。より低い圧縮力 F は、細かいピッチ相互接続および小型ダイが、特定公差で共平面性を維持し、均一な z 方向変形および高信頼性の相互接続結合を達成するために有用である。加えて、伝導性トレース 2 5 6 の周囲のバンプ材料 2 3 4 を変形させるこ

50

とにより、 bumps をトレースに機械的に係止し、リフロー中のダイの移行またはダイの浮動を防止する。

【0060】

図9cは、半導体ダイ224の接触パッド232上に形成される bump 236を示す。半導体ダイ224は、 bump 236が伝導性トレース256上の相互接続部位と整合されるように位置付けられる。代替として、 bump 236は、基板254上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。 bump 236は、伝導性トレース256よりも幅広い。伝導性トレース256は、図57で説明されるような、相互接続構造および2X縮小設計規則に適用可能である。

【0061】

圧力または力Fは、伝導性トレース256上に bump 236を押し付けるように、半導体ダイ224の裏面228に印加される。力Fは、高温で印加することができる。 bump 236の柔軟性により、 bump は、伝導性トレース256の頂面および側面の周囲で変形または押出する。具体的には、圧力の印加は、 bump 材料236に塑性変形を受けさせ、伝導性トレース256の頂面および側面を覆わせる。 bump 236はまた、リフロー温度下で bumps を伝導性トレースと物理的接触させることによって、伝導性トレース256に冶金接続することもできる。

【0062】

伝導性トレース256を bump 236よりも狭くすることによって、ルーティング密度および入出力計数を増加させるように伝導性トレースピッチを低減することができる。より狭い伝導性トレース256は、伝導性トレースの周囲の bump 236を変形させるために必要な力Fを低減する。例えば、必要な力Fは、 bump よりも幅広い伝導性トレースまたはパッドに対して bumps を変形させるために必要な力の30~50%であってもよい。より低い圧縮力Fは、細かいピッチ相互接続および小型ダイが、特定公差で共平面性を維持し、均一なz方向変形および高信頼性の相互接続結合を達成するために有用である。加えて、伝導性トレース256の周囲の bump 236を変形させることにより、 bumps をトレースに機械的に係止し、リフロー中のダイの移行またはダイの浮動を防止する。

【0063】

図9dは、半導体ダイ224の接触パッド232上に形成される複合 bump 238を示す。半導体ダイ224は、複合 bump 238が伝導性トレース256上の相互接続部位と整合されるように位置付けられる。代替として、複合 bump 238は、基板254上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。複合 bump 238は、伝導性トレース256よりも幅広い。伝導性トレース256は、図57で説明されるような、相互接続構造および2X縮小設計規則に適用可能である。

【0064】

圧力または力Fは、伝導性トレース256上に可融性部分242を押し付けるように、半導体ダイ224の裏面328に印加される。力Fは、高温で印加することができる。可融性部分242の柔軟性により、可融性部分は、伝導性トレース256の頂面および側面の周囲で変形または押出する。具体的には、圧力の印加は、可融性部分242に塑性変形を受けさせ、伝導性トレース256の頂面および側面を覆わせる。複合 bump 238はまた、リフロー温度下で可融性部分242を伝導性トレースと物理的接触させることによって、伝導性トレース256に冶金接続することもできる。非可融性部分240は、圧力または温度の印加中に融解または変形せず、半導体ダイ224と基板254との間の垂直スタンドオフとして、その高さおよび形状を保持する。半導体ダイ224と基板254との間の付加的な変位は、噛合面間のさらに優れた共平面性公差を提供する。

【0065】

リフロー工程中に、半導体ダイ224上の多数(例えば、数千)の複合 bump 238は、基板254の伝導性トレース256上の相互接続部位に取付けられる。 bump 238のうちいくつかは、特に、ダイ224が歪曲された場合に、伝導性トレース256に適正に接続できない場合がある。複合 bump 238は伝導性トレース256よりも幅広いこと

10

20

30

40

50

を思い出されたい。適正な力が印加されると、可融性部分 2 4 2 は、伝導性トレース 2 5 6 の頂面および側面の周囲で変形または押出し、複合バンプ 2 3 8 を伝導性トレースに係止する。機械的相互係止は、伝導性トレース 2 5 6 よりも軟質かつ柔軟であり、したがって、より大きい接触面積に対して伝導性トレースの頂面上および側面の周囲で変形する、可融性部分 2 4 2 の性質によって形成される。複合バンプ 2 3 8 と伝導性トレース 2 5 6 との間の機械的相互係止は、リフロー中にバンプを伝導性トレースに担持し、すなわち、バンプおよび伝導性トレースは、接触を失わない。したがって、伝導性トレース 2 5 6 に噛合する複合バンプ 2 3 8 は、バンプ相互接続の不具合を低減する。

【 0 0 6 6 】

図 9 e は、半導体ダイ 2 2 4 の接触パッド 2 3 2 上に形成される伝導性柱 2 4 6 およびバンプ 2 4 4 を示す。半導体ダイ 2 2 4 は、バンプ 2 4 4 が伝導性トレース 2 5 6 上の相互接続部位と整合されるように位置付けられる。代替として、バンプ 2 4 4 は、基板 2 5 4 上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。バンプ 2 4 4 は、伝導性トレース 2 5 6 よりも幅広い。伝導性トレース 2 5 6 は、図 5 7 で説明されるような、相互接続構造および 2 X 縮小設計規則に適用可能である。

【 0 0 6 7 】

圧力または力 F は、伝導性トレース 2 5 6 上にバンプ 2 4 4 を押し付けるように、半導体ダイ 2 2 4 の裏面 2 2 8 に印加される。力 F は、高温で印加することができる。バンプ 2 4 4 の柔軟性により、バンプは、伝導性トレース 2 5 6 の頂面および側面の周囲で変形または押出する。具体的には、圧力の印加は、バンプ 2 4 4 に塑性変形を受けさせ、伝導性トレース 2 5 6 の頂面および側面を覆わせる。伝導性柱 2 4 6 およびバンプ 2 4 4 はまた、リフロー温度下でバンプを伝導性トレースと物理的接触させることによって、伝導性トレース 2 5 6 に冶金接続することもできる。伝導柱 2 4 6 は、圧力または温度の印加中に融解または変形せず、半導体ダイ 2 2 4 と基板 2 5 4 との間の垂直スタンドオフとして、その高さおよび形状を保持する。半導体ダイ 2 2 4 と基板 2 5 4 との間の付加的な変位は、噛合面間のさらに優れた共平面性公差を提供する。より幅広いバンプ 2 4 4 およびより狭い伝導性トレース 2 5 6 は、同様の低い必要圧縮力および機械的係止特徴、ならびにバンプ材料 2 3 4 およびバンプ 2 3 6 について上記で説明される利点を有する。

【 0 0 6 8 】

図 9 f は、半導体ダイ 2 2 4 の接触パッド 2 3 2 上に形成される凹凸 2 5 0 を伴うバンプ材料 2 4 8 を示す。半導体ダイ 2 2 4 は、バンプ材料 2 4 8 が伝導性トレース 2 5 6 上の相互接続部位と整合されるように位置付けられる。代替として、バンプ材料 2 4 8 は、基板 2 5 4 上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。バンプ材料 2 4 8 は、伝導性トレース 2 5 6 よりも幅広い。圧力または力 F は、伝導性トレース 2 5 6 上にバンプ材料 2 4 8 を押し付けるように、半導体ダイ 2 2 4 の裏面 2 2 8 に印加される。力 F は、高温で印加することができる。バンプ材料 2 4 8 の柔軟性により、バンプは、伝導性トレース 2 5 6 の頂面および側面の周囲で変形または押出する。具体的には、圧力の印加は、バンプ材料 2 4 8 に塑性変形を受けさせ、伝導性トレース 2 5 6 の頂面および側面を覆わせる。加えて、凹凸 2 5 0 は、伝導性トレース 2 5 6 に冶金接続される。凹凸 2 5 0 は、約 1 ~ 2 5 μm にサイズ決定される。

【 0 0 6 9 】

図 9 g は、角度付きまたは傾斜側面を有する、台形伝導性トレース 2 6 0 を伴う基板または PCB 2 5 8 を示す。バンプ材料 2 6 1 は、半導体ダイ 2 2 4 の接触パッド 2 3 2 上に形成される。半導体ダイ 2 2 4 は、バンプ材料 2 6 1 が伝導性トレース 2 6 0 上の相互接続部位と整合されるように位置付けられる。代替として、バンプ材料 2 6 1 は、基板 2 5 8 上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。バンプ材料 2 6 1 は、伝導性トレース 2 6 0 よりも幅広い。伝導性トレース 2 6 0 は、図 5 7 で説明されるような、相互接続構造および 2 X 縮小設計規則に適用可能である。

【 0 0 7 0 】

圧力または力 F は、伝導性トレース 2 6 0 上にバンプ材料 2 6 1 を押し付けるように、

10

20

30

40

50

半導体ダイ224の裏面228に印加される。力Fは、高温で印加することができる。パンプ材料261の柔軟性により、パンプ材料は、伝導性トレース260の頂面および側面の周囲で変形または押出する。具体的には、圧力の印加は、パンプ材料261に塑性変形を受けさせ、伝導性トレース260の頂面および角度付き側面を覆わせる。パンプ材料261はまた、パンプ材料を伝導性トレースと物理的接触させ、次いで、リフロー温度下でパンプ材料をリフローすることによって、伝導性トレース260に冶金接続することもできる。

【0071】

図10a 10dは、半導体ダイ224、および非可融性または非折り畳み式部分264と、可融性または折り畳み式部分266とを有する、細長い複合パンプ262のBOL実施形態を示す。非可融性部分264は、Au、Cu、Ni、鉛の含有量が高いはんだ、または鉛スズ合金となり得る。可融性部分266は、Sn、無鉛合金、Sn-Ag合金、Sn-Ag-Cu合金、Sn-Ag-In合金、共晶はんだ、Ag、Cu、またはPbを伴うスズ合金、または比較的低温溶融のはんだとなり得る。非可融性部分264は、可融性部分266よりも大きい複合パンプ262の一部を構成する。非可融性部分264は、半導体ダイ224の接触パッド232に固定される。

10

【0072】

半導体ダイ224は、図10aに示されるように、複合パンプ262が基板270上に形成された伝導性トレース268上の相互接続部位と整合されるように位置付けられる。複合パンプ262は、伝導性トレース268に沿って先細であり、すなわち、複合パンプは、伝導性トレース268の長さに沿って長く、伝導性トレースを横断して狭い、楔形を有する。複合パンプ262の先細側面は、伝導性トレース268の長さに沿って生じる。図10aの図は、伝導性トレース268と同一線上にある、短いほうの側面または狭小先細を示す。図10aに垂直である、図10bの図は、楔形の複合パンプ262の長いほうの側面を示す。複合パンプ262の短いほうの側面は、伝導性トレース268よりも幅広い。可融性部分266は、図10cおよび10dに示されるように、圧力および/または熱によるリフローの印加時に、伝導性トレース268の周囲で折り重なる。非可融性部分264は、リフロー中に融解または変形せず、その形態および形状を保持する。非可融性部分264は、半導体ダイ224と基板270との間にスタンドオフを提供するように寸法決定することができる。CuOSP等の仕上げを基板270に塗布することができる。伝導性トレース268は、図57で説明されるような、相互接続構造および2X縮小設計規則に適用可能である。

20

30

【0073】

リフロー工程中に、半導体ダイ224上の多数(例えば、数千)の複合パンプ262は、基板270の伝導性トレース268上の相互接続部位に取付けられる。パンプ262のうちいくつかは、特に、半導体ダイ224が歪曲された場合に、伝導性トレース268に適正に接続できない場合がある。複合パンプ262は伝導性トレース268よりも幅広いことを思い出されたい。適正な力が印加されると、可融性部分266は、伝導性トレース268の頂面および側面の周囲で変形または押出し、複合パンプ262を伝導性トレースに係止する。機械的相互係止は、伝導性トレース268よりも軟質かつ柔軟であり、したがって、より大きい接触面積に対して伝導性トレースの頂面および側面の周囲で変形する、可融性部分266の性質によって形成される。複合パンプ362の楔形は、図10aおよび10cの短いほうの側面に沿ったピッチを犠牲にすることなく、パンプと伝導性トレースとの間、例えば、図10bおよび10dの長いほうの側面に沿った、接触面積を増加させる。複合パンプ262と伝導性トレース268との間の機械的相互係止は、リフロー中にパンプを伝導性トレースに担持し、すなわち、パンプおよび伝導性トレースは、接触を失わない。したがって、伝導性トレース268に噛合する複合パンプ262は、パンプ相互接続の不具合を低減する。

40

【0074】

図11a 11dは、図8cと同様である、接触パッド232上に形成されたパンプ材

50

料 274 を伴う半導体ダイ 224 の B O L 実施形態を示す。図 11a では、パンプ材料 274 は、略柔軟であり、約 200 グラムの垂直荷重と同等の力の下で、約 25 μm より大きい塑性変形を受ける。パンプ材料 274 は、基板 278 上の伝導性トレース 276 よりも幅広い。複数の凹凸 280 は、約 1 ~ 25 μm の高さで伝導性トレース 276 上に形成される。

【 0075 】

半導体ダイ 224 は、パンプ材料 274 が伝導性トレース 276 上の相互接続部位と整合されるように位置付けられる。代替として、パンプ材料 274 は、基板 278 上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。圧力または力 F は、図 11b に示されるように、伝導性トレース 276 および凹凸 280 上にパンプ材料 274 を押し付けるように、半導体ダイ 224 の裏面 228 に印加される。力 F は、高温で印加することができる。パンプ材料 274 の柔軟性により、パンプ材料は、伝導性トレース 276 および凹凸 280 の頂面および側面の周囲で変形または押出する。具体的には、圧力の印加は、パンプ材料 274 に塑性変形を受けさせ、伝導性トレース 276 および凹凸 280 の頂面および側面を覆わせる。パンプ材料 274 の塑性流動は、パンプ材料と、伝導性トレース 276 および凹凸 280 の頂面および側面との間に、巨視的な機械的相互係止点を作成する。パンプ材料 274 の塑性流動は、伝導性トレース 276 および凹凸 280 の頂面および側面の周囲で生じるが、電気的短絡および他の欠陥を引き起こし得るので、過剰に基板 278 上に延在しない。パンプ材料と、伝導性トレース 276 および凹凸 280 の頂面および側面との間の機械的相互係止は、接着力を有意に増加させることなく、それぞれの表面間により大きい接触面積を伴って頑丈な接続を提供する。パンプ材料と、伝導性トレース 276 および凹凸 280 の頂面および側面との間の機械的相互係止はまた、カプセル化等の後続の製造工程中に横方向のダイの移行を低減する。

【 0076 】

図 11c は、伝導性トレース 276 より狭いパンプ材料 274 を伴う別の B O L 実施形態を示す。圧力または力 F は、伝導性トレース 276 および凹凸 280 上にパンプ材料 274 を押し付けるように、半導体ダイ 224 の裏面 228 に印加される。力 F は、高温で印加することができる。パンプ材料 274 の柔軟性により、パンプ材料は、伝導性トレース 276 および凹凸 280 の頂面上で変形または押出する。具体的には、圧力の印加は、パンプ材料 274 に塑性変形を受けさせ、伝導性トレース 276 および凹凸 280 の頂面を覆わせる。パンプ材料 274 の塑性流動は、パンプ材料と、伝導性トレース 276 および凹凸 280 の頂面との間に、巨視的な機械的相互係止点を作成する。パンプ材料と、伝導性トレース 276 および凹凸 280 の頂面との間の機械的相互係止は、接着力を有意に増加させることなく、それぞれの表面間により大きい接触面積を伴って頑丈な接続を提供する。パンプ材料と、伝導性トレース 276 および凹凸 280 の頂面との間の機械的相互係止はまた、カプセル化等の後続の製造工程中に横方向のダイの移行を低減する。

【 0077 】

図 11d は、伝導性トレース 276 の縁上に形成されたパンプ材料 274 を伴う別の B O L 実施形態を示し、すなわち、パンプ材料の一部は伝導性トレース上にあり、パンプ材料の一部は伝導性トレース上にない。圧力または力 F は、伝導性トレース 276 および凹凸 280 上にパンプ材料 274 を押し付けるように、半導体ダイ 224 の裏面 228 に印加される。力 F は、高温で印加することができる。パンプ材料 274 の柔軟性により、パンプ材料は、伝導性トレース 276 および凹凸 280 の頂面および側面上で変形または押出する。具体的には、圧力の印加は、パンプ材料 274 に塑性変形を受けさせ、伝導性トレース 276 および凹凸 280 の頂面および側面を覆わせる。パンプ材料 274 の塑性流動は、パンプ材料と、伝導性トレース 276 および凹凸 280 の頂面および側面との間に、巨視的な機械的相互係止点を作成する。パンプ材料と、伝導性トレース 276 および凹凸 280 の頂面および側面との間の機械的相互係止は、接着力を有意に増加させることなく、それぞれの表面間により大きい接触面積を伴って頑丈な接続を提供する。パンプ材料と、伝導性トレース 276 および凹凸 280 の頂面および側面との間の機械的相互係止はま

10

20

30

40

50

た、カプセル化等の後続の製造工程中に横方向のダイの移行を低減する。

【0078】

図12a 12cは、図8cと同様である、接触パッド232上に形成されたパンプ材料284を伴う半導体ダイ224のBOL実施形態を示す。先端286は、図12aに示されるように、パンプ材料284の本体よりも狭い先端286を伴う階段状パンプとして、パンプ材料284の本体から延在する。半導体ダイ224は、パンプ材料284が基板290上の伝導性トレース288上の相互接続部位と整合されるように位置付けられる。より具体的には、先端286は、伝導性トレース288上の相互接続部位上で中心に置かれる。代替として、パンプ材料284および先端286は、基板290上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。パンプ材料284は、基板290上の伝導性トレース288よりも幅広い。

10

【0079】

伝導性トレース288は、略柔軟であり、約200グラムの垂直荷重と同等の力の下で、約25 μ mより大きい塑性変形を受ける。圧力または力Fは、伝導性トレース288上に先端284を押し付けるように、半導体ダイ224の裏面228に印加される。力Fは、高温で印加することができる。伝導性トレース288の柔軟性により、伝導性トレースは、図12bに示されるように、先端286の周囲で変形する。具体的には、圧力の印加は、伝導性トレース288に塑性変形を受けさせ、先端286の頂面および側面を覆わせる。

【0080】

20

図12cは、接触パッド232上に形成された丸いパンプ材料294を伴う別のBOL実施形態を示す。先端296は、パンプ材料294の本体から延在して、パンプ材料294の本体よりも狭い先端を伴うスタッドパンプを形成する。半導体ダイ224は、パンプ材料294が基板300上の伝導性トレース298上の相互接続部位と整合されるように位置付けられる。より具体的には、先端296は、伝導性トレース298上の相互接続部位上で中心に置かれる。代替として、パンプ材料294および先端296は、基板300上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。パンプ材料294は、基板300上の伝導性トレース298よりも幅広い。

【0081】

伝導性トレース398は、略柔軟であり、約200グラムの垂直荷重と同等の力の下で、約25 μ mより大きい塑性変形を受ける。圧力または力Fは、伝導性トレース298上に先端296を押し付けるように、半導体ダイ224の裏面228に印加される。力Fは、高温で印加することができる。伝導性トレース298の柔軟性により、伝導性トレースは、先端296の周囲で変形する。具体的には、圧力の印加は、伝導性トレース298に塑性変形を受けさせ、先端296の頂面および側面を覆わせる。

30

【0082】

図9a 9g、10a 10d、および11a 11dで説明される伝導性トレースもまた、図12a 12cで説明されるような柔軟材料となり得る。

【0083】

図13a 13bは、図8cと同様である、接触パッド232上に形成されたパンプ材料304を伴う半導体ダイ224のBOL実施形態を示す。パンプ材料304は、略柔軟であり、約200グラムの垂直荷重と同等の力の下で、約25 μ mより大きい塑性変形を受ける。パンプ材料304は、基板308上の伝導性トレース306よりも幅広い。伝導性ビア310は、図13aに示されるように、開口部312および伝導性側壁314を伴って伝導性トレース306を通して形成される。伝導性トレース306は、図5 7で説明されるような、相互接続構造および2 \times 縮小設計規則に適用可能である。

40

【0084】

半導体ダイ224は、パンプ材料304が伝導性トレース306上の相互接続部位と整合されるように位置付けられる(図17 17g参照)。代替として、パンプ材料304は、基板308上に形成される伝導性パッドまたは他の相互接続部位と整合させることが

50

できる。圧力または力Fは、パンプ材料304を伝導性トレース306上に押し付け、伝導性ビア310の開口部312の中へ押し込むように、半導体ダイ224の裏面228に印加される。力Fは、高温で印加することができる。パンプ材料304の柔軟性により、パンプ材料は、図13bに示されるように、伝導性トレース306の頂面および側面の周囲で、かつ伝導性ビア310の開口部312の中へ変形または押出する。具体的には、圧力の印加は、パンプ材料304に塑性変形を受けさせ、伝導性トレース306の頂面および側面を覆わせ、かつ伝導性ビア310の開口部312の中へ覆わせる。したがって、パンプ材料304は、基板308を通したz方向の垂直相互接続のために、伝導性トレース306および伝導性側壁314に電気的に接続される。パンプ材料304の塑性流動は、パンプ材料と、伝導性トレース306の頂面および側面ならびに伝導性ビア310の開口部312との間に、巨視的な機械的相互係止を作成する。パンプ材料と、伝導性トレース306の頂面および側面ならびに伝導性ビア310の開口部312との間の機械的相互係止は、接着力を有意に増加させることなく、それぞれの表面間により大きい接触面積を伴って頑丈な接続を提供する。パンプ材料と、伝導性トレース306の頂面および側面ならびに伝導性ビア310の開口部312との間の機械的相互係止はまた、カプセル化等の後続の製造工程中に横方向のダイの移行を低減する。伝導性ビア310がパンプ材料304を伴う相互接続部位内に作成されるため、総基板相互接続面積は低減される。

10

【0085】

図9a 9g、10a 10d、11a 11d、12a 12c、および13a 13bのBOL実施形態では、伝導性トレースを相互接続構造よりも狭くすることによって、ルーティング密度および入出力計数を増加させるように伝導性トレースピッチを低減することができる。より狭い伝導性トレースは、伝導性トレースの周囲の相互接続構造を変形させるために必要な力Fを低減する。例えば、必要な力Fは、パンプよりも幅広い伝導性トレースまたはパッドに対してパンプを変形させるために必要な力の30~50%であってもよい。より低い圧縮力Fは、細かいピッチ相互接続および小型ダイが、特定公差で共平面性を維持し、均一なz方向変形および高信頼性の相互接続結合を達成するために有用である。加えて、伝導性トレースの周囲の相互接続構造を変形させることにより、パンプをトレースに機械的に係止し、リフロー中のダイの移行またはダイの浮動を防止する。

20

【0086】

図14a 14cは、半導体ダイと基板との間のパンプの周囲に封入材を堆積させる鑄型アンダーフィル(MUF)工程を示す。図14aは、図9bからのパンプ材料234を使用して基板254に載置され、チェイス鑄型320の上部鑄型支持材316と下部鑄型支持材318との間に配置される半導体ダイ224を示す。図9a 9g、10a 10d、11a 11d、12a 12c、および13a 13bからの他の半導体ダイおよび基板の組み合わせは、チェイス鑄型320の上部鑄型支持材316と下部鑄型支持材318との間に配置することができる。上部鑄型支持材316は、圧縮性解放膜322を含む。

30

【0087】

図14bでは、上部鑄型支持材316および下部鑄型支持材318は、基板上および半導体ダイと基板との間に開放空間を伴って、半導体ダイ224および基板254を取り囲むように接合される。圧縮性解放膜322は、半導体ダイ224の裏面228および側面に一致して、これらの表面上での封入材の形成を阻止する。液体状態の封入材324が、ノズル326を伴うチェイス鑄型320の片側の中に注入される一方で、随意的な真空補助328は、反対側から圧力を引き込み、基板254上の開放空間、および半導体ダイ224と基板254との間の開放空間を封入材で均一に充填する。封入材324は、充填材を伴うエポキシ樹脂、充填材を伴うエポキシアクリレート、または適正な充填材を伴うポリマー等の、ポリマー複合材料となり得る。封入材324は、非伝導性であり、外部要素および汚染物質から半導体素子を環境的に保護する。圧縮性材料322は、封入材324が裏面228上、および半導体ダイ224の側面の周囲で流れることを防止する。封入材324は硬化される。半導体ダイ224の裏面228および側面は、封入材324から露

40

50

出されたままである。

【 0 0 8 8 】

図 1 4 c は、M U F および 鋳型オーバーフィル (M O F) の実施形態を示し、すなわち、圧縮性材料 3 2 2 を伴わない。半導体ダイ 2 2 4 および基板 2 5 4 は、チェイス鋳型 3 2 0 の上部鋳型支持材 3 1 6 と下部鋳型支持材 3 1 8 との間に配置される。上部鋳型支持材 3 1 6 および下部鋳型支持材 3 1 8 は、基板上、半導体ダイの周囲、および半導体ダイと基板との間に開放空間を伴って、半導体ダイ 2 2 4 および基板 2 5 4 を取り囲むように接合される。液体状態の封入材 3 2 4 が、ノズル 3 2 6 を伴うチェイス鋳型 3 2 0 の片側の中に注入される一方で、随意的な真空補助 3 2 8 は、反対側から圧力を引き込み、半導体ダイ 2 2 4 の周囲および基板 2 5 4 上の開放空間、および半導体ダイ 2 2 4 と基板 2 5 4 との間の開放空間を封入材で均一に充填する。封入材 3 2 4 は硬化される。

10

【 0 0 8 9 】

図 1 5 は、半導体ダイ 2 2 4 の周囲、および半導体ダイ 2 2 4 と基板 2 5 4 との間の隙隙の中に、封入材を堆積させる別の実施形態を示す。半導体ダイ 2 2 4 および基板 2 5 4 は、ダム 3 3 0 によって取り囲まれる。封入材 3 3 2 は、基板 2 5 4 上の開放空間、および半導体ダイ 2 2 4 と基板 2 5 4 との間の開放空間を充填するように、液体状態でノズル 3 3 4 からダム 3 3 0 の中へ分注される。ノズル 3 3 4 から分注される封入材 3 3 2 の量は、半導体ダイ 2 2 4 の裏面 2 2 8 または側面を覆うことなく、ダム 3 3 0 を充填するように制御される。封入材 3 3 2 は硬化される。

【 0 0 9 0 】

図 1 6 は、図 1 4 a、1 4 c、および 1 5 からの M U F 工程後の半導体ダイ 2 2 4 および基板 2 5 4 を示す。封入材 3 2 4 は、基板 2 5 4 上で、および半導体ダイ 2 2 4 と基板 2 5 4 との間のバンプ材料 2 3 4 の周囲で均一に分布する。

20

【 0 0 9 1 】

図 1 7 a 1 7 g は、基板または P C B 3 4 0 上の種々の伝導性トレースレイアウトの上面図を示す。図 1 7 a では、伝導性トレース 3 4 2 は、基板 3 4 0 上に形成された集積バンプパッドまたは相互接続部位 3 4 4 を伴う直線導体である。基板バンプパッド 3 4 4 の側面は、伝導性トレース 3 4 2 と同一線上にあり得る。従来技術では、はんだ位置合わせ開口部 (S R O) は、典型的には、リフロー中にバンプ材料を含有するように相互接続部位上に形成される。S R O は、相互接続ピッチを増加させ、入出力計数を低減する。対照的に、マスキング層 3 4 6 を基板 3 4 0 の一部分上に作成することができるが、マスキング層は、伝導性トレース 3 4 2 の基板バンプパッド 3 4 4 の周囲には形成されない。つまり、バンプ材料と噛合するように設計されている伝導性トレース 3 4 2 の部分には、リフロー中にバンプを含有するために使用されるマスキング層 3 4 6 の S R O が欠けている。

30

【 0 0 9 2 】

半導体ダイ 2 2 4 は、基板 3 4 0 上に配置され、バンプ材料は、基板バンプパッド 3 4 4 と整合させられる。バンプ材料は、バンプ材料をバンプパッドと物理的接触させ、次いで、リフロー温度下でバンプ材料をリフローすることによって、基板バンプパッド 3 4 4 に電気的かつ冶金的に接続される。

40

【 0 0 9 3 】

別の実施形態では、導電性バンプ材料は、蒸発、電解めっき、無電解めっき、ボールドロップ、またはスクリーン印刷工程を使用して、基板バンプパッド 3 4 4 上に堆積させられる。バンプ材料は、随意的なフラックス溶液とともに、A l、S n、N i、A u、A g、P b、B i、C u、はんだ、およびそれらの組み合わせとなり得る。例えば、バンプ材料は、共晶 S n / P b、鉛の含有量が高いはんだ、または無鉛はんだとなり得る。バンプ材料は、好適な取付または接着工程を使用して、基板バンプパッド 3 4 4 に接着される。一実施形態では、バンプ材料は、図 1 7 b に示されるように、バンプまたは相互接続 3 4 8 を形成するように、その融点を上回って材料を加熱することによって、リフローされる。いくつかの用途では、バンプ 3 4 8 は、基板バンプパッド 3 4 4 への電気接触を向上さ

50

せるように、2回リフローされる。より狭い基板バンプパッド344の周囲のバンプ材料は、リフロー中にダイの配置を維持する。

【0094】

高ルーティング密度用途では、伝導性トレース342のエスケープピッチを最小限化することが望ましい。伝導性トレース342間のエスケープピッチは、リフロー格納の目的でマスク層を排除することによって、すなわち、マスク層を伴わないバンプ材料をリフローすることによって低減することができる。ダイバンプパッド232または基板バンプパッド344の周囲にSROが形成されないため、伝導性トレース342を、より細かいピッチで形成することができ、すなわち、伝導性トレース342を、ともに密接して、または近くの構造に密接して配置することができる。基板バンプパッド344の周囲にSROがないと、伝導性トレース342の間のピッチは、 $P = D + PLT + W / 2$ として求められ、式中、Dはバンプ348の基礎直径であり、PLTはダイ配置公差であり、Wは伝導性トレース342の幅である。一実施形態では、100 μ mのバンプ基礎直径、10 μ mのPLT、および30 μ mのトレース線幅を考慮すると、伝導性トレース342の最小エスケープピッチは、125 μ mである。マスクがないバンプ形成は、従来技術で見出されるような、隣接する開口部間のマスク材料の間膜間隔、はんだマスク位置合わせ公差(SRT)、および最小溶解性SROに対処する必要性を排除する。

10

【0095】

バンプ材料が、ダイバンプパッド232を基板バンプパッド344に冶金学的かつ電気的に接続するように、マスク層を伴わずにリフローされると、湿潤および表面張力が、バンプ材料に自己閉じ込めを維持させ、ダイバンプパッド232および基板バンプパッド344と、実質的にバンプパッドの設置面積内にある伝導性トレース342に直接隣接する基板340の部分との間の空間内で保持させる。

20

【0096】

所望の自己閉じ込め特性を達成するために、伝導性トレース342の周辺領域よりも可湿性であるバンプ材料によって領域を選択的に接触させるように、ダイバンプパッド232または基板バンプパッド344上に配置する前に、バンプ材料をフラックス溶液に浸漬することができる。溶解バンプ材料は、フラックス溶液の可湿特性により、実質的にバンプパッドによって画定される領域内に閉じ込められたままである。バンプ材料は、可湿性の低い領域へと流出しない。バンプ材料が領域の可湿性を低くすることを目的としない領域上で、薄い酸化層または他の絶縁層を形成することができる。したがって、ダイバンプパッド332または基板バンプパッド444の周囲ではマスク層440が必要とされない。したがって、ダイバンプパッド232または基板バンプパッド344の周囲ではマスク層440が必要とされない。

30

【0097】

図17cは、基板350上に形成される集積長方形バンプパッドまたは相互接続部位354を伴う直線導体として、並列伝導性トレース352の別の実施形態を示す。この場合、基板バンプパッド354は、伝導性トレース352よりも幅広いが、噛合バンプの幅より小さい。基板バンプパッド354の側面は、伝導性トレース352と平行となり得る。マスク層356は、基板350の一部上に形成することができる。しかしながら、マスク層は、伝導性トレース352の基板バンプパッド354の周囲には形成されない。つまり、バンプ材料と噛合するように設計されている伝導性トレース352の部分には、リフロー中にバンプを含有するために使用されるマスク層356のSROが欠けている。

40

【0098】

図17dは、最大相互接続密度および容量のために、基板366上に形成されたオフセット集積バンプパッドまたは相互接続部位364を伴う複数列のアレイに配設された、伝導性トレース360および362の別の実施形態を示す。代替伝導性トレース360およ

50

び362は、 bumps パッド364へのルーティングのための肘部を含む。各基板 bumps パッド364の側面は、伝導性トレース360および362と同一線上にある。マスキング層368は、基板366の一部分上に形成することができるが、マスキング層468は、伝導性トレース360および362の基板 bumps パッド364の周囲には形成されない。つまり、 bumps 材料と噛合するように設計されている伝導性トレース360および362の部分には、リフロー中に bumps を含有するために使用されるマスキング層368のSROが欠けている。

【0099】

図17eは、最大相互接続密度および容量のために、基板376上に形成されたオフセット集積 bumps パッドまたは相互接続部位374を伴う複数列のアレイに配設された、伝導性トレース370および372の別の実施形態を示す。代替伝導性トレース370および372は、 bumps パッド374へのルーティングのための肘部を含む。この場合、基板 bumps パッド374は、伝導性トレース370および372よりも幅広いが、噛合相互接続 bumps 材料の幅より小さい。マスキング層378は、基板376の一部分上に形成することができるが、マスキング層378は、伝導性トレース370および372の基板 bumps パッド374の周囲には形成されない。つまり、 bumps 材料と噛合するように設計されている伝導性トレース370および372の部分には、リフロー中に bumps を含有するために使用されるマスキング層378のSROが欠けている。

【0100】

図17fは、最大相互接続密度および容量のために、基板386上に形成されたオフセット集積 bumps パッドまたは相互接続部位384を伴う複数列のアレイに配設された、伝導性トレース380および382の別の実施形態を示す。代替伝導性トレース380および382は、 bumps パッド384へのルーティングのための肘部を含む。この場合、基板 bumps パッド384は、伝導性トレース380および382よりも幅広いが、噛合相互接続 bumps 材料の幅より小さい。マスキング層388は、基板386の一部分上に形成することができるが、マスキング層388は、伝導性トレース380および382の基板 bumps パッド384の周囲には形成されない。つまり、 bumps 材料と噛合するように設計されている伝導性トレース380および382の部分には、リフロー中に bumps を含有するために使用されるマスキング層388のSROが欠けている。

【0101】

相互接続工程の一実施例として、半導体ダイ224は、基板366上に配置され、 bumps 材料234は、図17dからの基板 bumps パッド364と整合させられる。 bumps 材料234は、図9a 9g、10a 10d、11a 11d、12a 12c、および13a 13bについて説明されるように、 bumps 材料を押し付けることによって、または、 bumps 材料を bumps パッドと物理的接触させ、次いで、リフロー温度下で bumps 材料をリフローすることによって、基板 bumps パッド364に電気的かつ冶金術的に接続される。

【0102】

別の実施形態では、導電性 bumps 材料は、蒸発、電解めっき、無電解めっき、ボールドロップ、またはスクリーン印刷工程を使用して、基板 bumps パッド364上に堆積させられる。 bumps 材料は、随意的なフラックス溶液とともに、Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、はんだ、およびそれらの組み合わせとなり得る。例えば、 bumps 材料は、共晶Sn/Pb、鉛の含有量が高いはんだ、または無鉛はんだとなり得る。 bumps 材料は、好適な取付または接着工程を使用して、基板 bumps パッド364に接着される。一実施形態では、 bumps 材料は、図17gに示されるように、 bumps または相互接続390を形成するように、その融点を上回って材料を加熱することによって、リフローされる。いくつかの用途では、 bumps 390は、基板 bumps パッド364への電気接触を向上させるように、2回リフローされる。より狭い基板 bumps パッド364の周囲の bumps 材料は、リフロー中にダイの配置を維持する。 bumps 材料234または bumps 390はまた、図17a 17gの基板 bumps パッド構成上に形成することもできる。

【 0 1 0 3 】

高ルーティング密度用途では、伝導性トレース 3 6 0 および 3 6 2 または図 1 7 a 1 7 g の他の伝導性トレース構成のエスケープピッチを最小限化することが望ましい。伝導性トレース 3 6 0 および 3 6 2 の間のエスケープピッチは、リフロー格納の目的でマスクング層を排除することによって、すなわち、マスクング層を伴わないバンプ材料をリフローすることによって低減することができる。ダイバンプパッド 2 3 2 または基板バンプパッド 3 6 4 の周囲に S R O が形成されないため、伝導性トレース 3 6 0 および 3 6 2 を、より細かいピッチで形成することができ、すなわち、伝導性トレース 3 6 0 および 3 6 2 を、ともに密接して、または近くの構造に密接して配置することができる。基板バンプパッド 3 6 4 の周囲に S R O がないと、伝導性トレース 3 6 0 および 3 6 2 の間のピッチは、 $P = D / 2 + P L T + W / 2$ として求められ、式中、D はバンプ 3 9 0 の基礎直径であり、P L T はダイ配置公差であり、W は伝導性トレース 3 6 0 および 3 6 2 の幅である。一実施形態では、1 0 0 μ m のバンプ基礎直径、1 0 μ m の P L T、および 3 0 μ m のトレース線幅を考慮すると、伝導性トレース 3 6 0 および 3 6 2 の最小エスケープピッチは、1 2 5 μ m である。マスクがないバンプ形成は、従来技術で見出されるような、隣接する開口部間のマスクング材料の間膜間隔、S R T、および最小溶解性 S R O に対処する必要性を排除する。

10

【 0 1 0 4 】

バンプ材料が、ダイバンプパッド 2 3 2 を基板バンプパッド 3 6 4 に冶金学的かつ電氣的に接続するように、マスクング層を伴わずにリフローされると、湿潤および表面張力が、バンプ材料に自己閉じ込めを維持させ、ダイバンプパッド 2 3 2 および基板バンプパッド 3 6 4 と、実質的にバンプパッドの設置面積内にある伝導性トレース 3 6 0 および 3 6 2 に直接隣接する基板 3 6 6 の部分との間の空間内で保持させる。

20

【 0 1 0 5 】

所望の自己閉じ込め特性を達成するために、伝導性トレース 3 6 0 および 3 6 2 の周辺領域よりも可湿性であるバンプ材料によって領域を選択的に接触させるように、ダイバンプパッド 2 3 2 または基板バンプパッド 3 6 4 上に配置する前に、バンプ材料を フラックス 溶液に浸漬することができる。溶解バンプ材料は、フラックス 溶液の可湿特性により、実質的にバンプパッドによって画定される領域内に閉じ込められたままである。バンプ材料は、可湿性の低い領域へと流出しない。バンプ材料が領域の可湿性を低くすることを目的としない領域上で、薄い酸化層または他の絶縁層を形成することができる。したがって、ダイバンプパッド 2 3 2 または基板バンプパッド 3 6 4 の周囲ではマスクング層 3 6 8 が必要とされない。

30

【 0 1 0 6 】

図 1 8 a では、マスクング層 3 9 2 は、伝導性トレース 3 9 4 および 3 9 6 の一部分上に堆積させられる。しかしながら、マスクング層 3 9 2 は、集積バンプパッド 3 9 8 上には形成されない。その結果として、基板 4 0 0 上の各バンプパッド 3 9 8 には S R O がない。非可湿性マスクングパッチ 4 0 2 は、集積バンプパッド 3 9 8 のアレイ内に介在して、すなわち、隣接するバンプパッドの間で、基板 4 0 0 上に形成される。マスクングパッチ 4 0 2 はまた、ダイバンプパッド 3 9 8 のアレイ内に介在して、半導体ダイ 2 2 4 上に形成することもできる。より一般的に、マスクングパッチは、可湿性の低い領域への流出を防止する任意の配設で、集積バンプパッドにごく接近して形成される。

40

【 0 1 0 7 】

半導体ダイ 2 2 4 は、基板 5 0 0 上に配置され、バンプ材料は、基板バンプパッド 3 9 8 と整合させられる。バンプ材料は、図 9 a 9 g、1 0 a 1 0 d、1 1 a 1 1 d、1 2 a 1 2 c、および 1 3 a 1 3 b について説明されるように、バンプ材料を押し付けることによって、または、バンプ材料をバンプパッドと物理的接触させ、次いで、リフロー温度下でバンプ材料をリフローすることによって、基板バンプパッド 3 9 8 に電氣的

50

かつ冶金術的に接続される。

【0108】

別の実施形態では、導電性バンプ材料は、蒸発、電解めっき、無電解めっき、ボールドロップ、またはスクリーン印刷工程を使用して、集積バンプパッド398上に堆積させられる。バンプ材料は、随意的なフラックス溶液とともに、Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、はんだ、およびそれらの組み合わせとなり得る。例えば、バンプ材料は、共晶Sn/Pb、鉛の含有量が高いはんだ、または無鉛はんだとなり得る。バンプ材料は、好適な取付または接着工程を使用して、集積バンプパッド398に接着される。一実施形態では、バンプ材料は、図18bに示されるように、球状ボールまたはバンプ404を形成するように、その融点を上回って材料を加熱することによって、リフローされる。いくつかの用途では、バンプ404は、集積バンプパッド398への電気接触を向上させるように、2回リフローされる。バンプはまた、集積バンプパッド398に圧縮接着することもできる。バンプ404は、集積バンプパッド398上に形成することができる、1種類の相互接続構造を表す。相互接続構造は、スタッドバンプ、マイクロバンプ、または他の電氣的相互接続を使用することができる。

10

【0109】

高ルーティング密度用途では、エスケープピッチを最小限化することが望ましい。伝導性トレース394および396の間のピッチを低減するために、バンプ材料は、集積バンプパッド398の周囲にマスク層を伴わずにリフローされる。伝導性トレース394および396の間のエスケープピッチは、リフロー格納の目的でマスク層を排除することによって、すなわち、マスク層を伴わないバンプ材料をリフローすることによって低減することができる。マスク層392は、集積バンプパッド398から離れて、伝導性トレース394および396ならびに基板400の一部分上に形成することができるが、マスク層392は、集積バンプパッド398の周囲には形成されない。つまり、バンプ材料と噛合するように設計されている伝導性トレース394および396の部分には、リフロー中にバンプを含有するために使用されるマスク層392のSROが欠けている。

20

【0110】

加えて、マスクパッチ402が、集積バンプパッド398のアレイ内に介在して基板400上に形成される。マスクパッチ402は、非可湿性材料である。マスクパッチ402は、マスク層392と同じ材料であり、同じ処理ステップ中に塗布することができるか、または異なる処理ステップ中に異なる材料となり得る。マスクパッチ402は、集積バンプパッド398のアレイ内のトレースまたはパッドの部分の選択的酸化、めっき、または他の処理によって形成することができる。マスクパッチ402は、集積バンプパッド398にバンプ材料流動を閉じ込め、隣接構造への伝導性バンプ材料の浸出を防止する。

30

【0111】

バンプ材料が、集積バンプパッド398のアレイ内に介在して配置されたマスクパッチ402とともにリフローされると、湿潤および表面張力が、ダイバンプパッド232および集積バンプパッド398と、実質的に集積バンプパッド398の設置面積内にある伝導性トレース394および396に直接隣接する基板400の部分との間の空間内で、バンプ材料を閉じ込めさせ、保持させる。

40

【0112】

所望の自己閉じ込め特性を達成するために、伝導性トレース394および396の周辺領域よりも可湿性であるバンプ材料によって領域を選択的に接触させるように、ダイバンプパッド232または集積バンプパッド398上に配置する前に、バンプ材料をフラックス溶液に浸漬することができる。溶解バンプ材料は、フラックス溶液の可湿特性により、実質的にバンプパッドによって画定される領域内に閉じ込められたままである。バンプ材料は、可湿性の低い領域へと流出しない。バンプ材料が領域の可湿性を低くすることを目

50

的としない領域上で、薄い酸化層または他の絶縁層を形成することができる。したがって、ダイバンプパッド232または集積バンプパッド398の周囲ではマスクング層392が必要とされない。

【0113】

ダイバンプパッド332または集積バンプパッド398の周囲にSROが形成されないため、伝導性トレース394および396を、より細かいピッチで形成することができ、すなわち、接触し、電氣的短絡を形成することなく、伝導性トレースを隣接構造に密接して配置することができる。はんだ位置合わせ設計規則を仮定すると、伝導性トレース394および396の間のピッチは、 $P = (1.1D + W) / 2$ として求められ、式中、Dはバンプ404の基礎直径であり、Wは伝導性トレース394および396の幅である。一実施形態では、100 μmのバンプ基礎直径、および20 μmのトレース線幅を考慮すると、伝導性トレース394および396の最小エスケープピッチは、65 μmである。バンプ形成は、従来技術で見出されるような、隣接する開口部間のマスクング材料の間膜間隔、および最小溶解性SROに対処する必要性を排除する。

10

【0114】

図19は、ダイ取付接着剤410を使用して半導体ダイ408上に積み重ねられた、半導体ダイ406を伴うパッケージオンパッケージ(POP)405を示す。半導体ダイ406および408はそれぞれ、ダイ内に形成され、ダイの電氣的設計および機能に従って電氣的に相互接続される、能動素子、受動素子、伝導層、および誘電層として実装される、アナログまたはデジタル回路を含有する、能動表面を有する。例えば、回路は、DSP、ASIC、メモリ、または他の信号処理回路等のアナログ回路またはデジタル回路を実装するように、1つ以上のトランジスタ、ダイオード、および能動表面内に形成される他の回路要素を含むことができる。半導体ダイ406および408はまた、RF信号処理のために、インダクタ、コンデンサ、および抵抗器等の集積受動素子IPDを含有することもできる。

20

【0115】

半導体ダイ408は、図9a 9g、10a 10d、11a 11d、12a 12c、および13a 13bからの実施形態のうちのいずれかを使用して、接触パッド418上に形成されたバンプ材料416を使用して基板414上に形成された伝導性トレース412に載置される。伝導性トレース412は、図5 7で説明されるような、相互接続構造および2X縮小設計規則に適用可能である。半導体ダイ406は、ボンドワイヤ422を使用して、基板414上に形成された接触パッド420に電氣的に接続される。ボンドワイヤ422の反対の端は、半導体ダイ406上の接触パッド424に接着される。

30

【0116】

マスクング層426は、基板414上に形成され、半導体ダイ408の設置面積を越えて開放される。マスクング層426が、リフロー中にバンプ材料416を伝導性トレース412に閉じ込めない一方で、開放マスクは、MUF中に封入材428が接触パッド420またはボンドワイヤ422に移動することを防止するようにダムとして動作することができる。封入材428は、図14a 14cと同様に、半導体ダイ408と基板414との間に配置される。マスクング層426は、欠陥を引き起こし得るので、MUF封入材428が接触パッド420およびボンドワイヤ422に到達することを阻止する。マスクング層426は、封入材428が接触パッド420上に漏出する危険性を伴わずに、より大型の半導体ダイが所与の基板上に配置されることを可能にする。

40

【0117】

本発明の1つ以上の実施形態を詳細に例証してきたが、当業者であれば、以下の請求項で規定されるような本発明の範囲から逸脱することなく、これらの実施形態の修正および適合が行われてもよいことを認識するであろう。

【図 1】

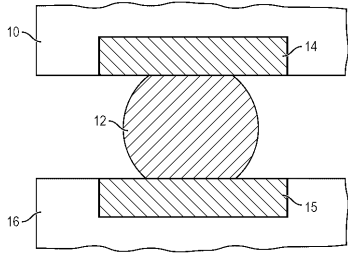


FIG. 1
(従来技術)

【図 2 b】

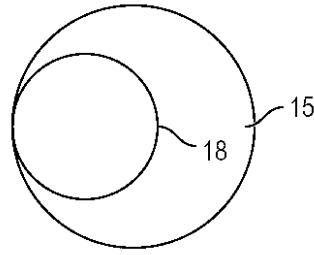


FIG. 2b
(従来技術)

【図 2 a】

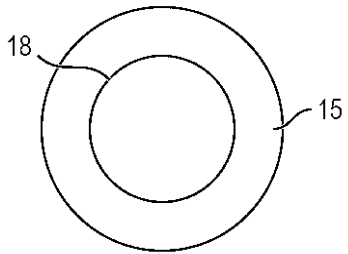


FIG. 2a
(従来技術)

【図 3】

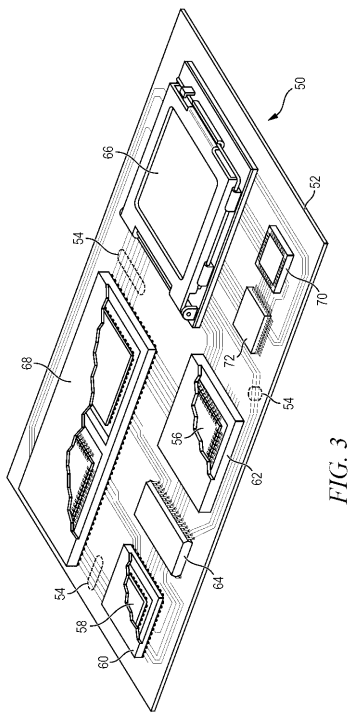


FIG. 3

【図 4 a】

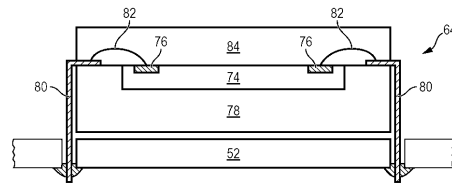


FIG. 4a

【図 4 b】

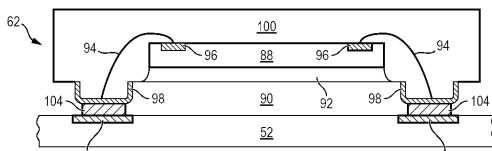


FIG. 4b

【図 4 c】

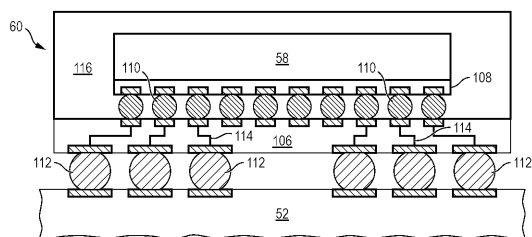


FIG. 4c

【 図 5 】

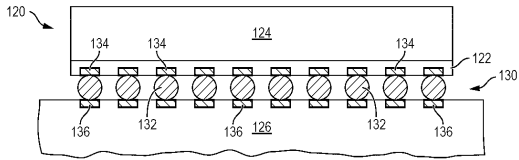


FIG. 5

【 図 6 b 】

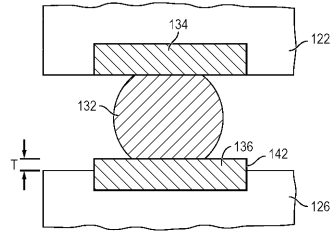


FIG. 6b

【 図 6 a 】

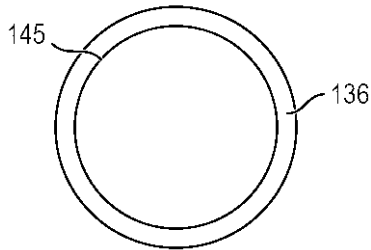


FIG. 6a

【 図 6 c 】

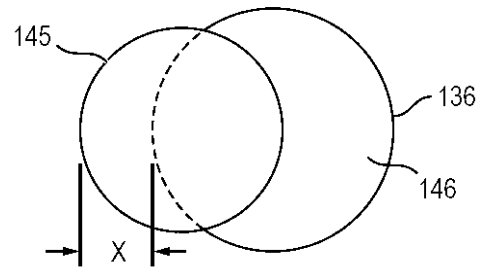


FIG. 6c

【 図 6 d 】

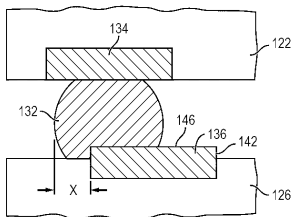


FIG. 6d

【 図 7 b 】

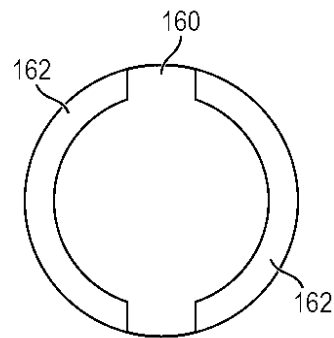


FIG. 7b

【 図 7 a 】

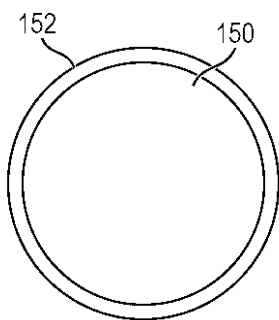


FIG. 7a

【 7 c 】

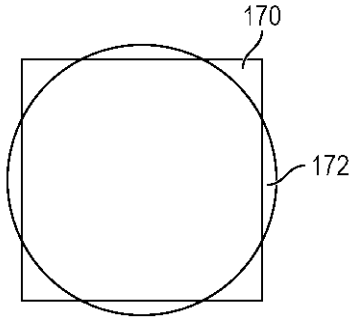


FIG. 7c

【 7 d 】

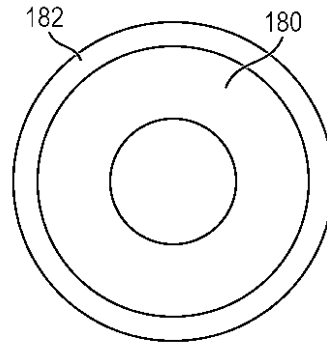


FIG. 7d

【 8 a 】

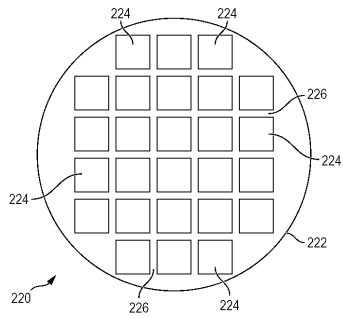


FIG. 8a

【 8 b 】

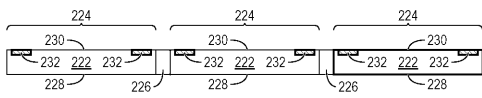


FIG. 8b

【 8 e 】

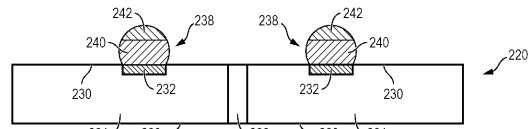


FIG. 8e

【 8 c 】

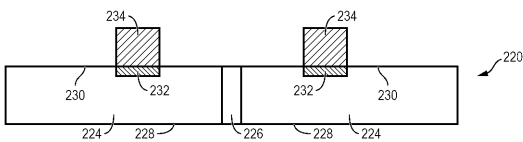


FIG. 8c

【 8 f 】

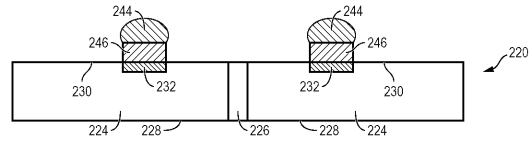


FIG. 8f

【 8 d 】

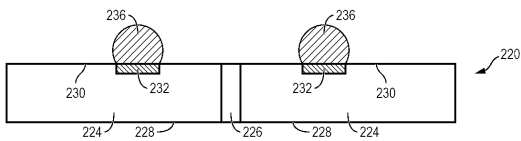


FIG. 8d

【 8 g 】

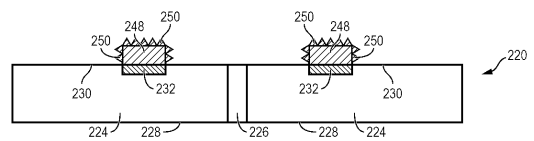


FIG. 8g

【 8 h 】

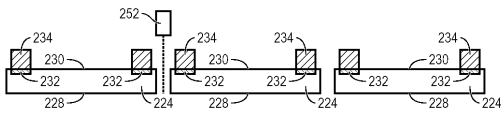


FIG. 8h

【 9 a 】

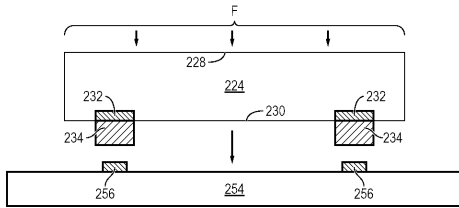


FIG. 9a

【 9 b 】

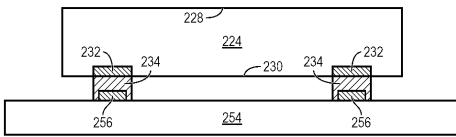


FIG. 9b

【 9 f 】

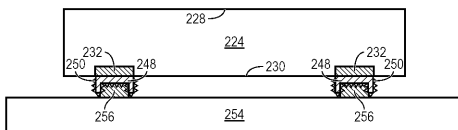


FIG. 9f

【 9 g 】

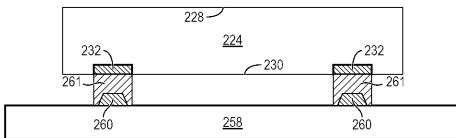


FIG. 9g

【 10 a 】

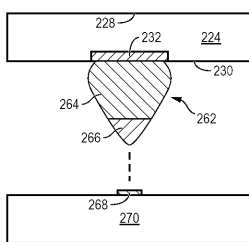


FIG. 10a

【 9 c 】

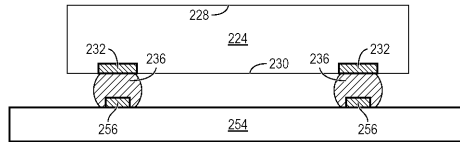


FIG. 9c

【 9 d 】

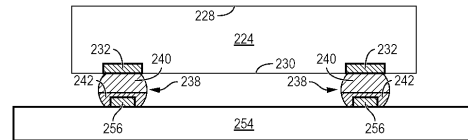


FIG. 9d

【 9 e 】

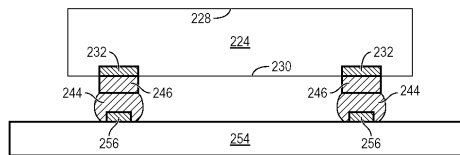


FIG. 9e

【 10 b 】

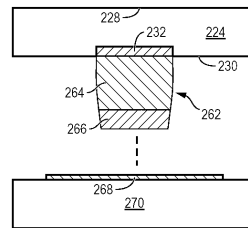


FIG. 10b

【 10 c 】

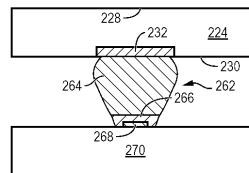


FIG. 10c

【 10 d 】

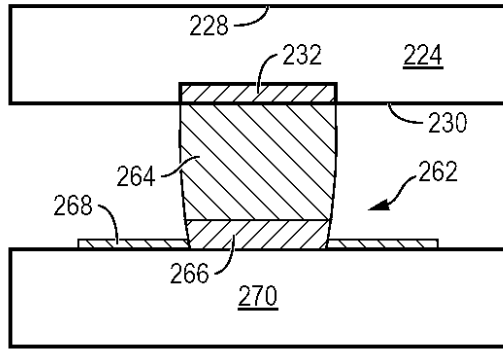


FIG. 10d

【 11 b 】

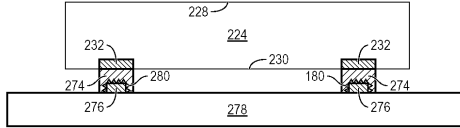


FIG. 11b

【 11 c 】

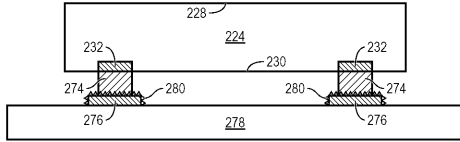


FIG. 11c

【 11 a 】

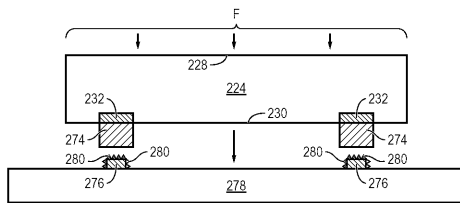


FIG. 11a

【 11 d 】

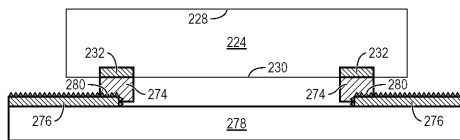


FIG. 11d

【 12 a 】

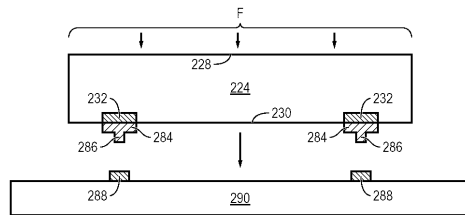


FIG. 12a

【 13 a 】

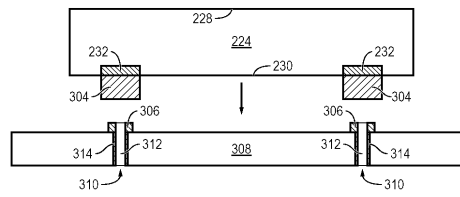


FIG. 13a

【 12 b 】

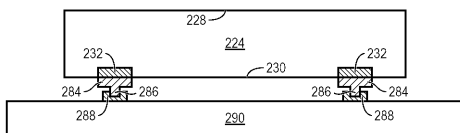


FIG. 12b

【 13 b 】

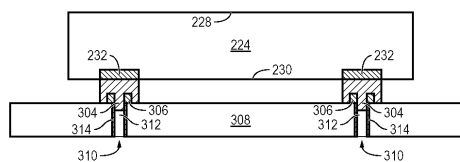


FIG. 13b

【 12 c 】

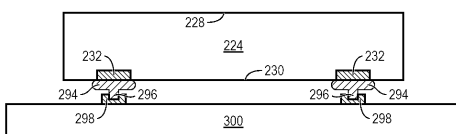


FIG. 12c

【 14 a 】

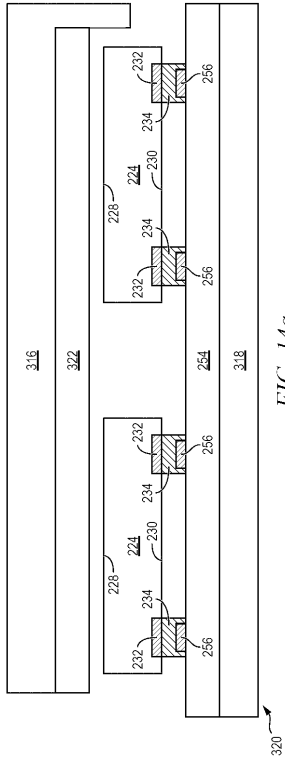


FIG. 14a

【 14 b 】

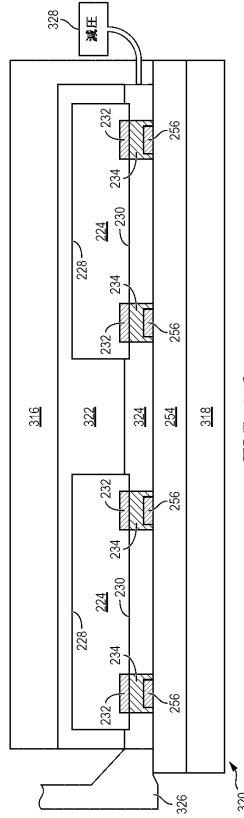


FIG. 14b

【 14 c 】

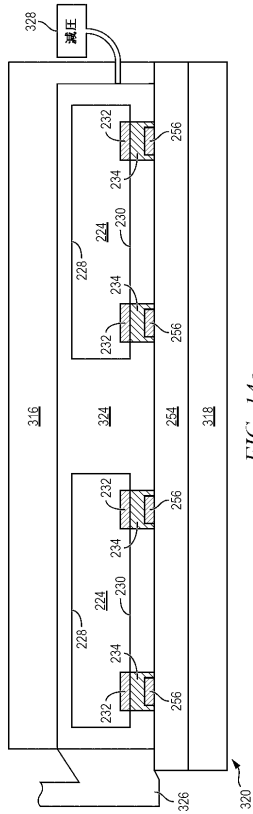


FIG. 14c

【 15 】

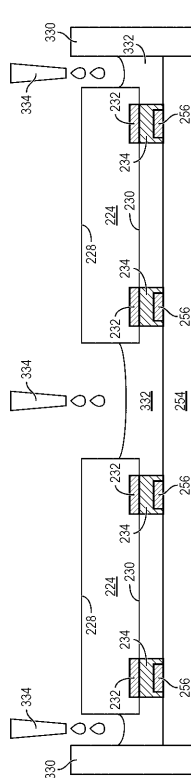


FIG. 15

【 16 】

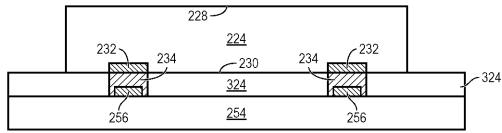


FIG. 16

【 17 a 】

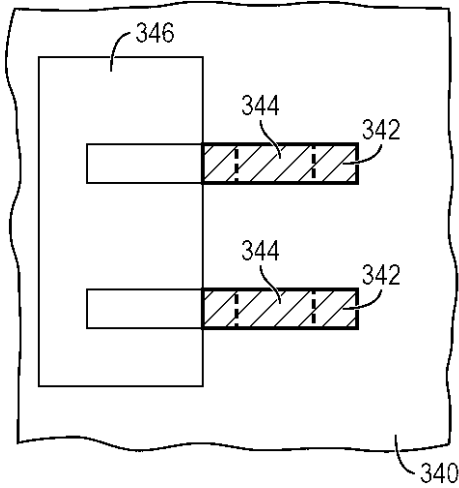


FIG. 17a

【 17 b 】

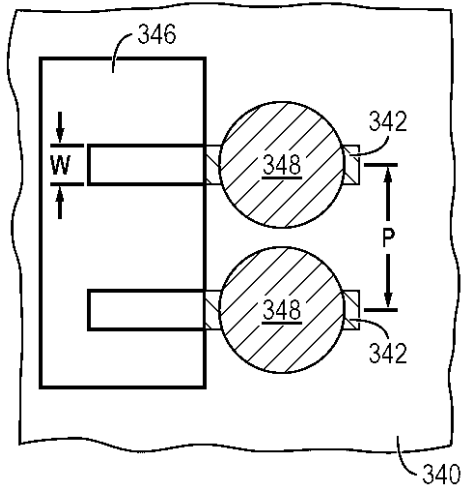


FIG. 17b

【 17 c 】

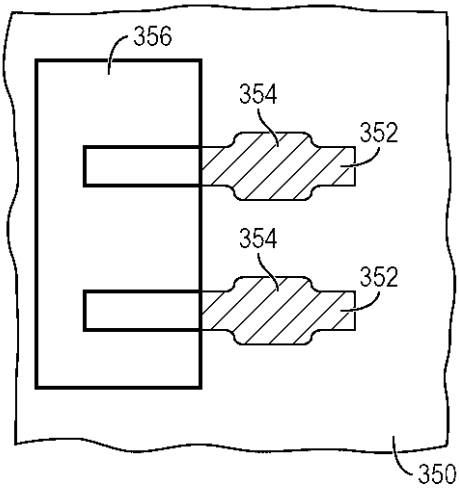


FIG. 17c

【 17 d 】

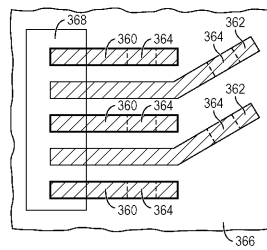


FIG. 17d

【 17 e 】

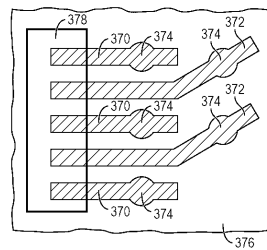



FIG. 17e

【 17 f】

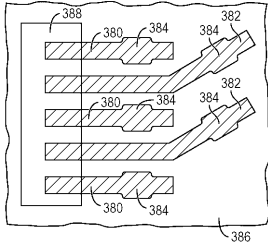



FIG. 17f

【 18 a】

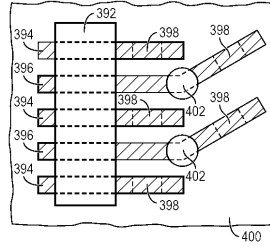



FIG. 18a

【 17 g】

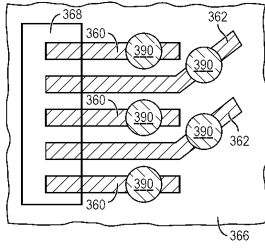



FIG. 17g

【 18 b】

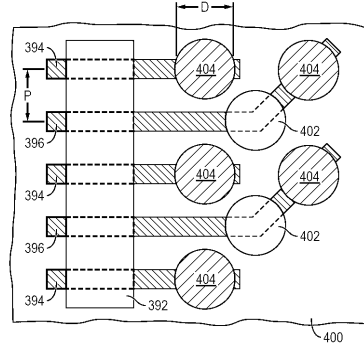



FIG. 18b

【 19】

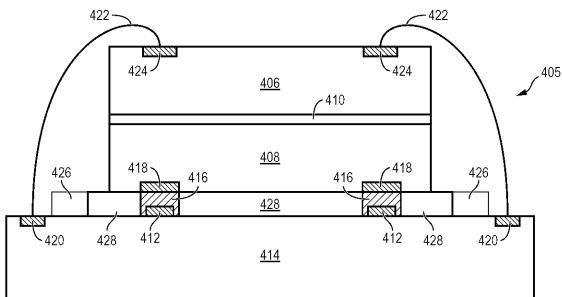


FIG. 19

フロントページの続き

(72)発明者 ラジェンドラ ディー . ペンズ
アメリカ合衆国 カリフォルニア 94555, フレモント, ダイヤモンド コモン 524
5

審査官 小川 将之

(56)参考文献 特表2008-535225(JP,A)
特開2009-182330(JP,A)
特開2007-005452(JP,A)
特開2009-239240(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/60