



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년06월26일
 (11) 등록번호 10-1870840
 (24) 등록일자 2018년06월19일

(51) 국제특허분류(Int. Cl.)
 G11C 7/10 (2015.01) G11C 7/02 (2006.01)
 (52) CPC특허분류
 G11C 7/1051 (2013.01)
 G11C 7/02 (2013.01)
 (21) 출원번호 10-2016-0145378
 (22) 출원일자 2016년11월02일
 심사청구일자 2016년11월02일
 (65) 공개번호 10-2018-0049483
 (43) 공개일자 2018년05월11일
 (56) 선행기술조사문헌
 KR1020110107995 A*
 KR1020120049735 A*
 KR1020120047385 A*
 KR1020070089387 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 최훈대
 서울특별시 은평구 통일로 796 105동 104호 (불광동, 북한산힐스테이트7차아파트)
 (74) 대리인
 특허법인 고려

전체 청구항 수 : 총 8 항

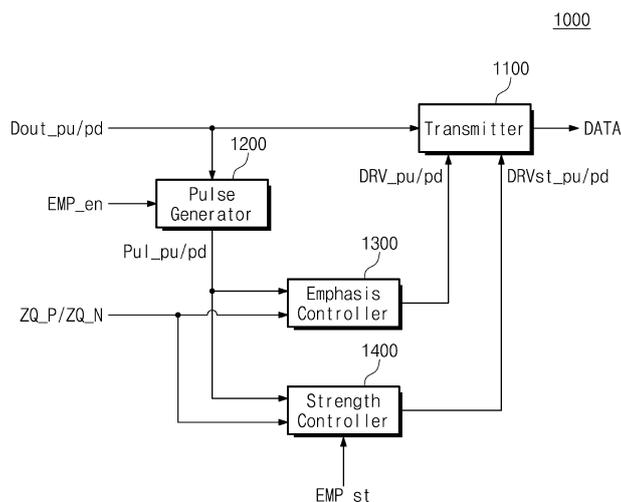
심사관 : 이흥민

(54) 발명의 명칭 출력 버퍼 회로 및 그것을 포함하는 메모리 장치

(57) 요약

본 발명에 실시 예에 따른 출력 버퍼 회로는 펄스 생성기, 송신기, 그리고 앰퍼시스 컨트롤러를 포함할 수 있다. 펄스 생성기는 앰퍼시스(emphasis)의 수행 구간을 결정하는 펄스 신호를 생성할 수 있다. 송신기는 펄스 신호에 따라, 저항 보정 코드를 제공받아 저항 보정 코드에 의해 결정되는 제 1 출력 저항 값을 제공하거나, 앰퍼시스의 수행 구간 동안 앰퍼시스 동작을 수행하기 위한 앰퍼시스 코드를 제공받아 앰퍼시스 코드에 의해 결정되는 제 2 출력 저항 값을 제공하여 앰퍼시스 동작을 수행할 수 있다. 앰퍼시스의 컨트롤러는 펄스 신호에 따라, 저항 보정 코드 또는 앰퍼시스 코드를 송신기에 제공할 수 있다.

대표도 - 도1



(52) CPC특허분류
G11C 7/1057 (2013.01)

명세서

청구범위

청구항 1

데이터에 기초하여, 앰퍼시스(emphasis)의 수행 구간을 결정하는 펄스 신호를 생성하는 펄스 생성기;

상기 펄스 신호에 따라, 저항 보정 코드를 제공받아 상기 저항 보정 코드에 의해 결정되는 제 1 출력 저항 값을 제공하거나, 상기 앰퍼시스의 상기 수행 구간 동안 상기 저항 보정 코드의 최대 값 또는 최소 값에 대응하는 앰퍼시스 코드를 제공받아 상기 앰퍼시스 코드에 의해 결정되는 제 2 출력 저항 값을 제공하여 상기 데이터에 대한 앰퍼시스 동작을 수행하고, 그리고 상기 데이터를 출력하는 송신기; 그리고

상기 펄스 신호에 따라, 상기 데이터 출력 시 상기 앰퍼시스의 상기 수행 구간에서는 상기 앰퍼시스 코드를 상기 송신기에 제공하고 그리고 상기 데이터 출력 시 상기 앰퍼시스의 상기 수행 구간 이외에서는 상기 저항 보정 코드를 상기 송신기에 제공하는 앰퍼시스 컨트롤러를 포함하는 출력 버퍼 회로.

청구항 2

제 1 항에 있어,

상기 송신기는:

상기 펄스 신호에 따라, 상기 제 1 출력 저항 값을 제공하기 위한 구동 신호를 생성하거나 상기 제 2 출력 저항 값을 제공하기 위한 상기 구동 신호를 생성하는 프리 드라이버; 그리고

상기 구동 신호에 따라, 상기 제 1 출력 저항 값 또는 상기 제 2 출력 저항 값을 제공하는 메인 드라이버를 포함하는 출력 버퍼 회로.

청구항 3

삭제

청구항 4

제 1 항에 있어,

상기 앰퍼시스 컨트롤러는 상기 제 1 출력 저항 값보다 작은 상기 제 2 출력 저항 값을 결정하는 상기 앰퍼시스 코드를 상기 송신기에 제공하는 출력 버퍼 회로.

청구항 5

제 4 항에 있어,

상기 펄스 신호의 활성화 구간에 의해 결정되는 상기 앰퍼시스의 상기 수행 구간은 상기 송신기의 출력 신호가 천이하는 구간을 포함하는 출력 버퍼 회로.

청구항 6

제 4 항에 있어,

크기 조절 신호에 따라, 상기 제 2 출력 저항 값보다 작은 제 3 출력 저항 값을 제공하도록 상기 송신기를 제어하는 앰퍼시스 크기 컨트롤러를 더 포함하는 출력 버퍼 회로.

청구항 7

제 1 항에 있어,

상기 앰퍼시스 컨트롤러는 상기 제 1 출력 저항 값보다 큰 상기 제 2 출력 저항 값을 결정하는 상기 앰퍼시스 코드를 상기 송신기에 제공하는 출력 버퍼 회로.

청구항 8

삭제

청구항 9

제 7 항에 있어,

크기 조절 신호에 따라, 상기 제 2 출력 저항 값보다 큰 제 3 출력 저항 값을 제공하도록 상기 송신기를 제어하는 앰퍼시스 크기 컨트롤러를 더 포함하는 출력 버퍼 회로.

청구항 10

출력 저항 값을 결정하는 저항 보정 코드를 생성하는 코드 생성 회로;

데이터에 기초하여, 앰퍼시스(emphasis)의 수행 구간을 결정하는 펄스 신호를 생성하는 펄스 생성기;

상기 펄스 신호에 따라, 상기 저항 보정 코드에 의해 결정되는 제 1 출력 저항 값을 제공하거나 상기 앰퍼시스의 상기 수행 구간 동안 상기 저항 보정 코드의 최대 값 또는 최소 값에 대응하는 앰퍼시스 코드를 제공받아 상기 앰퍼시스 코드에 의해 결정되는 제 2 출력 저항 값을 제공하여 상기 데이터에 대한 앰퍼시스 동작을 수행하고, 그리고 상기 데이터를 출력하는 송신기; 및

상기 펄스 신호에 따라, 상기 데이터 출력 시 상기 앰퍼시스의 상기 수행 구간에서는 상기 앰퍼시스 코드를 상기 송신기에 제공하고 그리고 상기 데이터 출력 시 상기 앰퍼시스의 상기 수행 구간 이외에서는 상기 저항 보정 코드를 상기 송신기에 제공하는 앰퍼시스 컨트롤러를 포함하는 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 회로에 관한 것으로, 좀 더 구체적으로는 앰퍼시스를 수행하는 출력 버퍼 회로 및 그것을 포함하는 메모리 장치에 관한 것이다.

배경 기술

[0002] 메모리 장치는 컴퓨터, 휴대폰, 스마트폰, PDA, 디지털카메라, 캠코더, 보이스 리코더, MP3 플레이어, 개인용 휴대 단말기(PDA), 휴대용 컴퓨터(Handheld PC), 게임기, 팩스, 스캐너, 프린터 등과 같은 정보기기들의 음성 및 영상 데이터 저장 매체로서 널리 사용되고 있다. 메모리 장치가 다양한 장치의 저장 매체로 사용됨에 따라, 메모리 장치에 대한 소비자의 요구가 다양화되고 있다.

[0003] 이러한 요구에 따라, 메모리 장치의 대용량, 고속화, 저전력화 기술들이 활발하게 연구되고 있다. 다양한 기능을 지원하는 장치들의 처리 데이터가 증가함에 따라, 메모리 장치의 대용량화가 가속화되고 있다. 메모리 장치의 대용량에 따라, 복수의 다양한 메모리 장치가 하나의 메모리 시스템 내에 집적될 수 있다. 따라서, 메모리 장치 각각의 출력 버퍼 회로의 로드(load)가 증가하여 출력 데이터의 품질을 악화될 수 있다.

[0004] 또한, 고속화된 메모리 장치가 매우 빠른 작동 속도를 가지게 되면서, 더 높은 신호 품질과 안정성이 요구된다. 메모리 장치의 출력 데이터가 고속화 됨에 따라, ISI(Inter Symbol Interference) 현상이 심화되어 신호의 품질이 저하된다. ISI 현상은 인접 부호 간의 간섭으로 인해 출력 데이터의 파형이 왜곡되는 현상이다. 따라서, 메모리 장치의 대용량화 및 고속화와 동시에 신호 품질을 개선하기 위해 ISI에 따른 출력 데이터의 왜곡 현상을 개선하는 기술이 필요하다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 상술한 문제를 해결하기 위한 것으로, 프리 앰퍼시스(pre-emphasis) 또는 디 앰퍼시스(de-emphasis)를 수행하는 출력 버퍼 회로 및 그것을 포함하는 메모리 장치를 제공하는데 있다.

과제의 해결 수단

[0006] 본 발명에 실시 예에 따른 출력 버퍼 회로는 펄스 생성기, 송신기, 그리고 앰퍼시스 컨트롤러를 포함할 수 있다. 펄스 생성기는 앰퍼시스(emphasis)의 수행 구간을 결정하는 펄스 신호를 생성할 수 있다. 송신기는 펄스 신호에 따라, 저항 보정 코드를 제공받아 저항 보정 코드에 의해 결정되는 제 1 출력 저항 값을 제공하거나, 앰퍼시스의 수행 구간 동안 앰퍼시스 동작을 수행하기 위한 앰퍼시스 코드를 제공받아 앰퍼시스 코드에 의해 결정되는 제 2 출력 저항 값을 제공하여 앰퍼시스 동작을 수행할 수 있다. 앰퍼시스 컨트롤러는 펄스 신호에 따라, 저항 보정 코드 또는 앰퍼시스 코드를 송신기에 제공할 수 있다.

[0007] 본 발명의 다른 실시 예에 따른 메모리 장치는 코드 생성 회로 및 출력 버퍼 회로를 포함할 수 있다. 코드 생성 회로는 출력 저항 값을 결정하는 저항 보정 코드를 생성할 수 있다. 출력 버퍼 회로는 저항 보정 코드를 제공받고, 데이터 전송 시에 저항 보정 코드에 의해 결정되는 제 1 출력 저항 값을 제공하고 데이터 전송 시의 앰퍼시스 수행 구간에서 앰퍼시스 동작을 수행하기 위한 앰퍼시스 코드에 의해 결정되는 제 2 출력 저항 값을 제공하는 메인 드라이버를 포함할 수 있다.

발명의 효과

[0008] 본 발명의 실시 예에 따른 출력 버퍼 회로 및 메모리 장치는 앰퍼시스 동작을 구현하기 위한 별도의 메인 드라이버를 포함하지 않는다. 따라서, 출력 단의 기생 캐패시턴스(capacitance)가 증가되는 것이 방지함과 동시에 전송 데이터 신호의 ISI를 보상하기 위한 프리 앰퍼시스 또는 디 앰퍼시스를 구현할 수 있다. 결과적으로, 출력 데이터 신호의 품질이 향상될 수 있다.

도면의 간단한 설명

- [0009] 도 1은 본 발명의 실시 예에 따른 출력 버퍼 회로를 보여주는 블록도이다.
- 도 2는 본 발명의 실시 예에 따른 프리 앰퍼시스 동작을 수행하는 도 1에 도시된 송신기를 보여주는 블록도이다.
- 도 3은 도 2에 도시된 메인 드라이버를 보여주는 회로도이다.
- 도 4는 도 2에 도시된 풀 업 프리 드라이버를 보여주는 블록도이다.
- 도 5는 도 4에 도시된 제 1 풀 업 프리 드라이버 유닛을 보여주는 회로도이다.
- 도 6은 도 2에 도시된 풀 다운 프리 드라이버를 보여주는 블록도이다.
- 도 7은 도 6에 도시된 제 1 풀 다운 프리 드라이버 유닛을 보여주는 회로도이다.
- 도 8a 내지 도 8c는 도 1에 도시된 펄스 생성기의 회로도 및 펄스 생성기의 출력 신호를 보여주는 그림이다.
- 도 9는 도 1에 도시된 앰퍼시스 컨트롤러를 보여주는 회로도이다.
- 도 10은 도 1에 도시된 앰퍼시스 크기 컨트롤러를 보여주는 회로도이다.
- 도 11 및 도 12는 도 1의 출력 버퍼 회로의 프리 앰퍼시스 동작을 설명하기 위한 블록도와 타이밍도이다.
- 도 13 및 도 14는 본 발명의 다른 실시 예에 따른 디 앰퍼시스 동작을 수행하는 도 4에 도시된 제 1 풀 업 프리 드라이버 유닛 및 도 6에 도시된 제 1 풀 다운 프리 드라이버 유닛을 보여주는 회로도이다.
- 도 15 및 도 16은 본 발명의 다른 실시 예에 따른 디 앰퍼시스 동작을 수행하는 도 1에 도시된 앰퍼시스 컨트롤러 및 앰퍼시스 크기 컨트롤러를 보여주는 회로도이다.
- 도 17은 본 발명의 다른 실시 예에 따른 디 앰퍼시스 동작을 수행하는 도 1의 출력 버퍼 회로의 디 앰퍼시스 동작을 설명하기 위한 타이밍도이다.
- 도 18은 도 1의 출력 버퍼 회로가 적용된 메모리 장치를 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 아래에서는, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.

[0011] 도 1은 본 발명의 실시 예에 따른 출력 버퍼 회로를 보여주는 블록도이다. 도 1을 참조하면, 출력 버퍼 회로

(1000)는 송신기(1100), 펄스 생성기(1200), 앰퍼시스 컨트롤러(1300), 그리고 앰퍼시스 크기 컨트롤러(1400)를 포함할 수 있다. 본 발명의 출력 버퍼 회로(1000)는 출력되는 데이터 신호(DATA)의 품질을 향상시키기 위해 프리 앰퍼시스(pre-emphasis) 또는 디 앰퍼시스(de-emphasis) 동작을 수행할 수 있다.

- [0012] 출력 버퍼 회로(1000)가 데이터 신호(DATA)를 채널(미도시)를 통해 외부의 장치에 송신하는 경우, 채널(미도시)의 대역폭 제한에 의해 데이터 신호(DATA)의 인접 데이터의 부호들 간에 ISI 현상이 발생할 수 있다. ISI 현상에 의해, 데이터 신호(DATA)의 고주파 성분의 감쇄가 발생하고, 데이터 신호(DATA)의 파형에 왜곡이 발생할 수 있다. 이러한 데이터 신호(DATA)의 왜곡에 인해, 원하는 데이터가 정상적으로 전송되지 못할 수 있다.
- [0013] 상술한 데이터 신호(DATA)의 ISI를 보상하기 위해, 본 발명의 출력 버퍼 회로(1000)는 앰퍼시스 동작을 수행한다. 앰퍼시스 동작에 의해 생성되는 데이터 신호(DATA)의 파형은 데이터가 천이하는 구간의 전압 레벨이 데이터가 유지되는 구간의 전압 레벨보다 높은 형태의 파형으로 구성된다. 이하에서, 이러한 데이터 파형을 앰퍼시스 파형이라 지칭한다. 이러한 앰퍼시스 파형에 의해, 상술한 채널 대역폭 제한에 따른 데이터 신호(DATA)의 ISI가 개선될 수 있다.
- [0014] 상술한 앰퍼시스 동작에 따른 데이터 신호(DATA)의 앰퍼시스 파형을 생성하는 방법으로 프리 앰퍼시스(pre-emphasis)의 방법과 디 앰퍼시스(de-emphasis)의 방법이 있다. 프리 앰퍼시스 방법은 데이터가 천이하는 구간의 전압 레벨을 정상적인 데이터 신호(DATA)의 출력 전압 레벨보다 높도록 구성하여 앰퍼시스 파형을 생성하는 방법이다. 즉, 데이터의 전압 레벨이 유지되는 구간에서, 데이터 신호(DATA)의 전압 레벨은 정상적인 데이터 신호(DATA)의 출력 전압 레벨을 유지한다.
- [0015] 반면, 디 앰퍼시스 방법은 데이터가 유지되는 구간의 전압 레벨을 정상적인 데이터 신호(DATA)의 출력 전압 레벨보다 낮도록 구성하여 앰퍼시스 파형을 생성하는 방법이다. 즉, 데이터가 천이하는 구간에서, 데이터 신호(DATA)의 전압 레벨은 정상적인 데이터 신호(DATA)의 출력 전압 레벨을 유지한다.
- [0016] 본 발명의 출력 버퍼 회로(1000)는 상술한 프리 앰퍼시스 방법 및 디 앰퍼시스 방법에 의한 앰퍼시스 동작을 수행할 수 있다. 다만, 앰퍼시스 방법에 따라, 송신기(1100)에 포함되는 회로의 일부 구성이 달라질 수 있다.
- [0017] 송신기(1100)는 내부 회로(미도시)로부터 풀 업 및 풀 다운 데이터(Dout_pu, Dout_pd)를 제공받고, 풀 업 및 풀 다운 데이터(Dout_pu, Dout_pd)를 기초로 데이터 신호(DATA)를 생성하여 채널(미도시)에 전송한다. 데이터 신호(DATA)를 채널(미도시)에 전송 시, 송신기(1100)는 데이터 신호의 반사를 줄이고 데이터 신호의 품질 저하를 방지하기 위해 출력 저항 값이 채널(미도시)의 임피던스와 매칭(matching)되도록 출력 저항 값을 제어한다. 송신기(1100)는 저항 캘리브레이션(calibration) 회로(미도시)로부터 채널(미도시)과의 임피던스를 매칭을 위한 풀 업 및 풀 다운 저항 보정 코드(ZQ_P, ZQ_N)를 앰퍼시스 컨트롤러(1300) 및 앰퍼시스 크기 컨트롤러(1400)를 통해 제공받을 수 있다.
- [0018] 송신기(1100)의 데이터(DATA) 출력 시, 송신기(1100)는 풀 업 및 풀 다운 드라이빙 신호(DRV_pu, DRV_pd)와 풀 업 및 풀 다운 보조 드라이빙 신호(DRVst_pu, DRVst_pd)를 통해 풀 업 및 풀 다운 저항 보정 코드(ZQ_P, ZQ_N)를 제공받을 수 있다. 또한, 송신기(1100)의 앰퍼시스 수행 구간에서, 송신기(1100)는 풀 업 및 풀 다운 드라이빙 신호(DRV_pu, DRV_pd)와 풀 업 및 풀 다운 보조 드라이빙 신호(DRVst_pu, DRVst_pd)를 통해 앰퍼시스 코드(미도시)를 제공받을 수 있다.
- [0019] 앰퍼시스 코드(미도시)는 상술한 앰퍼시스 파형을 생성하기 위한 출력 저항 값을 결정하는 코드이다. 앰퍼시스 코드(미도시)는 풀 업 앰퍼시스 코드 및 풀 다운 앰퍼시스 코드(미도시)를 포함할 수 있다. 풀 업 앰퍼시스 코드(미도시)는 상술한 풀 업 저항 보정 코드(ZQ_P)의 최대 값 또는 최소 값에 대응한다. 또한, 풀 다운 앰퍼시스 코드(미도시)는 상술한 풀 다운 저항 보정 코드(ZQ_N)의 최대 값 또는 최소 값에 대응한다.
- [0020] 펄스 생성기(1200)는 내부 회로(미도시)로부터 풀 업 및 풀 다운 데이터(Dout_pu, Dout_pd)를 제공받고, 풀 업 및 풀 다운 데이터(Dout_pu, Dout_pd)를 기초로 앰퍼시스 수행 구간을 결정하는 풀 업 및 풀 다운 펄스(Pul_pu, Pul_pd)를 생성한다. 펄스 생성기(1200)는 앰퍼시스 제어 신호(EMP_en)에 따라 앰퍼시스 동작을 수행하거나 수행하지 않는다. 펄스 생성기(1200)의 구성 및 동작은 도 8a 내지 도 8b를 참조하여 설명될 것이다.
- [0021] 앰퍼시스 컨트롤러(1300)는 풀 업 및 풀 다운 펄스(Pul_pu, Pul_pd)에 따라, 풀 업 및 풀 다운 저항 보정 코드(ZQ_P, ZQ_N)를 풀 업 및 풀 다운 드라이빙 신호(DRV_pu, DRV_pd)로서 출력하거나, 풀 업 및 풀 다운 앰퍼시스 코드(미도시)를 풀 업 및 풀 다운 드라이빙 신호(DRV_pu, DRV_pd)로서 출력한다.
- [0022] 앰퍼시스 크기 컨트롤러(1400)는 앰퍼시스 컨트롤러(1300)와 유사하게 동작한다. 다만, 앰퍼시스 컨트롤러

(1300)와 비교하여, 앰퍼시스 크기 컨트롤러(1400)는 크기 조절 신호(EMP_st)를 더 제공받는다. 크기 조절 신호(EMP_st)가 활성화 되는 경우, 앰퍼시스 크기 컨트롤러(1400)는 풀 업 및 풀 다운 펄스(Pu1_pu, Pu1_pd)에 따라, 풀 업 및 풀 다운 저항 보정 코드(ZQ_P, ZQ_N)를 풀 업 및 풀 다운 드라이빙 신호(DRV_pu, DRV_pd)로서 출력하거나, 풀 업 및 풀 다운 앰퍼시스 코드(미도시)를 풀 업 및 풀 다운 드라이빙 신호(DRV_pu, DRV_pd)로서 출력한다.

[0023] 또는, 크기 조절 신호(EMP_st)가 비활성화 되는 경우, 앰퍼시스 크기 컨트롤러(1400)는 풀 업 및 풀 다운 펄스(Pu1_pu, Pu1_pd)와 관계없이, 풀 업 및 풀 다운 저항 보정 코드(ZQ_P, ZQ_N)를 풀 업 및 풀 다운 드라이빙 신호(DRV_pu, DRV_pd)로서 출력한다. 즉, 앰퍼시스 크기 컨트롤러(1400)는 크기 조절 신호(EMP_st)에 따라, 송신기(1100)가 앰퍼시스 동작을 수행하는 경우에 앰퍼시스 크기를 조절할 수 있다.

[0024] 이상에서는 앰퍼시스 동작을 수행하는 출력 버퍼 회로(1000)의 구성에 대하여 간략히 설명되었다. 상술한 구성들을 통해, 본 발명의 출력 버퍼 회로(1000)는 송신기(1100)에 포함되는 메인 드라이버(미도시)에 제공되는 저항 보정 코드 값을 변경하여 앰퍼시스 동작을 수행한다. 즉, 출력 버퍼 회로(1000)는 앰퍼시스 동작을 위한 별도의 메인 드라이버(미도시)를 포함하지 않기 때문에, 별도의 메인 드라이버(미도시)에 의해 발생할 수 있는 출력 단의 기생 캐패시턴스(capacitance)의 증가를 방지할 수 있다. 결과적으로, 출력 버퍼 회로(1000)는 기생 캐패시턴스를 최소화함과 동시에 앰퍼시스 기능을 제공하여 출력 신호의 품질을 개선할 수 있다.

[0025] 이하에서, 도 2 내지 도 12를 참조하여 프리 앰퍼시스를 수행하기 위한 출력 버퍼 회로(1000)의 구성 및 동작 방법이 설명될 것이고, 도 13 내지 도 18을 참조하여 디 앰퍼시스를 수행하기 위한 출력 버퍼 회로(1000)의 구성 및 동작 방법이 설명될 것이다.

[0026] 도 2는 본 발명의 실시 예에 따른 프리 앰퍼시스 동작을 수행하는 도 1에 도시된 송신기를 보여주는 블록도이다. 도 2의 블록도는 도 1을 참조하여 설명될 것이다. 도 2를 참조하면, 송신기(1100)는 메인 드라이버(1110), 풀 업 프리 드라이버(1120), 그리고 풀 다운 프리 드라이버(1130)를 포함할 수 있다. 송신기(1100)는 내부 회로(미도시)로부터 제공된 풀 업 및 풀 다운 데이터(Dout_pu, Dout_pd)를 기초로 데이터 신호(DATA)를 생성하여 채널(미도시)을 통해 외부 장치(미도시)에 제공한다.

[0027] 메인 드라이버(1110)는 풀 업 프리 드라이버(1120) 및 풀 다운 프리 드라이버(1130)로부터 각각 제공된 제 1 내지 제 3 풀 업 구동 신호(PU_out1[N:0], PU_out2[N:0], PU_out3[N:0]) 및 제 1 내지 제 3 풀 다운 구동 신호(PD_out1[N:0], PD_out2[N:0], PD_out3[N:0])에 의해 출력 데이터(DATA) 신호를 생성한다. 메인 드라이버(1110)는 다양한 출력 저항 값을 제공하기 위해 복수의 풀 업 유닛(미도시) 및 풀 다운 유닛(미도시)을 포함할 수 있다. 제 1 내지 제 3 풀 업 구동 신호(PU_out1[N:0], PU_out2[N:0], PU_out3[N:0]) 및 제 1 내지 제 3 풀 다운 구동 신호(PD_out1[N:0], PD_out2[N:0], PD_out3[N:0])는 각각 메인 드라이버(1110)의 복수의 풀 업 유닛(미도시) 및 풀 다운 유닛(미도시)을 구동한다.

[0028] 메인 드라이버(1110)는 데이터를 외부에 전달하는 경우, 외부의 채널과 연결된다. 따라서, 데이터의 송신 시에 발생할 수 있는 채널과의 반사파를 방지하기 위해, 메인 드라이버(1110)의 출력 저항 값은 채널과의 임피던스 매칭이 되는 저항 값으로 결정된다. 메인 드라이버(1110)는 채널과의 임피던스 매칭을 위한 복수의 트랜지스터를 포함할 수 있다. 상술한 제 1 내지 제 3 풀 업 구동 신호(PU_out1[N:0], PU_out2[N:0], PU_out3[N:0]) 및 제 1 내지 제 3 풀 다운 구동 신호(PD_out1[N:0], PD_out2[N:0], PD_out3[N:0]) 각각의 비트 수 'N'은 메인 드라이버(1110)에 포함된 복수의 트랜지스터의 수에 의해 결정된다. 메인 드라이버(1110)의 예시적인 구성은 도 3을 참조하여 설명될 것이다.

[0029] 풀 업 프리 드라이버(1120)는 내부 회로(미도시)로부터 풀 업 데이터(Dout_pu)를 제공받는다. 또한, 풀 업 프리 드라이버(1120)는 앰퍼시스 컨트롤러(1300) 및 앰퍼시스 크기 컨트롤러(1400)로부터 각각 풀 업 드라이빙 신호(DRV_pu[N-1:0])와 풀 업 보조 드라이빙 신호(DRVst_pu[N-1:0])를 제공받는다.

[0030] 상술한 바와 같이, 풀 업 프리 드라이버(1120)가 풀 업 드라이빙 신호(DRV_pu[N-1:0]) 및 풀 업 보조 드라이빙 신호(DRVst_pu[N-1:0])를 통해 풀 업 저항 보정 코드(ZQ_P)를 제공받는 경우, 풀 업 프리 드라이버(1120)는 풀 업 저항 보정 코드(ZQ_P)에 따른 출력 저항 값을 제공하도록 메인 드라이버(1110)를 구동하기 위한 제 1 내지 제 3 풀 업 구동 신호(PU_out1[N:0], PU_out2[N:0], PU_out3[N:0])를 생성한다.

[0031] 또는, 프리 앰퍼시스 동작을 수행하기 위해, 풀 업 프리 드라이버(1120)는 풀 업 드라이빙 신호(DRV_pu[N-1:0])를 통해 앰퍼시스 코드를 제공받을 수 있다. 또한, 앰퍼시스 크기 컨트롤러(1400)가 크기 조절 신호(EMP_st)에 따라 앰퍼시스 동작을 수행하는 경우, 풀 업 프리 드라이버(1120)는 풀 업 보조 드라이빙 신호

(DRV_pu[N-1:0])를 통해 엠퍼시스 코드를 제공받을 수 있다. 풀 업 프리 드라이버(1120)가 프리 엠퍼시스 동작을 수행을 수행하는 경우, 풀 업 프리 드라이버(1120)는 제공된 엠퍼시스 코드에 따른 출력 저항 값을 제공하도록 메인 드라이버(1110)를 구동하기 위한 제 1 내지 제 3 풀 업 구동 신호(PU_out1[N:0], PU_out2[N:0], PU_out3[N:0])를 생성한다.

- [0032] 풀 다운 프리 드라이버(1130)는 내부 회로(미도시)로부터 풀 다운 데이터(Dout_pd)를 제공받는다. 또한, 풀 다운 프리 드라이버(1130)는 엠퍼시스 컨트롤러(1300) 및 엠퍼시스 크기 컨트롤러(1400)로부터 각각 풀 다운 드라이빙 신호(DRV_pd[N-1:0])와 풀 다운 보조 드라이빙 신호(DRVst_pd[N-1:0])를 제공받는다
- [0033] 풀 다운 프리 드라이버(1130)는 풀 업 프리 드라이버(1120)와 유사하게 동작한다. 즉, 풀 다운 프리 드라이버(1130)는 풀 다운 드라이빙 신호(DRV_pd[N-1:0]) 및 풀 다운 보조 드라이빙 신호(DRVst_pd[N-1:0])를 통해 풀 다운 저항 보정 코드(ZQ_N) 또는 엠퍼시스 코드를 제공받는다. 풀 다운 프리 드라이버(1130)는 제공된 풀 다운 저항 보정 코드(ZQ_N) 또는 엠퍼시스 코드에 따른 출력 저항 값을 제공하도록 메인 드라이버(1110)를 구동하기 위한 제 1 내지 제 3 풀 다운 구동 신호(PD_out1[N:0], PD_out2[N:0], PD_out3[N:0])를 생성한다.
- [0034] 풀 업 및 풀 다운 프리 드라이버(1120, 1130) 각각은 생성한 제 1 내지 제 3 풀 업 구동 신호(PU_out1[N:0], PU_out2[N:0], PU_out3[N:0]) 및 제 1 내지 제 3 풀 다운 구동 신호(PD_out1[N:0], PD_out2[N:0], PD_out3[N:0])를 메인 드라이버(1110)에 제공한다. 풀 업 및 풀 다운 데이터(Dout_pu, Dout_pd)를 채널에 제공하기 위한 데이터 신호(DATA)가 풀 업 및 풀 다운 저항 보정 코드(ZQ_P, ZQ_N) 또는 엠퍼시스 코드에 따라 결정되는 출력 저항 값에 의해 구동되도록, 메인 드라이버(1110)는 데이터 신호(DATA)를 생성한다.
- [0035] 제 1 내지 제 3 풀 업 구동 신호(PU_out1[N:0], PU_out2[N:0], PU_out3[N:0]) 및 제 1 내지 제 3 풀 다운 구동 신호(PD_out1[N:0], PD_out2[N:0], PD_out3[N:0])는 각각 메인 드라이버(1110)의 구성에 따라 동일한 데이터를 제공하기 위한 구동 신호로 구성되거나, 서로 반대의 데이터를 제공하기 위한 구동 신호로 구성될 수 있다. 이하에서, 제 1 내지 제 3 풀 업 구동 신호(PU_out1[N:0], PU_out2[N:0], PU_out3[N:0]) 및 제 1 내지 제 3 풀 다운 구동 신호(PD_out1[N:0], PD_out2[N:0], PD_out3[N:0])는 각각 메인 드라이버(1110)에 동일한 데이터를 제공하기 위한 구동 신호로 구성되는 것으로 가정한다.
- [0036] 도 3은 도 2에 도시된 메인 드라이버를 보여주는 회로도이다. 도 3의 회로도에는 도 2를 참조하여 설명될 것이다. 메인 드라이버(1110)는 제 1 내지 제 3 풀 업 드라이버 유닛(1111~1113) 및 제 1 내지 제 3 풀 다운 드라이버 유닛(1114~1116)을 포함할 수 있다.
- [0037] 제 1 내지 제 3 풀 업 드라이버 유닛(1111~1113)은 구동 전압(VDDQ)과 노드(n1) 사이에 병렬로 연결된다. 제 1 풀 업 드라이버 유닛(1111)은 하나의 풀 업 유닛을 포함한다. 제 2 풀 업 드라이버 유닛(1112)은 병렬로 연결된 두 개의 풀 업 유닛을 포함하고, 제 3 풀 업 드라이버 유닛(1113)은 병렬로 연결된 4 개의 풀 업 유닛을 포함한다. 제 1 풀 업 드라이버 유닛(1111)에 포함된 풀 업 유닛은 제 1 풀 업 구동 신호(PU_out1[N:0])에 의해 구동된다. 제 2 풀 업 드라이버 유닛(1112)에 포함된 두 개의 풀 업 유닛은 각각 제 2 풀 업 구동 신호(PU_out2[N:0])에 의해 구동되고, 제 3 풀 업 드라이버 유닛(1113)에 포함된 네 개의 풀 업 유닛은 각각 제 3 풀 업 구동 신호(PU_out3[N:0])에 의해 구동된다.
- [0038] 제 1 풀 업 드라이버 유닛(1111)에 포함된 풀 업 유닛은 복수의 트랜지스터(MP1) 및 메인 트랜지스터(MP2)를 포함할 수 있다. 복수의 트랜지스터(MP1)에 포함된 각각의 트랜지스터 및 메인 트랜지스터(MP2)는 제 1 풀 업 구동 신호(PU_out1[N:0])에 의해 턴 온 또는 턴 오프될 수 있다. 구체적으로, 제 1 풀 업 구동 신호(PU_out1[N:0])의 각 비트의 값에 기초하여, 복수의 트랜지스터(MP1)에 포함되는 각각의 트랜지스터 및 메인 트랜지스터(MP2)가 턴 온 또는 턴 오프될 수 있다.
- [0039] 예를 들어, 7비트의 제 1 풀 업 구동 신호(PU_out1[N:0])가 사용되는 경우 복수의 트랜지스터(MP1)는 6개의 트랜지스터를 포함할 수 있다. 6개의 트랜지스터 각각은 제 1 풀 업 구동 신호(PU_out1[5:0])의 각 비트의 값에 의해 턴 온 또는 턴 오프될 수 있다. 다만, 제 1 풀 업 구동 신호(PU_out1[5:0])를 형성하는 비트의 수와 복수의 트랜지스터(MP)에 포함되는 트랜지스터의 수는 필요에 따라 변경될 수 있다. 또한, 터미네이션 형태 또는 드라이빙 형태에 따라, 복수의 트랜지스터(MP1) 및 메인 트랜지스터(MP2)는 PMOS 트랜지스터가 아닌 복수의 NMOS 트랜지스터를 포함하도록 구성될 수 있다.
- [0040] 복수의 트랜지스터(MP1)에 포함되는 각각의 트랜지스터의 턴 온 또는 턴 오프에 따라, 제 1 풀 업 저항(R_pu1)에 전류가 흐르거나 흐르지 않을 수 있다. 따라서, 풀 업 유닛의 등가 저항 값이 변경될 수 있다. 즉, 제 1 풀 업 구동 신호(PU_out1[5:0])에 의해 풀 업 유닛의 등가 저항 값이 변경될 수 있다. 메인 트랜지스터(MP2)는 메

인 드라이버(1110)가 데이터 신호(DATA)를 구동하는 경우에 항상 구동된다. 메인 트랜지스터(MP2) 및 제 2 풀업 저항(R_{pu2})은 구동 전압(VDDQ)와 노드(n1) 사이에 직렬로 연결된다. 메인 트랜지스터(MP2) 및 제 2 풀업 저항(R_{pu2})은 메인 드라이버(1110)의 등가 저항 값의 최대 저항 값을 결정한다. 이하에서, 복수의 트랜지스터(MP1)는 6개의 트랜지스터를 포함하고, 제 1 풀업 구동 신호(PU_{out1}[N:0])는 7비트의 신호를 포함하는 것으로 가정한다.

- [0041] 제 1 내지 제 3 풀다운 드라이버 유닛(1114~1116)은 노드(n1)와 접지 전압(GND) 사이에 병렬로 연결된다. 제 1 풀다운 드라이버 유닛(1114)은 하나의 풀다운 유닛을 포함한다. 제 2 풀다운 드라이버 유닛(1115)은 병렬로 연결된 두 개의 풀다운 유닛을 포함하고, 제 3 풀다운 드라이버 유닛(1116)은 병렬로 연결된 4 개의 풀다운 유닛을 포함한다. 제 1 풀다운 드라이버 유닛(1114)에 포함된 풀다운 유닛은 제 1 풀다운 구동 신호(PD_{out1}[N:0])에 의해 구동된다. 제 2 풀다운 드라이버 유닛(1115)에 포함된 두 개의 풀다운 유닛은 각각 제 2 풀다운 구동 신호(PD_{out2}[N:0])에 의해 구동되고, 제 3 풀다운 드라이버 유닛(1116)에 포함된 네 개의 풀다운 유닛은 각각 제 3 풀다운 구동 신호(PD_{out3}[N:0])에 의해 구동된다.
- [0042] 제 1 풀다운 드라이버 유닛(1114)에 포함된 풀다운 유닛은 복수의 트랜지스터(MN1) 및 메인 트랜지스터(MN2)를 포함할 수 있다. 복수의 트랜지스터(MN1)에 포함되는 각각의 트랜지스터 및 메인 트랜지스터(MN2)는 제 1 풀다운 구동 신호(PD_{out1}[N:0])에 의해 턴 온 또는 턴 오프될 수 있다. 구체적으로, 제 1 풀다운 구동 신호(PD_{out1}[N:0])의 각 비트의 값에 기초하여, 복수의 트랜지스터(MN1)에 포함되는 각각의 트랜지스터 및 메인 트랜지스터(MN2)가 턴 온 또는 턴 오프될 수 있다.
- [0043] 예를 들어, 7비트의 제 1 풀다운 구동 신호(PD_{out1}[N:0])가 사용되는 경우 복수의 트랜지스터(MN1)는 6개의 트랜지스터를 포함할 수 있다. 6개의 트랜지스터 각각은 제 1 풀다운 구동 신호(PD_{out1}[5:0])의 각 비트의 값에 의해 턴 온 또는 턴 오프될 수 있다. 다만, 제 1 풀다운 구동 신호(PD_{out1}[5:0])를 형성하는 비트의 수와 복수의 트랜지스터(MN1)에 포함되는 트랜지스터의 수는 필요에 따라 변경될 수 있다. 또한, 터미네이션 형태 또는 드라이빙 형태에 따라, 복수의 트랜지스터(MN1) 및 메인 트랜지스터(MN2)는 NMOS 트랜지스터가 아닌 복수의 PMOS 트랜지스터를 포함하도록 구성될 수 있다.
- [0044] 복수의 트랜지스터(MN1)에 포함되는 각각의 트랜지스터의 턴 온 또는 턴 오프에 따라, 제 1 풀다운 저항(R_{pd1})에 전류가 흐르거나 흐르지 않을 수 있다. 따라서, 풀다운 유닛의 등가 저항 값이 변경될 수 있다. 즉, 제 1 풀다운 구동 신호(PD_{out1}[5:0])에 의해 풀다운 유닛의 등가 저항 값이 변경될 수 있다. 메인 트랜지스터(MN2)는 메인 드라이버(1110)가 데이터 신호(DATA)를 구동하는 경우에 항상 구동된다. 메인 트랜지스터(MN2) 및 제 2 풀다운 저항(R_{pd2})은 노드(n1)와 접지 전압(GND) 사이에 직렬로 연결된다. 메인 트랜지스터(MN2) 및 제 2 풀다운 저항(R_{pd2})은 메인 드라이버(1110)의 등가 저항 값의 최대 저항 값을 결정한다. 이하에서, 복수의 트랜지스터(MN1)는 6개의 트랜지스터를 포함하고, 제 1 풀다운 구동 신호(PD_{out1}[N:0])는 7비트의 신호를 포함하는 것으로 가정한다.
- [0045] 도 4는 도 2에 도시된 풀업 프리 드라이버를 보여주는 블록도이다. 도 4를 참조하면, 풀업 프리 드라이버(1120)는 제 1 내지 제 3 풀업 프리 드라이버 유닛(1121~1123)을 포함할 수 있다. 제 1 내지 제 3 풀업 프리 드라이버 유닛(1121~1123)은 각각 동일한 구성을 포함한다.
- [0046] 제 1 및 제 2 풀업 프리 드라이버 유닛(1121, 1122)은 각각 풀업 데이터(Dout_{pu}) 및 풀업 드라이빙 신호(DRV_{pu}[5:0])를 제공받는다. 제 1 및 제 2 풀업 프리 드라이버 유닛(1121, 1122)은 제공된 데이터 및 신호를 기초로 각각 제 1 및 제 2 풀업 구동 신호(PU_{out1}[6:0], PU_{out2}[6:0])를 생성한다.
- [0047] 또한, 제 3 풀업 프리 드라이버 유닛(1123)은 풀업 데이터(Dout_{pu}) 및 풀업 보조 드라이빙 신호(DRV_{st}_{pu}[5:0])를 제공받는다. 제 3 풀업 프리 드라이버 유닛(1123)은 제공된 데이터 및 신호를 기초로 제 3 풀업 구동 신호(PU_{out3}[6:0])를 생성한다. 도 5를 참조하여, 제 1 풀업 프리 드라이버 유닛(1121)의 예시적인 구성이 설명될 것이다.
- [0048] 도 5는 도 4에 도시된 제 1 풀업 프리 드라이버 유닛을 보여주는 회로도이다. 도 5의 회로도는 도 3 및 4를 참조하여 설명될 것이다. 도 5를 참조하면, 제 1 풀업 프리 드라이버 유닛(1121a)은 인버터(INV) 및 제 1 내지 제 6 노어(NOR) 로직(NR1~NR6)을 포함할 수 있다.
- [0049] 인버터(INV)는 풀업 데이터(Dout_{pu})를 반전하여 제 1 풀업 구동 신호(PU_{out1}[6])로 출력한다. 제 1 풀업 구동 신호(PU_{out1}[6])는 메인 드라이버(1110)의 메인 트랜지스터(MP2)에 제공된다.
- [0050] 제 1 내지 제 6 노어 로직(NR1~NR6)은 각각 제 1 풀업 드라이빙 신호(PU_{out1}[5:0])를 반전하여 제 1 풀업

구동 신호(PU_out1[5:0])로서 출력한다. 제 1 풀 업 구동 신호(PU_out1[5:0])는 각각 메인 드라이버(1110)의 제 1 내지 제 3 풀 업 드라이버 유닛(1111~1113)의 복수의 트랜지스터(MP1)에 제공된다.

[0051] 예를 들어, 풀 업 프리 드라이버(1120)가 풀 업 드라이빙 신호(DRV_pu[5:0])를 통해 풀 업 저항 보정 코드(ZQ_P)를 제공받는 경우, 제 1 풀 업 구동 신호(PU_out1[5:0])는 각각 풀 업 저항 보정 코드(ZQ_P)에 따른 출력 저항 값을 제공하기 위한 로직 레벨을 출력한다. 반면에, 풀 업 프리 드라이버(1120)가 풀 업 드라이빙 신호(DRV_pu[5:0])를 통해 비트의 로직 레벨이 모두 로직 '1'인 옴퍼시스 코드를 제공받는 경우, 제 1 풀 업 구동 신호(PU_out1[5:0]) 각각은 로직 '0'을 출력한다. 비트의 로직 레벨이 모두 로직 '0'인 제 1 풀 업 구동 신호(PU_out1[5:0])를 제공받은 제 1 내지 제 3 풀 업 드라이버 유닛(1111~1113)에 포함된 복수의 트랜지스터(MP1)는 모두 턴 온되고, 제 1 내지 제 3 풀 업 드라이버 유닛(1111~1113)은 최소의 출력 저항 값을 제공한다.

[0052] 도 6은 도 2에 도시된 풀 다운 프리 드라이버를 보여주는 블록도이다. 도 6을 참조하면, 풀 다운 프리 드라이버(1130)는 제 1 내지 제 3 풀 다운 프리 드라이버 유닛(1131~1133)을 포함할 수 있다. 제 1 내지 제 3 풀 다운 프리 드라이버 유닛(1131~1133)은 각각 동일한 구성을 포함한다.

[0053] 제 1 및 제 2 풀 다운 프리 드라이버 유닛(1131, 1132)은 각각 풀 다운 데이터(Dout_pd) 및 풀 다운 드라이빙 신호(DRV_pd[5:0])를 제공받는다. 제 1 및 제 2 풀 다운 프리 드라이버 유닛(1131, 1132)은 제공된 데이터 및 신호를 기초로 각각 제 1 및 제 2 풀 다운 구동 신호(PD_out1[6:0], PD_out2[6:0])를 생성한다.

[0054] 또한, 제 3 풀 다운 프리 드라이버 유닛(1133)은 풀 다운 데이터(Dout_pd) 및 풀 다운 보조 드라이빙 신호(DRVst_pd[5:0])를 제공받는다. 제 3 풀 다운 프리 드라이버 유닛(1133)은 제공된 데이터 및 신호를 기초로 제 3 풀 다운 구동 신호(PD_out3[6:0])를 생성한다. 도 7을 참조하여, 제 1 풀 다운 프리 드라이버 유닛(1131)의 예시적인 구성이 설명될 것이다.

[0055] 도 7은 도 6에 도시된 제 1 풀 다운 프리 드라이버 유닛을 보여주는 회로도이다. 도 7은 도 3 및 도 6을 참조하여 설명될 것이다. 도 7을 참조하면, 제 1 풀 다운 드라이버 유닛(1131a)은 인버터(INV) 및 제 1 내지 제 6 낸드(NAND) 로직(ND1~ND6)을 포함할 수 있다.

[0056] 인버터(INV)는 풀 다운 데이터(Dout_pd)를 반전하여 제 1 풀 다운 구동 신호(PD_out1[6])로 출력한다. 제 1 풀 다운 구동 신호(PD_out1[6])는 메인 드라이버(1110)의 제 1 내지 제 3 풀 다운 드라이버 유닛(1114~1116)의 메인 트랜지스터(MN2)에 제공된다.

[0057] 제 1 내지 제 6 낸드 로직(ND1~ND6)은 각각 제 1 풀 다운 구동 신호(PD_out1[5:0])를 반전하여 제 1 풀 다운 구동 신호(PD_out1[5:0])로서 출력한다. 제 1 풀 다운 구동 신호(PD_out1[5:0])는 각각 메인 드라이버(1110)의 제 1 내지 제 3 풀 다운 드라이버 유닛(1114~1116)의 복수의 트랜지스터(MN1)에 제공된다.

[0058] 예를 들어, 풀 다운 프리 드라이버(1130)가 풀 다운 드라이빙 신호(DRV_pd[5:0])를 통해 풀 다운 저항 보정 코드(ZQ_N)를 제공받는 경우, 제 1 풀 다운 구동 신호(PD_out1[5:0]) 각각은 풀 다운 저항 보정 코드(ZQ_N)에 따른 출력 저항 값을 제공하기 위한 로직 레벨을 출력한다. 반면에, 풀 다운 프리 드라이버(1130)가 풀 다운 드라이빙 신호(DRV_pd[5:0])를 통해 비트의 로직 레벨이 모두 로직 '0'인 옴퍼시스 코드를 제공받는 경우, 제 1 풀 다운 구동 신호(PD_out1[5:0]) 각각은 로직 '1'을 출력한다. 비트의 로직 레벨이 모두 로직 '0'인 제 1 풀 다운 구동 신호(PD_out1[5:0])를 제공 받은 제 1 내지 제 3 풀 다운 드라이버 유닛(1114~1116)에 포함된 복수의 트랜지스터(MN1)는 모두 턴 온되고, 제 1 내지 제 3 풀 다운 드라이버 유닛(1114~1116)은 최소의 출력 저항 값을 제공한다.

[0059] 도 8a 내지 도 8c는 도 1에 도시된 펄스 생성기의 회로도와 펄스 생성기의 출력 신호를 보여주는 그림이다. 도 8a 내지 도 8c는 도 1 및 도 2를 참조하여 설명될 것이다.

[0060] 도 8a를 참조하면, 펄스 생성기(1200)는 풀 업 펄스 생성기(1210) 및 풀 다운 펄스 생성기(1220)를 포함할 수 있다. 풀 업 펄스 생성기(1210) 및 풀 다운 펄스 생성기(1220)는 각각 풀 업 펄스(Pul_pu) 및 풀 다운 펄스(Pul_pd)를 생성한다.

[0061] 풀 업 펄스 생성기(1210)는 제 1 낸드 로직(ND1), 제 1 노어 로직(NR1), 그리고 제 1 인버터(INV1)를 포함할 수 있다. 제 1 낸드 로직(ND1)은 풀 업 데이터(Dout_pu) 및 옴퍼시스 제어 신호(EMP_en)를 제공받는다.

[0062] 제 1 낸드 로직(ND1)이 로직 '1'의 옴퍼시스 제어 신호(EMP_en)를 제공 받는 경우, 제 1 낸드 로직(ND1)은 풀 업 데이터(Dout_pu)를 반전하여 제 1 데이터(D1)로 출력한다. 제 1 데이터(D1)는 제 1 인버터(INV1)를 통해 제 1 딜레이(tD1) 이후에 제 2 데이터(D2)로서 출력된다. 제 1 노어 로직(NR1)은 제 1 및 제 2 데이터(D1, D2)를

제공받는다. 이어, 제 1 노어 로직(NR1)은 제 1 및 제 2 데이터(D1, D2)를 기초로 풀 업 펄스(Pu1_pu)를 생성한다. 풀 업 펄스(Pu1_pu)는 제 1 딜레이(tD1) 만큼의 구간을 로직 '1'의 펄스 구간으로 포함한다.

- [0063] 또한, 제 1 낸드 로직(ND1)이 로직 '0'의 앰퍼시스 제어 신호(EMP_en)를 제공받는 경우, 제 1 낸드 로직(ND1)은 풀 업 데이터(Dout_pu)와 관계 없이 로직 '1'을 제 1 데이터(D1)로서 출력한다. 로직 '1'을 입력받은 제 1 노어 로직(NR1)은 제 2 데이터(D2)와 관계 없이 로직 '0'을 풀 업 펄스(Pu1_pu)로 출력한다. 즉, 로직 '0'의 앰퍼시스 제어 신호(EMP_en)를 제공받는 경우, 풀 업 펄스 생성기(1210)는 펄스 신호를 생성하지 않는다. 따라서, 풀 업 생성기(1210)는 앰퍼시스 동작을 수행하지 않는다.
- [0064] 풀 다운 펄스 생성기(1220)는 제 2 노어 로직(NR2), 제 2 낸드 로직(ND2), 그리고 제 2 인버터(INV2)를 포함할 수 있다. 제 2 노어 로직(NR1)은 풀 다운 데이터(Dout_pd) 및 앰퍼시스 제어 바 신호(EMP_en')를 제공받는다.
- [0065] 제 2 노어 로직(NR2)이 로직 '0'의 앰퍼시스 제어 바 신호(EMP_en')를 제공 받는 경우, 제 2 노어 로직(NR1)은 풀 다운 데이터(Dout_pd)를 반전하여 제 3 데이터(D3)로 출력한다. 제 3 데이터(D3)는 제 2 인버터(INV2)를 통해 제 2 딜레이(tD2) 이후에 제 4 데이터(D4)로서 출력된다. 제 2 낸드 로직(ND2)은 제 3 및 제 4 데이터(D3, D4)를 제공받는다. 이어, 제 2 낸드 로직(ND2)은 제 3 및 제 4 데이터(D3, D4)를 기초로 풀 다운 펄스(Pu1_pd)를 생성한다. 풀 다운 펄스(Pu1_pd)는 제 2 딜레이(tD2) 만큼의 구간을 로직 '0'의 펄스 구간으로 포함한다.
- [0066] 또한, 제 2 노어 로직(NR2)이 로직 '1'의 앰퍼시스 제어 바 신호(EMP_en')를 제공받는 경우, 제 2 노어 로직(NR2)은 풀 다운 데이터(Dout_pd)와 관계 없이 로직 '0'을 제 3 데이터(D3)로 출력한다. 로직 '0'을 입력받은 제 2 낸드 로직(ND2)은 제 4 데이터(D4)와 관계 없이 로직 '1'을 풀 다운 펄스(Pu1_pd)로 출력한다. 즉, 로직 '1'의 앰퍼시스 제어 바 신호(EMP_en')를 제공받는 경우, 풀 다운 펄스 생성기(1220)는 펄스 신호를 생성하지 않는다. 따라서, 풀 다운 생성기(1220)는 앰퍼시스 동작을 수행하지 않는다.
- [0067] 도 8b를 참조하면, 풀 업 펄스 생성기(1210)에 의해 생성된 풀 업 펄스(Pu1_pu)의 파형이 도시되었다. 상술한 바와 같이, 풀 업 펄스(Pu1_pu)는 제 1 및 제 2 데이터(D1, D2)가 모두 로직 '0'인 구간에서 생성된 로직 '1'의 펄스를 포함한다. 해당 펄스는 제 1 딜레이(tD1) 만큼의 구간 동안 유지된다.
- [0068] 도 8c를 참조하면, 풀 다운 펄스 생성기(1220)에 의해 생성된 풀 다운 펄스(Pu1_pd)의 파형이 도시되었다. 상술한 바와 같이, 풀 다운 펄스(Pu1_pd)는 제 3 및 제 4 데이터(D3, D4)가 모두 로직 '1'인 구간에서 생성된 로직 '0'의 펄스를 포함한다. 해당 펄스는 제 2 딜레이(tD2) 만큼의 구간 동안 유지된다.
- [0069] 도 9는 도 1에 도시된 앰퍼시스 컨트롤러를 보여주는 회로도이다. 도 9의 회로도는 도 1 및 도 2를 참조하여 설명될 것이다. 도 9를 참조하면, 풀 업 앰퍼시스 컨트롤러(1300a)는 풀 업 및 풀 다운 앰퍼시스 컨트롤 유닛(1310a, 1320a)을 포함할 수 있다.
- [0070] 풀 업 앰퍼시스 컨트롤 유닛(1310a)은 제 1 인버터(INV1)와 제 1 내지 제 6 낸드 로직(ND1~ND6)을 포함할 수 있다. 제 1 인버터(INV1)는 펄스 생성기(1200)로부터 제공된 풀 업 펄스(Pu1_pu)를 반전하여 출력한다.
- [0071] 제 1 내지 제 6 낸드 로직(ND1~ND6)은 각각 제 1 인버터(INV1)의 출력 신호와 풀 업 저항 보정 코드(ZQ_P[5:0])를 제공받는다. 제 1 인버터(INV1)의 출력 신호가 로직 '1'인 경우, 제 1 내지 제 6 낸드 로직(ND1~ND6)은 각각 풀 업 저항 보정 코드(ZQ_P[5:0])를 반전하여 풀 업 드라이빙 신호(DRV_pu[5:0])로서 출력한다. 제 1 인버터(INV1)의 출력 신호가 로직 '0'인 경우, 제 1 내지 제 6 낸드 로직(ND1~ND6)은 각각 로직 '1'을 풀 업 드라이빙 신호(DRV_pu[5:0])로서 출력한다.
- [0072] 풀 다운 앰퍼시스 컨트롤 유닛(1320a)은 제 2 인버터(INV1)와 제 1 내지 제 6 노어 로직(NR1~NR6)을 포함할 수 있다. 제 2 인버터(INV2)는 펄스 생성기(1200)로부터 제공된 풀 다운 펄스(Pu1_pd)를 반전하여 출력한다.
- [0073] 제 1 내지 제 6 노어 로직(NR1~NR6)은 각각 제 2 인버터(INV2)의 출력 신호와 풀 다운 저항 보정 코드(ZQ_N[5:0])를 제공받는다. 제 2 인버터(INV2)의 출력 신호가 로직 '0'인 경우, 제 1 내지 제 6 노어 로직(NR1~NR6)은 각각 풀 다운 저항 보정 코드(ZQ_N[5:0])를 반전하여 풀 다운 드라이빙 신호(DRV_pd[5:0])로서 출력한다. 제 2 인버터(INV2)의 출력 신호가 로직 '1'인 경우, 제 1 내지 제 6 노어 로직(NR1~NR6)은 각각 로직 '0'을 풀 다운 드라이빙 신호(DRV_pd[5:0])로서 출력한다.
- [0074] 모든 비트가 로직 '1'인 풀 업 드라이빙 신호(DRV_pu[5:0])와 모든 비트가 로직 '0'인 풀 다운 드라이빙 신호(DRV_pd[5:0])는 상술한 프리 앰퍼시스 동작을 위한 앰퍼시스 코드가 된다.
- [0075] 도 10은 도 1에 도시된 앰퍼시스 크기 컨트롤러를 보여주는 회로도이다. 도 10의 회로도는 도 1, 도 2, 도 3,

그리고 도 9를 참조하여 설명될 것이다. 도 10을 참조하면, 앰퍼시스 크기 컨트롤러(1400a)는 풀 업 및 풀 다운 크기 컨트롤러(1410a, 1420a)를 포함할 수 있다. 크기 조절 신호(EMP_st)를 더 제공받는다. 앰퍼시스 크기 컨트롤러(1400a)의 동작 및 구성은 앰퍼시스 컨트롤러(1300a)와 유사하다.

[0076] 풀 업 크기 컨트롤러(1410a)는 제 1 내지 제 7 낸드 로직(ND1~ND7)을 포함할 수 있다. 제 1 낸드 로직(ND1)은 풀 업 펄스(Pul_pu) 및 크기 조절 신호(EMP_st)를 제공받는다. 크기 조절 신호(EMP_st)가 로직 '1'인 경우, 풀 업 앰퍼시스 컨트롤러(1310a)와 동일하게, 풀 업 크기 컨트롤러(1410a)의 제 2 내지 제 7 낸드 로직(ND2~ND7)은 각각 풀 업 펄스(Pul_pu)에 따라 풀 업 저항 보정 코드(ZQ_P[5:0]) 또는 앰퍼시스 코드를 풀 업 보조 드라이빙 신호(DRVst_pu[5:0])로서 출력한다. 즉, 크기 조절 신호(EMP_st)가 로직 '1'인 경우, 풀 업 보조 드라이빙 신호(DRVst_pu[5:0])를 제공받는 제 3 풀 업 프리 드라이버 유닛(1123)은 프리 앰퍼시스 동작을 수행한다.

[0077] 크기 조절 신호(EMP_st)가 로직 '0'인 경우, 제 1 낸드 로직(ND1)은 풀 업 펄스(Pul_pu)와 관계 없이 로직 '1'을 출력한다. 따라서, 풀 업 크기 컨트롤러(1410a)의 제 2 내지 제 7 낸드 로직(ND2~ND7)은 각각 풀 업 펄스(Pul_pu)와 관계없이 풀 업 저항 보정 코드(ZQ_P[5:0])를 풀 업 보조 드라이빙 신호(DRVst_pu[5:0])로서 출력한다. 즉, 크기 조절 신호(EMP_st)가 로직 '0'인 경우, 제 3 풀 업 프리 드라이버 유닛(1123)은 프리 앰퍼시스 동작을 수행하지 않는다.

[0078] 풀 다운 크기 컨트롤러(1420a)는 제 1 내지 제 7 노어 로직(NR1~NR7)을 포함할 수 있다. 제 1 노어 로직(NR1)은 풀 다운 펄스(Pul_pd) 및 크기 조절 바 신호(EMP_st')를 제공받는다. 크기 조절 바 신호(EMP_st')가 로직 '0'인 경우, 풀 다운 앰퍼시스 컨트롤러(1320a)와 동일하게, 풀 다운 크기 컨트롤러(1420a)의 제 2 내지 제 7 노어 로직(NR2~NR7)은 각각 풀 다운 펄스(Pul_pd)에 따라 풀 다운 저항 보정 코드(ZQ_N[5:0]) 또는 앰퍼시스 코드를 풀 다운 보조 드라이빙 신호(DRVst_pd[5:0])로서 출력한다. 즉, 크기 조절 바 신호(EMP_st')가 로직 '0'인 경우, 풀 다운 보조 드라이빙 신호(DRVst_pd[5:0])를 제공받는 제 3 풀 다운 프리 드라이버 유닛(1133)은 프리 앰퍼시스 동작을 수행한다.

[0079] 크기 조절 바 신호(EMP_st')가 로직 '1'인 경우, 제 1 노어 로직(NR1)은 풀 다운 펄스(Pul_pd)와 관계 없이 로직 '0'을 출력한다. 따라서, 풀 다운 크기 컨트롤러(1420)의 제 2 내지 제 7 노어 로직(NR2~NR7)은 각각 풀 다운 펄스(Pul_pd)와 관계없이 풀 다운 저항 보정 코드(ZQ_N[5:0])를 풀 다운 보조 드라이빙 신호(DRVst_pd[5:0])로서 출력한다. 즉, 크기 조절 바 신호(EMP_st')가 로직 '1'인 경우, 제 3 풀 다운 프리 드라이버 유닛(1133)은 프리 앰퍼시스 동작을 수행하지 않는다.

[0080] 도 11 및 도 12는 도 1의 출력 버퍼 회로의 프리 앰퍼시스 동작을 설명하기 위한 블록도와 타이밍도이다. 도 11 및 도 12는 도 1, 도 2, 그리고 도 3을 참조하여 설명될 것이다.

[0081] 도 11을 참조하면, 출력 버퍼 회로(1000)는 출력 패드(2000), 채널(channel), 그리고 입력 패드(3000)를 통해 외부 장치(4000)의 입력 버퍼(4100)에 연결된다. 입력 버퍼(4100)는 노드(n1)를 통해 풀 업 저항(Ru) 및 풀 다운 저항(Rd)과 연결된다. 풀 업 저항(Ru)은 구동 전압(VDDQ)과 노드(n1) 사이에 연결된다. 풀 다운 저항(Rd)은 노드(n1)와 접지 전압(GND) 사이에 연결된다. 풀 업 및 풀 다운 저항(Ru, Rd)은 외부 장치(4000)의 온 다이 터미네이션 회로로서 기능한다. 온 다이 터미네이션 회로는 데이터 전송 품질을 향상시키기 위해 외부 장치(4000)가 채널(channel)과 임피던스 매칭을 하기 위한 회로이다. 도 11에 도시된 풀 업 및 풀 다운 저항(Ru, Rd)으로 구성된 외부 장치(4000)의 온 다이 터미네이션 회로는 CTT(Center Tap Termination)의 형태로 구성된다. 다만, 이는 예시적인 것으로, 외부 장치(4000)의 온 다이 터미네이션 회로는 어떠한 형태의 온 다이 터미네이션 형태를 포함할 수 있다.

[0082] 외부 장치(4000)의 온 다이 터미네이션 회로가 CTT(Center Tap Termination) 형태의 회로로 구성되는 경우, 일반적으로, 풀 업 및 풀 다운 저항(Ru, Rd)의 저항 값은 각각 동일하게 구성된다. 따라서, 구동 전압(VDDQ)의 중간 레벨을 기준으로 데이터 신호의 레벨이 천이한다. 즉, 출력 버퍼 회로(1000)에서 외부 장치(4000)에 전송되는 데이터 신호의 전압 레벨은 출력 버퍼 회로(1000)의 출력 저항 값과 풀 업 및 풀 다운 저항(Ru, Rd)의 저항 분배에 의해 결정된다. 따라서, 프리 앰퍼시스 동작에 따라 출력 버퍼 회로(1000)의 출력 저항 값이 작아지는 경우, 출력 버퍼 회로(1000)에서 외부 장치(4000)에 전송되는 데이터 신호의 전압 레벨이 정상적인 전압 레벨보다 높아진다.

[0083] 도 12를 참조하면, 출력 버퍼 회로(1000)의 프리 앰퍼시스 동작에 따른 내부 신호들 및 출력된 데이터 신호(DATA)가 도시되었다. 상술한 바와 같이, 풀 업 및 풀 다운 데이터(Dout_pu, Dout_pd)는 각각 동일한 데이터를 포함한다. 여기서 풀 업 저항 보정 코드(ZQ_P)는 '001100' 이고, 풀 다운 저항 보정 코드(ZQ_N)는 '001100' 이

라 가정한다. 출력 버퍼 회로(1000)가 프리 앰퍼시스 동작을 수행하지 않는 경우, 데이터 신호(DATA)는 'Vs'의 진폭으로 t1, t2, 그리고 t3 시점에서 각각 천이한다.

- [0084] 출력 버퍼 회로(1000)가 프리 앰퍼시스 동작을 수행하는 경우, 출력 버퍼 회로(1000)는 데이터 신호(DATA)가 천이하는 t1 시점, t2 시점, 그리고 t3 시점에서 프리 앰퍼시스 동작에 따라 출력 저항 값을 가변한다. 즉, 데이터 신호(DATA)가 로직 '0'에서 로직 '1'로 가변되는 t1 시점 및 t3 시점에서, 풀 업 펄스(Pul_pu)가 로직 '1'의 펄스를 출력한다. 풀 업 펄스(Pul_pu)의 펄스 구간 동안, 출력 버퍼 회로(1000)는 메인 드라이버(1110)의 제 1 내지 제 3 풀 업 드라이버 유닛(1111~1113)에 '11111'의 앰퍼시스 코드를 제공한다.
- [0085] 상술한 바와 같이, '11111'의 앰퍼시스 코드는 제 1 내지 제 3 풀 업 드라이버 유닛(1111~1113)의 출력 저항 값이 최소가 되게 하는 저항 보정 코드이다. 앰퍼시스 코드가 제공됨에 따라, 제 1 내지 제 3 풀 업 드라이버 유닛(1111~1113)의 출력 저항 값이 최소가 된다. 따라서, 출력 버퍼 회로(1000)의 풀 업 출력 저항 값이 최소가 됨에 따라, 도 11에 도시된 외부 장치(4000)의 풀 업 및 풀 다운 저항(Ru, Rd)과의 전압 분배에 의해 출력되는 데이터 신호(DATA)의 전압 레벨이 증가한다.
- [0086] 또한, 데이터 신호(DATA)가 로직 '1'에서 로직 '0'로 가변되는 t0 시점 및 t2 시점에서, 풀 다운 펄스(Pul_pd)가 로직 '0'의 펄스를 출력한다. 풀 다운 펄스(Pul_pd)의 펄스 구간 동안, 출력 버퍼 회로(1000)는 메인 드라이버(1110)의 제 1 내지 제 3 풀 다운 드라이버 유닛(1114~1116)에 '00000'의 앰퍼시스 코드를 제공한다. 상술한 바와 같이, '00000'의 앰퍼시스 코드는 제 1 내지 제 3 풀 다운 드라이버 유닛(1114~1116)의 출력 저항 값이 최소가 되게 하는 저항 보정 코드이다. 앰퍼시스 코드가 제공됨에 따라, 제 1 내지 제 3 풀 다운 드라이버 유닛(1114~1116)의 출력 저항 값이 최소가 된다. 따라서, 출력 버퍼 회로(1000)의 풀 다운 출력 저항 값이 최소가 됨에 따라, 도 11에 도시된 외부 장치(4000)의 풀 업 및 풀 다운 저항(Ru, Rd)과의 전압 분배에 의해 출력되는 데이터 신호(DATA)의 전압 레벨이 감소한다.
- [0087] 결과적으로, 출력 버퍼 회로(1000)는 프리 앰퍼시스 구간에서 'Vs' 보다 큰 진폭을 갖는 데이터 신호(DATA)를 출력한다. 즉, 출력 버퍼 회로(1000)는 도 1에서 상술한 프리 앰퍼시스에 따른 앰퍼시스 파형을 제공한다.
- [0088] 이상에서는 프리 앰퍼시스를 수행하는 도 1의 출력 버퍼 회로(1000)의 구성 및 동작이 설명되었다. 이하에서, 디 앰퍼시스를 수행하는 도 1의 출력 버퍼 회로(1000)의 구성이 설명될 것이다.
- [0089] 도 13 및 도 14는 본 발명의 다른 실시 예에 따른 디 앰퍼시스 동작을 수행하는 도 4에 도시된 제 1 풀 업 프리 드라이버 유닛 및 도 6에 도시된 제 1 풀 다운 프리 드라이버 유닛을 보여주는 회로도이다. 도 13 및 도 14는 도 3 내지 도 7을 참조하여 설명될 것이다.
- [0090] 도 13을 참조하면, 제 1 풀 업 프리 드라이버 유닛(1121b)은 인버터(INV) 및 제 1 내지 제 6 낸드 로직(ND1~ND6)을 포함할 수 있다. 인버터(INV)는 풀 업 데이터(Dout_pu)를 반전하여 제 1 풀 업 구동 신호(PU_out1[6])로 출력한다. 제 1 풀 업 구동 신호(PU_out1[6])는 메인 드라이버(1110)의 제 1 내지 제 3 풀 업 드라이버 유닛(1111~1113)의 메인 트랜지스터(MP2)에 제공된다.
- [0091] 제 1 내지 제 6 낸드 로직(ND1~ND6)은 각각 제 1 풀 업 구동 신호(PU_out1[5:0])를 반전하여 제 1 풀 업 구동 신호(PU_out1[5:0])로서 출력한다. 제 1 풀 업 구동 신호(PU_out1[5:0])는 각각 메인 드라이버(1110)의 제 1 내지 제 3 풀 업 드라이버 유닛(1111~1113)의 복수의 트랜지스터(MP1)에 제공된다.
- [0092] 예를 들어, 풀 업 프리 드라이버(1120)가 풀 업 드라이빙 신호(DRV_pu[5:0])를 통해 풀 업 저항 보정 코드(ZQ_P)를 제공받는 경우, 제 1 풀 업 구동 신호(PU_out1[5:0]) 각각은 풀 업 저항 보정 코드(ZQ_P)에 따른 출력 저항 값을 제공하기 위한 로직 레벨을 출력한다. 반면에, 풀 업 프리 드라이버(1120)가 풀 업 드라이빙 신호(DRV_pu[5:0])를 통해 비트의 로직 레벨이 모두 로직 '0'인 디 앰퍼시스 수행을 위한 앰퍼시스 코드를 제공받는 경우, 제 1 풀 업 구동 신호(PU_out1[5:0]) 각각은 로직 '1'을 출력한다. 비트의 로직 레벨이 모두 로직 '1'인 제 1 풀 업 구동 신호(PU_out1[5:0])를 제공 받은 제 1 내지 제 3 풀 업 드라이버 유닛(1111~1113)에 포함된 복수의 트랜지스터(MP1)는 모두 턴 오프되고, 제 1 내지 제 3 풀 업 드라이버 유닛(1111~1113)은 최대의 출력 저항 값을 제공한다.
- [0093] 도 14를 참조하면, 제 1 풀 다운 프리 드라이버 유닛(1131b)은 인버터(INV) 및 제 1 내지 제 6 노어 로직(NR1~NR6)을 포함할 수 있다. 인버터(INV)는 풀 다운 데이터(Dout_pd)를 반전하여 제 1 풀 다운 구동 신호(PD_out1[6])로 출력한다. 제 1 풀 다운 구동 신호(PD_out1[6])는 메인 드라이버(1110)의 제 1 내지 제 3 풀 다운 드라이버 유닛(1114~1116)의 메인 트랜지스터(MN2)에 제공된다.

- [0094] 제 1 내지 제 6 노어 로직(NR1~NR6)은 각각 제 1 풀 다운 구동 신호(PD_out1[5:0])를 반전하여 제 1 풀 다운 구동 신호(PD_out1[5:0])로서 출력한다. 제 1 풀 다운 구동 신호(PD_out1[5:0])는 각각 메인 드라이버(1110)의 제 1 내지 제 3 풀 다운 드라이버 유닛(1114~1116)의 복수의 트랜지스터(MN1)에 제공된다.
- [0095] 예를 들어, 풀 다운 프리 드라이버(1130)가 풀 다운 드라이빙 신호(DRV_pd[5:0])를 통해 풀 다운 저항 보정 코드(ZQ_N)를 제공받는 경우, 제 1 풀 다운 구동 신호(PD_out1[5:0]) 각각은 풀 다운 저항 보정 코드(ZQ_N)에 따른 출력 저항 값을 제공하기 위한 로직 레벨을 출력한다. 반면에, 풀 다운 프리 드라이버(1130)가 풀 다운 드라이빙 신호(DRV_pd[5:0])를 통해 비트의 로직 레벨이 모두 로직 '1'인 디엠퍼시스 수행을 위한 엠퍼시스 코드를 제공받는 경우, 제 1 풀 다운 구동 신호(PD_out1[5:0]) 각각은 로직 '0'을 출력한다. 비트의 로직 레벨이 모두 로직 '0'인 제 1 풀 다운 구동 신호(PD_out1[5:0])를 제공받은 제 1 내지 제 3 풀 다운 드라이버 유닛(1114~1116)에 포함된 복수의 트랜지스터(MN1)는 모두 턴 온되고, 제 1 내지 제 3 풀 다운 드라이버 유닛(1114~1116)은 최소의 출력 저항 값을 제공한다.
- [0096] 도 15 및 도 16은 본 발명의 다른 실시 예에 따른 디엠퍼시스 동작을 수행하는 도 1에 도시된 엠퍼시스 컨트롤러 및 엠퍼시스 크기 컨트롤러를 보여주는 회로도이다. 도 15 및 도 16은 도 1, 도 2, 도 9, 그리고 도 10을 참조하여 설명될 것이다.
- [0097] 도 15를 참조하면, 풀 업 엠퍼시스 컨트롤러(1300b)는 풀 업 및 풀 다운 엠퍼시스 컨트롤 유닛(1310b, 1320b)을 포함할 수 있다.
- [0098] 풀 업 엠퍼시스 컨트롤 유닛(1310b)은 제 1 인버터(INV1)와 제 1 내지 제 6 노어 로직(NR1~NR6)을 포함할 수 있다. 제 1 인버터(INV1)는 펄스 생성기(1200)로부터 제공된 풀 다운 펄스(Pul_pd)를 반전하여 출력한다.
- [0099] 제 1 내지 제 6 노어 로직(NR1~NR6)은 각각 제 1 인버터(INV1)의 출력 신호와 풀 업 저항 보정 코드(ZQ_P[5:0])를 제공받는다. 제 1 인버터(INV1)의 출력 신호가 로직 '0'인 경우, 제 1 내지 제 6 노어 로직(NR1~NR6)은 각각 풀 업 저항 보정 코드(ZQ_P[5:0])를 반전하여 풀 업 드라이빙 신호(DRV_pu[5:0])로서 출력한다. 제 1 인버터(INV1)의 출력 신호가 로직 '1'인 경우, 제 1 내지 제 6 노어 로직(NR1~NR6)은 각각 로직 '0'을 풀 업 드라이빙 신호(DRV_pu[5:0])로서 출력한다.
- [0100] 풀 다운 엠퍼시스 컨트롤 유닛(1320b)은 제 2 인버터(INV2)와 제 1 내지 제 6 낸드 로직(ND1~ND6)을 포함할 수 있다. 제 2 인버터(INV2)는 펄스 생성기(1200)로부터 제공된 풀 다운 펄스(Pul_pd)를 반전하여 출력한다.
- [0101] 제 1 내지 제 6 낸드 로직(ND1~ND6)은 각각 제 2 인버터(INV2)의 출력 신호와 풀 다운 저항 보정 코드(ZQ_N[5:0])를 제공받는다. 제 2 인버터(INV2)의 출력 신호가 로직 '1'인 경우, 제 1 내지 제 6 낸드 로직(ND1~ND6)은 각각 풀 다운 저항 보정 코드(ZQ_N[5:0])를 반전하여 풀 다운 드라이빙 신호(DRV_pd[5:0])로서 출력한다. 제 2 인버터(INV2)의 출력 신호가 로직 '0'인 경우, 제 1 내지 제 6 낸드 로직(ND1~ND6)은 각각 로직 '1'을 풀 다운 드라이빙 신호(DRV_pd[5:0])로서 출력한다.
- [0102] 모든 비트가 로직 '0'인 풀 업 드라이빙 신호(DRV_pu[5:0])와 모든 비트가 로직 '1'인 풀 다운 드라이빙 신호(DRV_pd[5:0])은 상술한 디엠퍼시스 동작을 위한 엠퍼시스 코드가 된다.
- [0103] 도 16을 참조하면, 엠퍼시스 크기 컨트롤러(1400b)는 풀 업 크기 컨트롤러(1410b) 및 풀 다운 크기 컨트롤러(1420b)를 포함할 수 있다. 크기 조절 신호(EMP_st)를 더 제공받는다라는 것을 제외하고, 엠퍼시스 크기 컨트롤러(1400b)의 동작 및 구성은 도 15의 엠퍼시스 컨트롤러(1300b)와 유사하다. 또한, 엠퍼시스 크기 컨트롤러(1400b)는 도 10의 엠퍼시스 크기 컨트롤러(1400a)의 동작 및 구성과 유사하다.
- [0104] 풀 업 크기 컨트롤러(1410b)는 제 1 내지 제 7 노어 로직(NR1~NR7)을 포함할 수 있다. 제 1 노어 로직(NR1)은 풀 업 펄스(Pul_pu) 및 크기 조절 바 신호(EMP_st')를 제공받는다. 크기 조절 바 신호(EMP_st')가 로직 '0'인 경우, 풀 업 크기 컨트롤러(1410b)의 제 2 내지 제 7 노어 로직(NR2~NR7)은 각각 풀 업 펄스(Pul_pu)에 따라 풀 업 저항 보정 코드(ZQ_P[5:0]) 또는 디엠퍼시스 동작을 위한 엠퍼시스 코드를 풀 업 보조 드라이빙 신호(DRVst_pu[5:0])로서 출력하여 디엠퍼시스 동작을 수행한다.
- [0105] 크기 조절 바 신호(EMP_st')가 로직 '1'인 경우, 제 1 노어 로직(NR1)은 풀 업 펄스(Pul_pu)와 관계 없이 로직 '0'을 출력한다. 따라서, 풀 업 크기 컨트롤러(1410b)의 제 2 내지 제 7 노어 로직(NR2~NR7)은 각각 풀 업 펄스(Pul_pu)와 관계없이 풀 업 저항 보정 코드(ZQ_P[5:0])를 풀 업 보조 드라이빙 신호(DRVst_pu[5:0])로서 출력하고, 따라서 풀 업 크기 컨트롤러(1410b)는 디엠퍼시스 동작을 수행하지 않는다.
- [0106] 풀 다운 크기 컨트롤러(1420b)는 제 1 내지 제 7 낸드 로직(ND1~ND7)을 포함할 수 있다. 제 1 낸드 로직(ND1)은

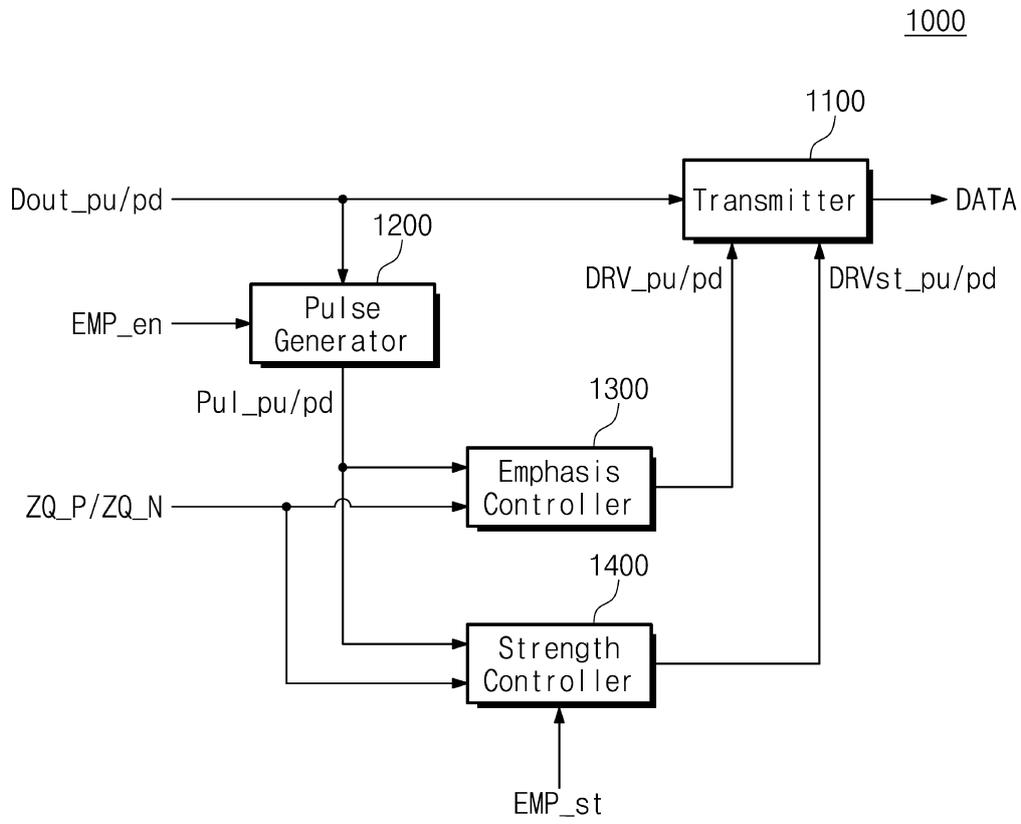
풀 다운 펄스(Pul_pd) 및 크기 조절 신호(EMP_st)를 제공받는다. 크기 조절 신호(EMP_st)가 로직 '1'인 경우, 풀 다운 크기 컨트롤러(1420b)의 제 2 내지 제 7 낸드 로직(ND2~ND7)은 각각 풀 다운 펄스(Pul_pd)에 따라 풀 다운 저항 보정 코드(ZQ_N[5:0]) 또는 디엠퍼시스를 수행하기 위한 엠퍼시스 코드를 풀 다운 보조 드라이빙 신호(DRVst_pd[5:0])로서 출력하여 디엠퍼시스 동작을 수행한다.

- [0107] 크기 조절 신호(EMP_st)가 로직 '0'인 경우, 제 1 낸드 로직(ND1)은 풀 다운 펄스(Pul_pd)와 관계 없이 로직 '1'을 출력한다. 따라서, 풀 다운 크기 컨트롤러(1420b)의 제 2 내지 제 7 낸드 로직(ND2~ND7)은 각각 풀 다운 펄스(Pul_pd)와 관계없이 풀 다운 저항 보정 코드(ZQ_N[5:0])를 풀 다운 보조 드라이빙 신호(DRVst_pd[5:0])로서 출력하고, 따라서 풀 다운 크기 컨트롤러(1420b)는 디엠퍼시스 동작을 수행하지 않는다.
- [0108] 도 17은 본 발명의 다른 실시 예에 따른 디엠퍼시스 동작을 수행하는 도 1의 출력 버퍼 회로의 디엠퍼시스 동작을 설명하기 위한 타이밍도이다. 여기서, 풀 업 저항 보정 코드(ZQ_P)는 '001100' 이고, 풀 다운 저항 보정 코드(ZQ_N)는 '001100' 이라 가정한다.
- [0109] 출력 버퍼 회로(1000)가 디엠퍼시스 동작을 수행하지 않는 경우, 데이터 신호(DATA)는 'Vs'의 진폭으로 천이한다. t1 시점, t2 시점, 그리고 t3 시점은 디엠퍼시스 동작을 수행하지 않는 출력 버퍼 회로(1000)로부터 출력된 데이터 신호(DATA)가 전압 레벨을 유지하는 구간의 시작 시점에 해당된다.
- [0110] 출력 버퍼 회로(1000)가 디엠퍼시스 동작을 수행하는 경우, 출력 버퍼 회로(1000)는 데이터 신호(DATA)의 전압 레벨이 유지되는 t1 시점, t2 시점, 그리고 t3 시점에서 디엠퍼시스 동작에 따라 출력 저항 값을 가변한다. t0 시점 및 t2 시점에서, 풀 다운 펄스(Pul_pd)가 로직 '1'의 펄스를 출력한다. 풀 다운 펄스(Pul_pd)의 펄스 구간 동안, 출력 버퍼 회로(1000)는 메인 드라이버(1110)의 제 1 내지 제 3 풀 다운 드라이버 유닛(1114~1116)에 '000000'의 엠퍼시스 코드를 제공한다.
- [0111] 상술한 바와 같이, '000000'의 엠퍼시스 코드는 제 1 내지 제 3 풀 다운 드라이버 유닛(1114~1116)의 출력 저항 값이 최대가 되게 하는 저항 보정 코드이다. 엠퍼시스 코드가 제공됨에 따라, 제 1 내지 제 3 풀 다운 드라이버 유닛(1114~1116)의 출력 저항 값이 최대가 된다. 따라서, 출력 버퍼 회로(1000)의 풀 다운 출력 저항 값이 최대가 됨에 따라, 도 11에 도시된 외부 장치(4000)의 풀 업 및 풀 다운 저항(Ru, Rd)과의 전압 분배에 의해 출력되는 데이터 신호(DATA)의 전압 레벨이 증가한다.
- [0112] 또한, 데이터 신호(DATA)가 t1 시점 및 t3 시점에서, 풀 업 펄스(Pul_pu)가 로직 '0'의 펄스를 출력한다. 풀 업 펄스(Pul_pu)의 펄스 구간 동안, 출력 버퍼 회로(1000)는 메인 드라이버(1110)의 제 1 내지 제 3 풀 업 드라이버 유닛(1111~1113)에 '111111'의 엠퍼시스 코드를 제공한다. 상술한 바와 같이, '111111'의 엠퍼시스 코드는 제 1 내지 제 3 풀 업 드라이버 유닛(1111~1113)의 출력 저항 값이 최대가 되게 하는 저항 보정 코드이다. 엠퍼시스 코드가 제공됨에 따라, 제 1 내지 제 3 풀 업 드라이버 유닛(1111~1113)의 출력 저항 값이 최대가 된다. 따라서, 출력 버퍼 회로(1000)의 풀 업 출력 저항 값이 최대가 됨에 따라, 도 11에 도시된 외부 장치(4000)의 풀 업 및 풀 다운 저항(Ru, Rd)과의 전압 분배에 의해 출력되는 데이터 신호(DATA)의 전압 레벨이 감소한다.
- [0113] 결과적으로, 출력 버퍼 회로(1000)는 디엠퍼시스 수행 구간에서 'Vs' 보다 작은 진폭을 갖는 데이터 신호(DATA)를 출력한다. 즉, 출력 버퍼 회로(1000)는 도 1에서 상술한 디엠퍼시스 수행에 의한 엠퍼시스 파형을 제공한다.
- [0114] 도 18은 도 1의 출력 버퍼 회로가 적용된 메모리 장치를 보여주는 블록도이다. 메모리 장치(10000)는 휘발성 메모리나, 비휘발성 메모리를 포함하는 메모리 장치일 수 있다.
- [0115] 예를 들어, 메모리 장치(10000)가 휘발성 메모리인 경우, 메모리 장치(10000)는 DRAM(Dynamic random access memory), SRAM(Static random access memory), TRAM(Thyristor RAM), Z-RAM(Zero capacitor RAM), 또는 TTRAM(Twin transistor RAM), MRAM을 포함할 수 있다.
- [0116] 예를 들어, 메모리 장치(10000)가 비휘발성 메모리인 경우, 메모리 장치(10000)는 EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시(Flash) 메모리, MRAM(Magnetic RAM), 스핀전달토크 MRAM(Spin-Transfer Torque MRAM), Conductive bridging RAM(CBRAM), FeRAM (Ferroelectric RAM), PRAM(Phase change RAM), 저항 메모리(Resistive RAM: RRAM), 나노튜브 RRAM(Nanotube RRAM), 폴리머 RAM(Polymer RAM: PoRAM), 나노 부유 게이트 메모리(Nano Floating Gate Memory:NFGM), 홀로그래픽 메모리 (holographic memory), 분자 전자 메모리 소자(Molecular Electronics Memory Device), 또는 절연 저항 변화 메모리 (Insulator Resistance Change Memory)일 수 있다.

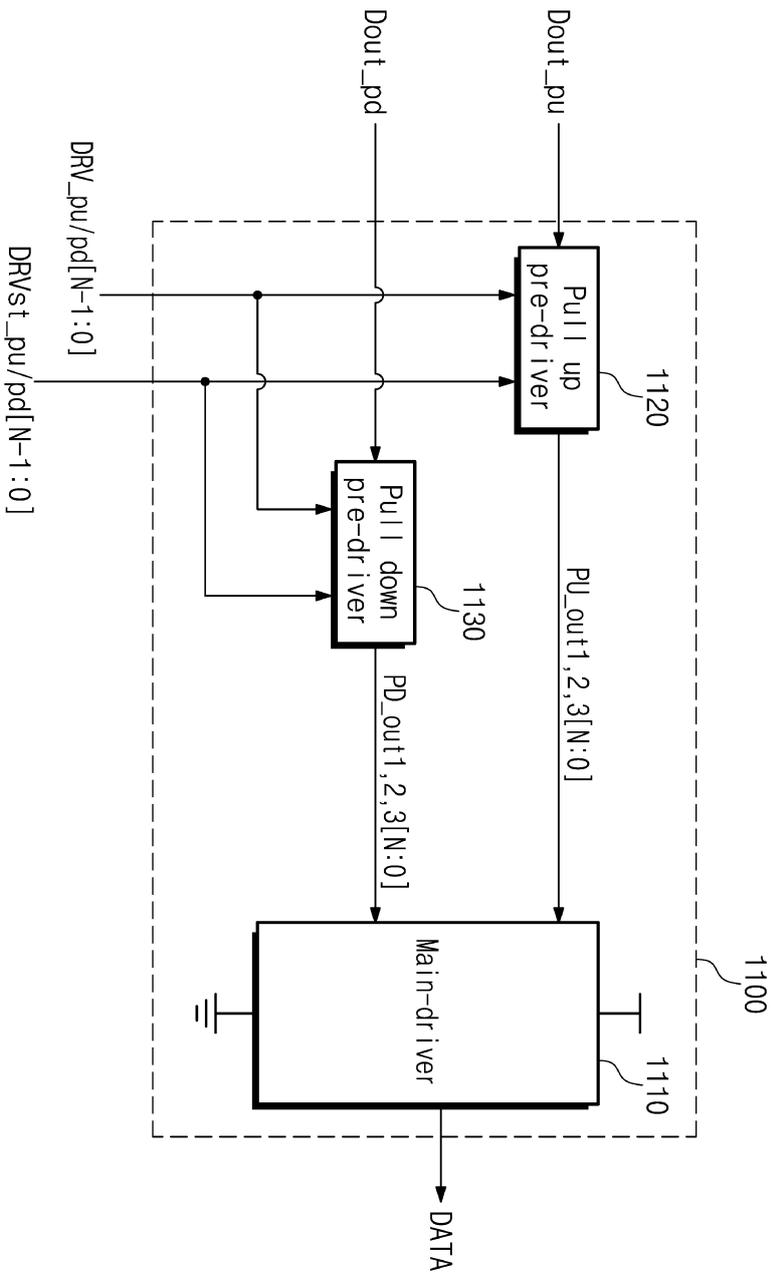
- [0117] 메모리 장치(10000)는 중단 저항 보정 회로(11000), 모드 레지스터(12000), 출력 버퍼 회로(13000), 메모리 셀 어레이(14000), 센스 앰프(14100), 로우 디코더(14200), 칼럼 디코더(14300), 커맨드/어드레스 래치(15000), 입력 버퍼 회로(16000), 그리고 커맨드 디코더(17000)를 포함할 수 있다.
- [0118] 중단 저항 보정 회로(11000)는 중단 저항을 목표 저항 값과 매칭을 위한 보정 연산을 수행할 수 있다. 보정 연산을 통해, 중단 저항 보정 회로(11000)는 풀 업 및 풀 다운 저항 보정 코드(ZQ_P, ZQ_N)를 생성할 수 있다. 풀 업 및 풀 다운 저항 보정 코드(ZQ_P, ZQ_N)는 출력 버퍼 회로(13000)에 제공된다. 제공된 풀 업 및 풀 다운 저항 보정 코드(ZQ_P, ZQ_N)에 의해, 출력 버퍼 회로(13000)의 출력 저항 값이 목표 저항 값과 매칭될 수 있다.
- [0119] 모드 레지스터(12000)는 커맨드 디코더(17000)로부터 출력 버퍼 회로(13000)의 앰퍼시스 동작을 제어하기 위한 명령을 제공받아 저장할 수 있다. 모드 레지스터(12000)는 상술한 명령을 통해 저장된 앰퍼시스 제어 신호(EMP_en) 및 크기 조절 신호(EMP_st)를 출력 버퍼 회로(13000)에 제공할 수 있다.
- [0120] 출력 버퍼 회로(13000)는 DQ 패드(DQ)를 통해 메모리 셀 어레이(14000)에 저장된 데이터를 메모리 장치(10000)의 외부로 출력할 수 있다. 메모리 셀 어레이(14000)에 저장된 데이터는 센스 앰프(14100)를 통해 출력 버퍼 회로(13000)로 제공될 수 있다. 이때, 로우 디코더(14200)와 칼럼 디코더(14300)는 출력될 데이터가 저장된 메모리 셀의 어드레스(ADDR)를 메모리 셀 어레이(14000)로 제공할 수 있다.
- [0121] 출력 버퍼 회로(13000)는 제공된 풀 업 및 풀 다운 저항 보정 코드(ZQ_P, ZQ_N), 앰퍼시스 제어 신호(EMP_en), 그리고 크기 조절 신호(EMP_st)를 기초로 도 1 내지 도 12를 참조하여 설명된 프리 앰퍼시스 동작을 수행할 수 있다. 또는, 제공된 코드들 및 신호들을 기초로, 출력 버퍼 회로(13000)는 도 1, 도 13 내지 도 17을 참조하여 설명된 디 앰퍼시스 동작을 수행할 수 있다.
- [0122] 커맨드/어드레스 래치(15000)는 호스트(미도시)로부터 커맨드(CMD) 및 어드레스(ADDR)를 수신한다. 커맨드 어드레스 래치(15000)는 수신된 커맨드(CMD)를 커맨드 디코더(17000)에 제공한다. 또한, 커맨드/어드레스 래치(15000)는 수신된 메모리 셀의 어드레스(ADDR)를 로우 디코더(14200)와 칼럼 디코더(14300)로 제공한다.
- [0123] 메모리 장치(10000) 외부의 데이터는 DQ 패드(DQ)를 통해 입력 버퍼 회로(16000)로 제공될 수 있다. 이 경우, 출력 버퍼 회로(13000)는 온-다이 터미네이션 회로로서 동작할 수 있다. 입력 버퍼 회로(16000)로 제공된 데이터는 센스 앰프(14100)를 통해 메모리 셀 어레이(14000)에 저장될 수 있다. 메모리 장치(10000) 외부로부터 제공된 데이터가 저장될 메모리 셀의 어드레스(ADDR)는 커맨드/어드레스 래치(15000), 로우 디코더(14200), 및 칼럼 디코더(14300)를 통해 메모리 셀 어레이(14000)로 제공될 수 있다.
- [0124] 커맨드 디코더(17000)는 커맨드/어드레스 래치(15000)를 통해 다양한 명령층(D)을 제공받는다. 커맨드 디코더(17000)는 로우 디코더(14200), 칼럼 디코더(14300), 그리고 저항 보정 회로(11000) 등의 구성 요소로 명령(CMD)을 제공한다.
- [0125] 위에서 설명한 내용은 본 발명을 실시하기 위한 구체적인 예들이다. 본 발명에는 위에서 설명한 실시 예들뿐만 아니라, 단순하게 설계 변경하거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명에는 위에서 설명한 실시 예들을 이용하여 앞으로 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다.

도면

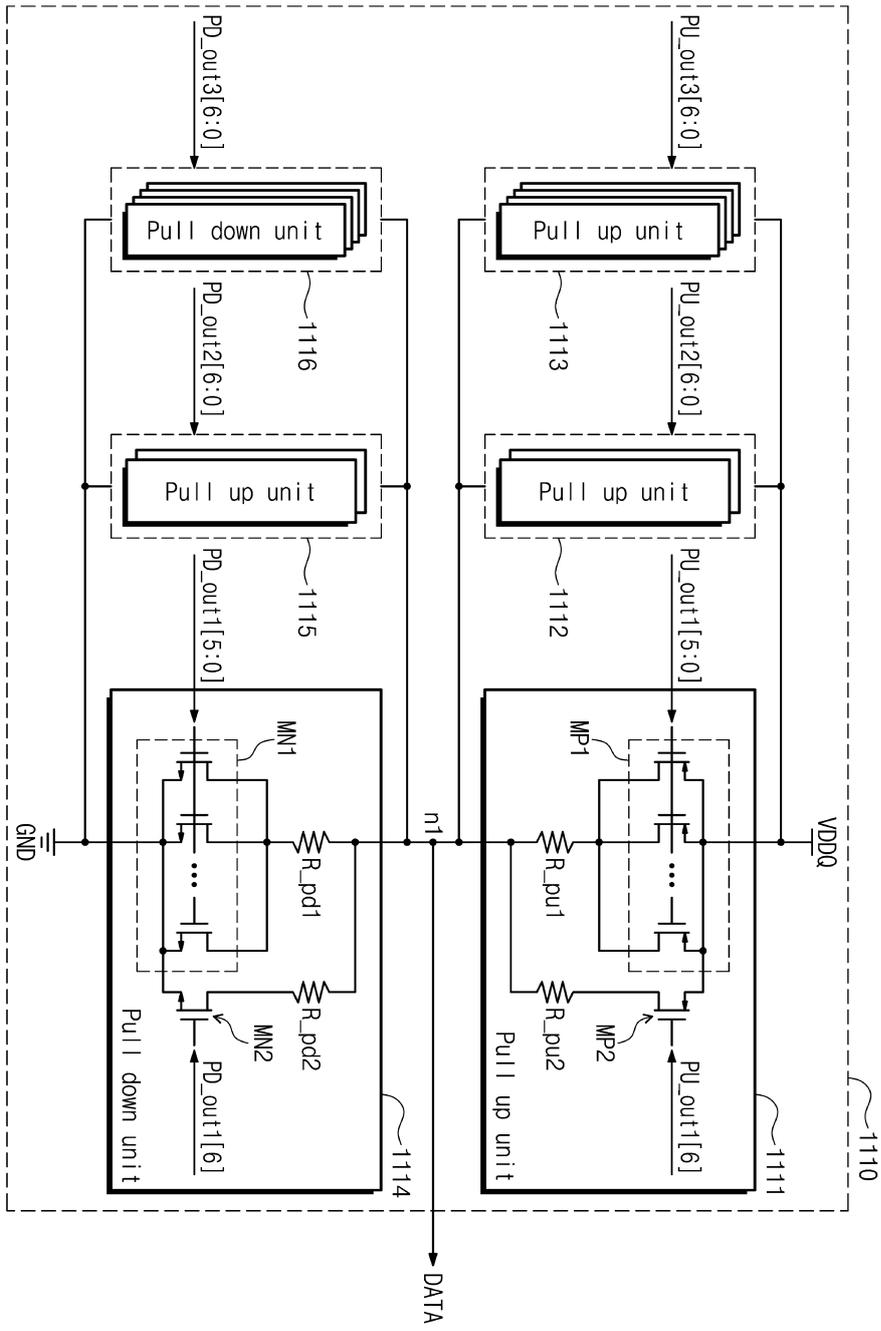
도면1



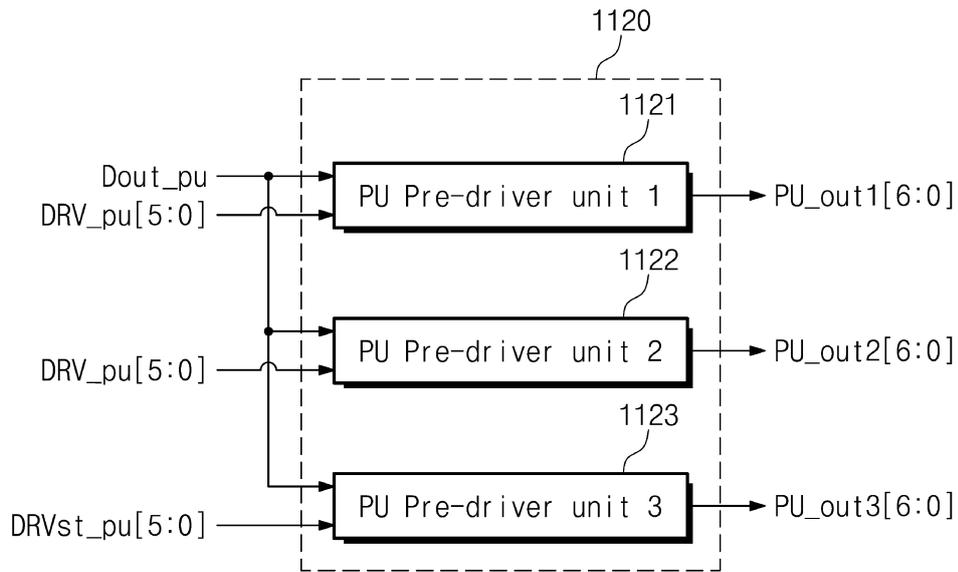
도면2



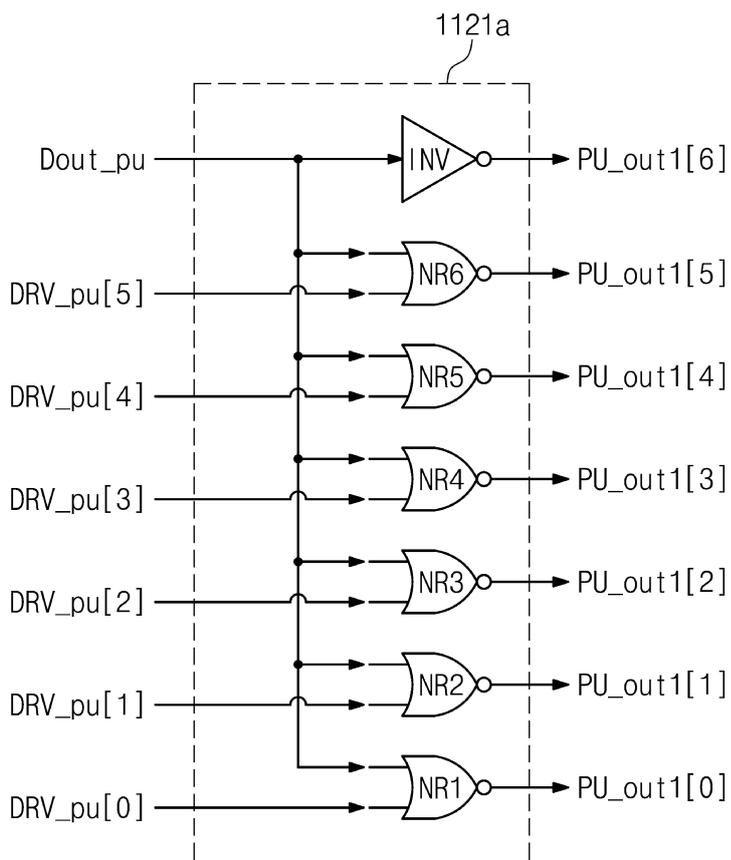
도면3



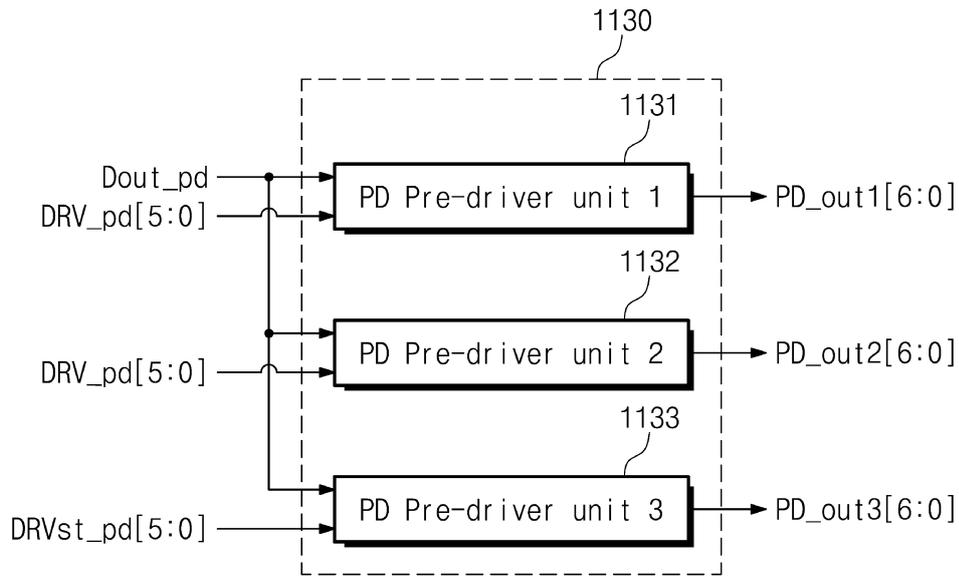
도면4



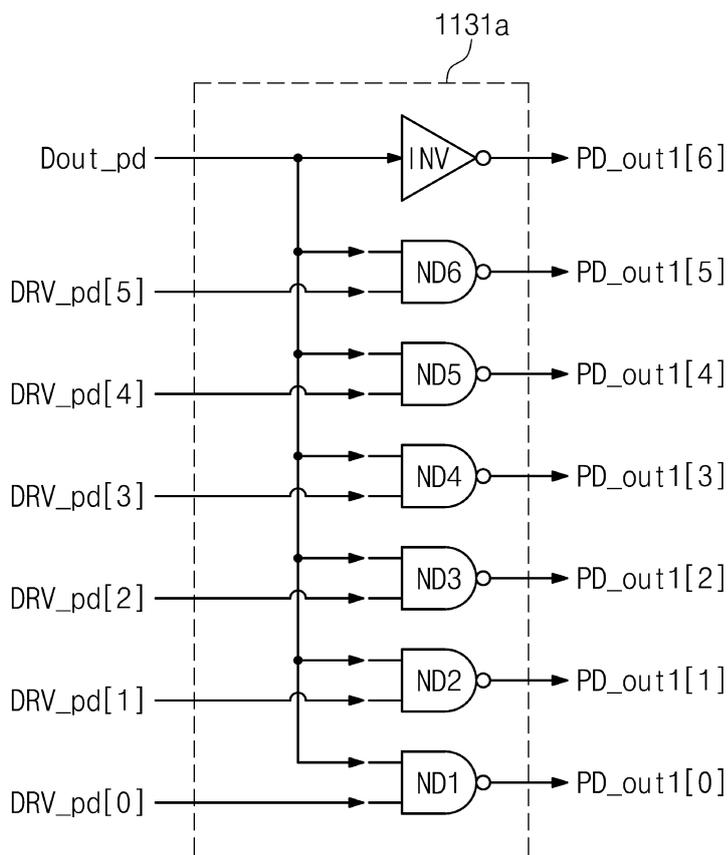
도면5



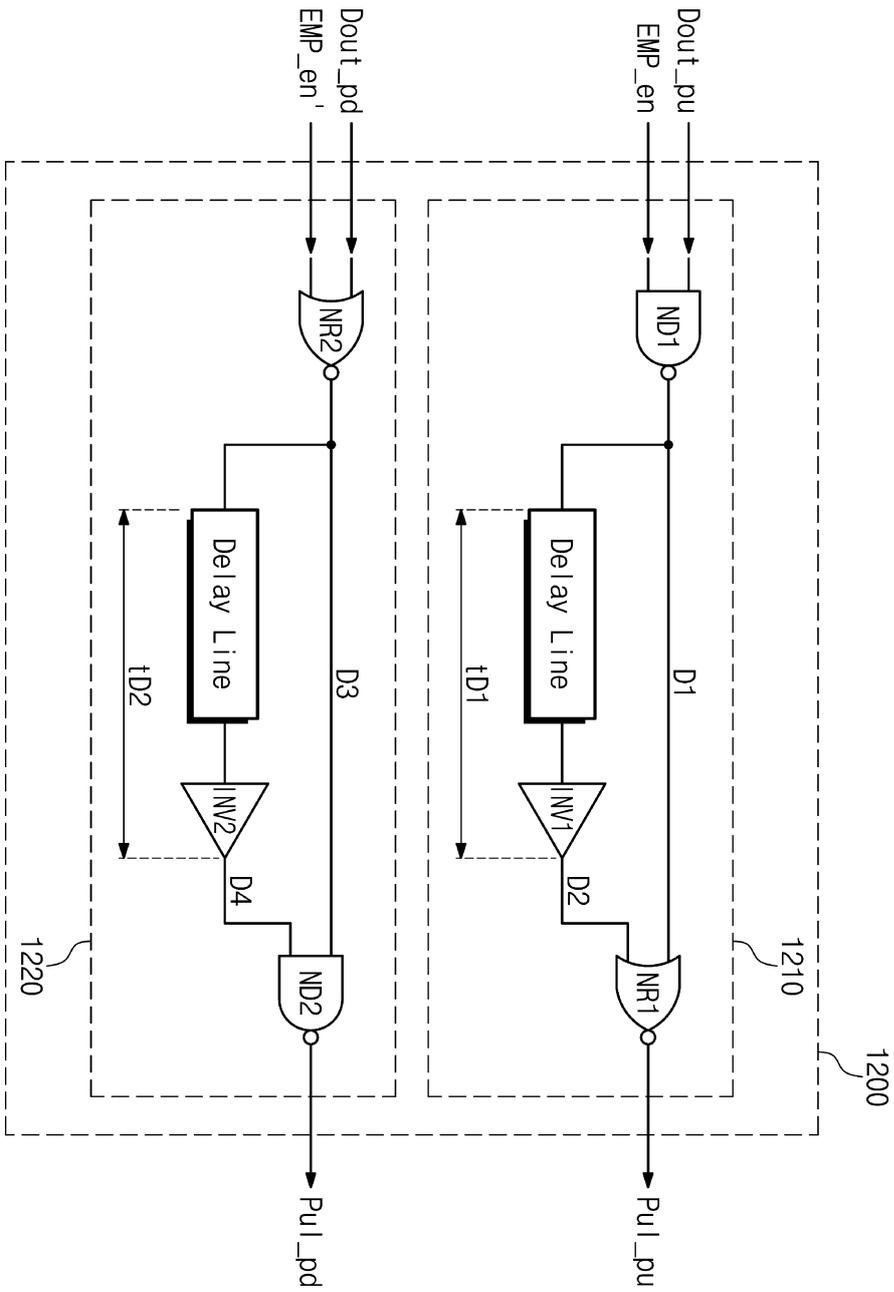
도면6



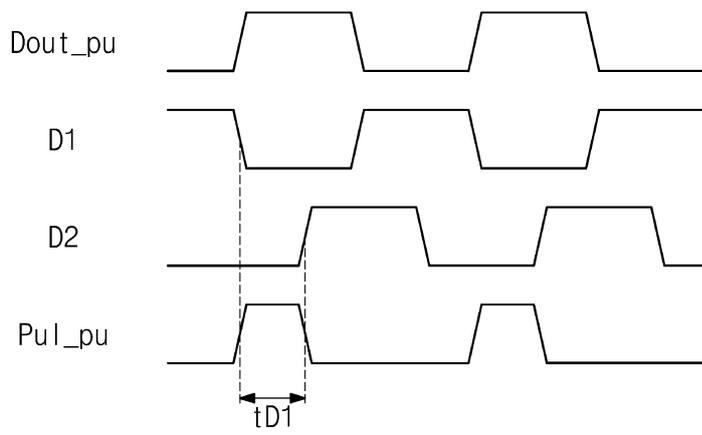
도면7



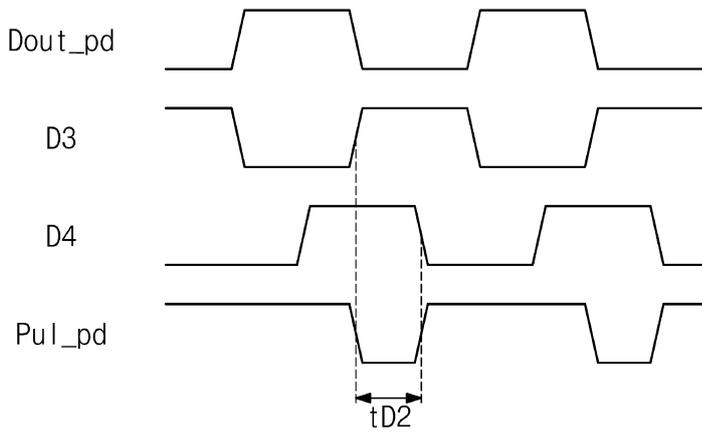
도면8a



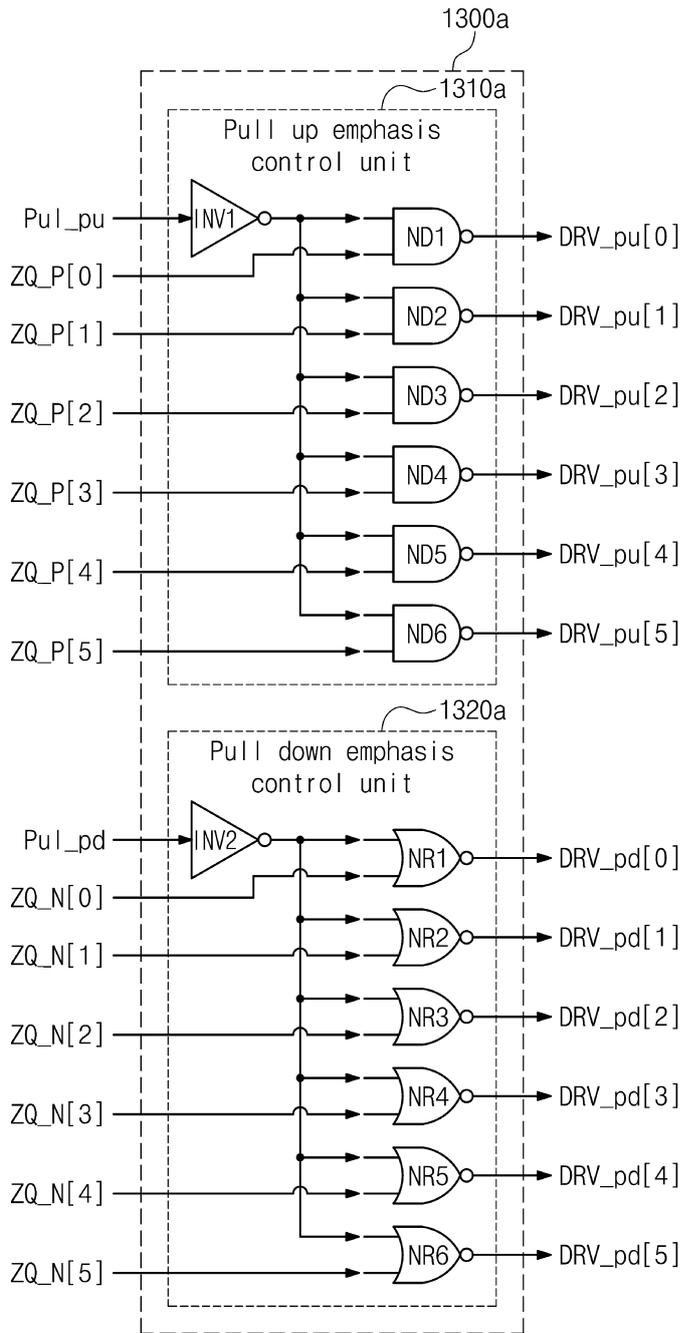
도면8b



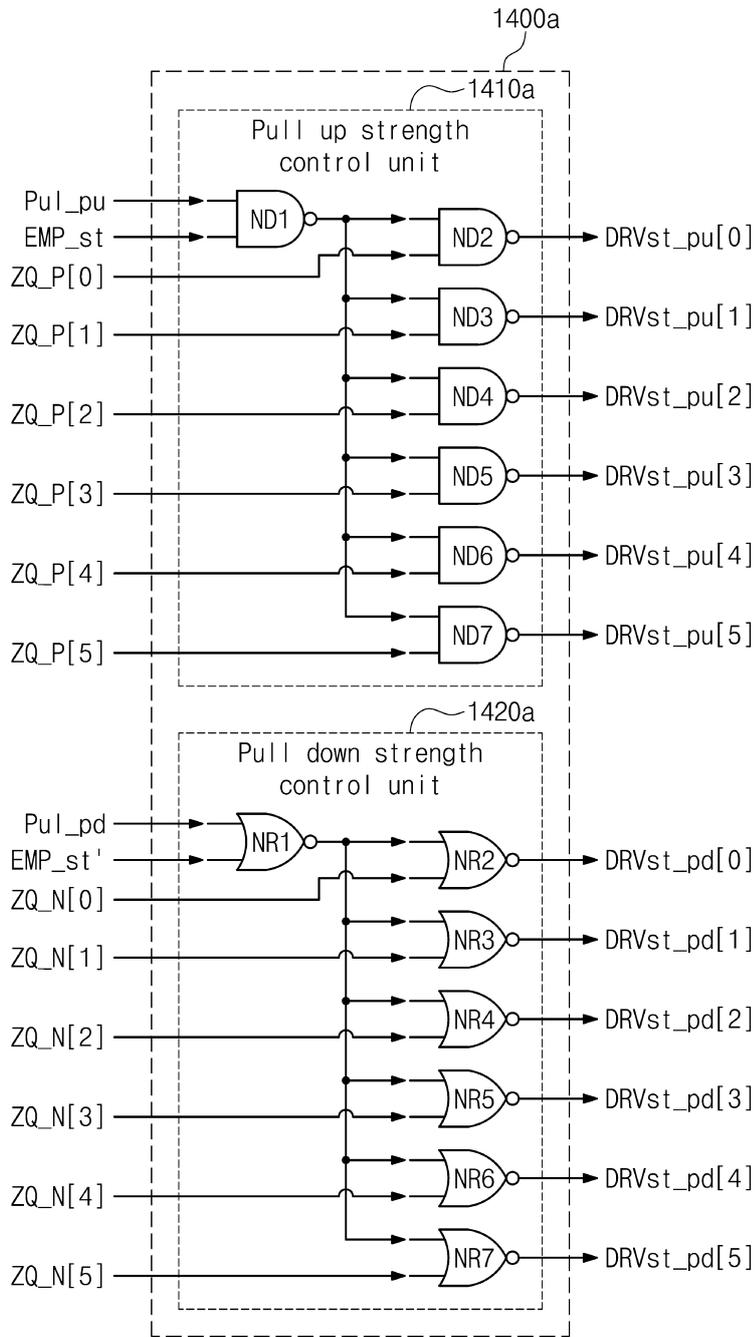
도면8c



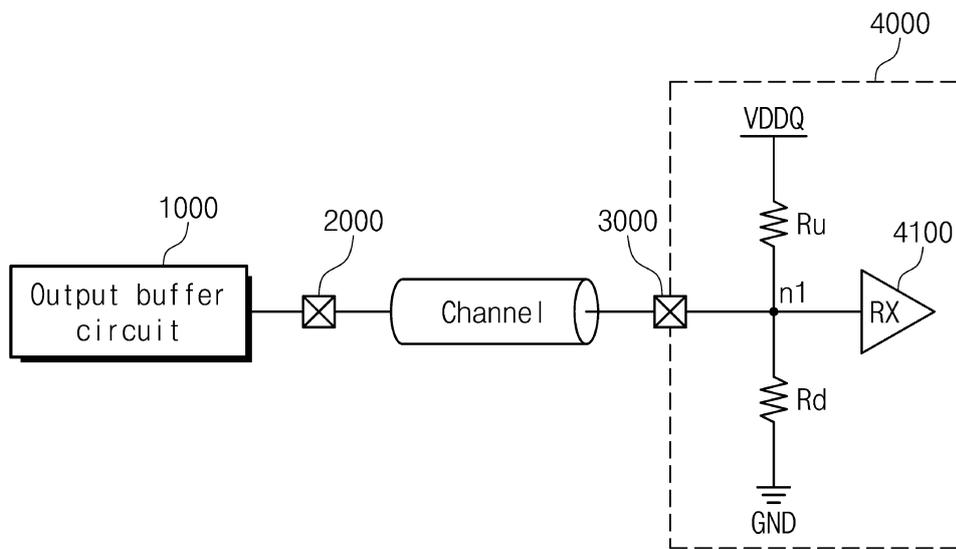
도면9



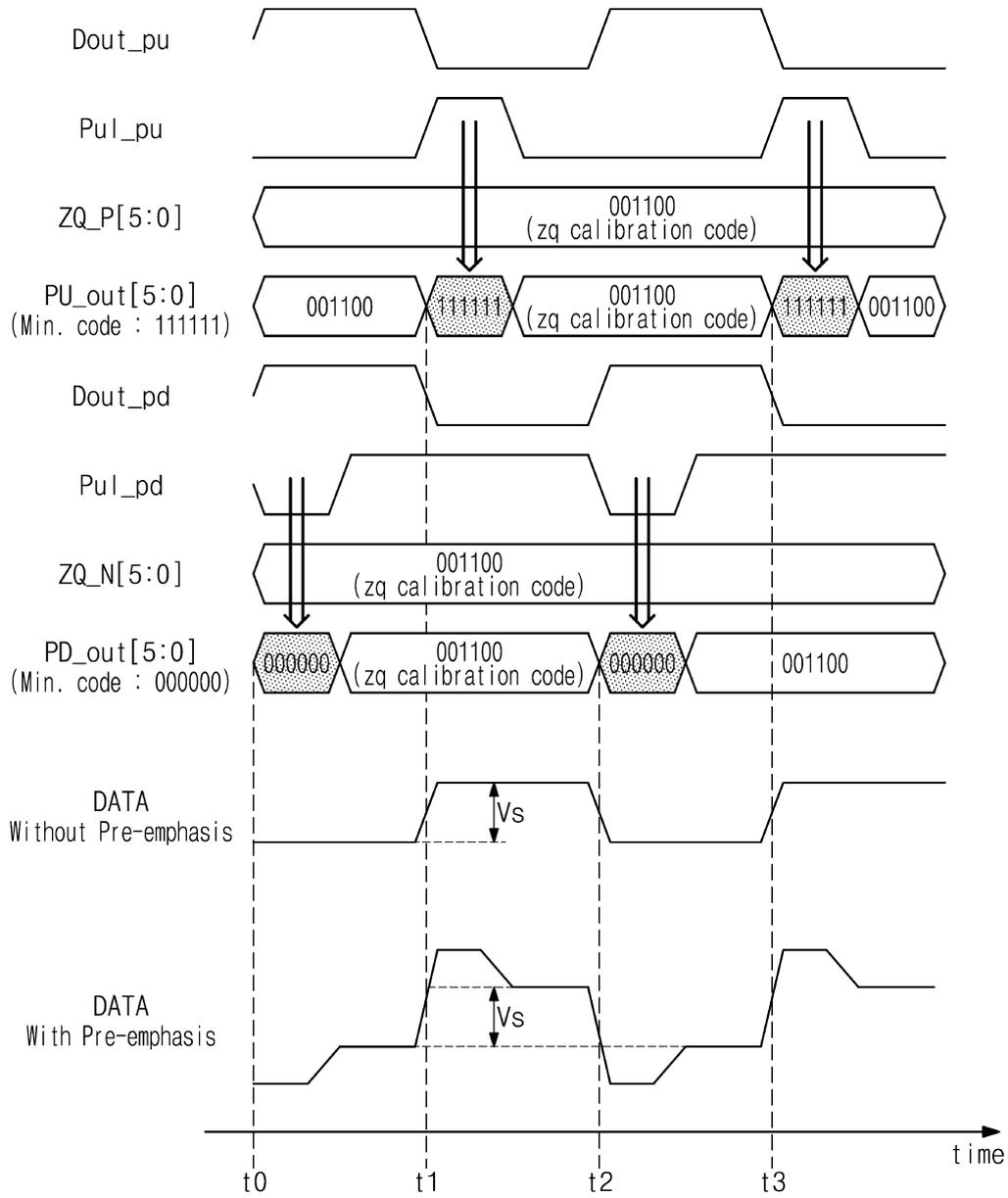
도면10



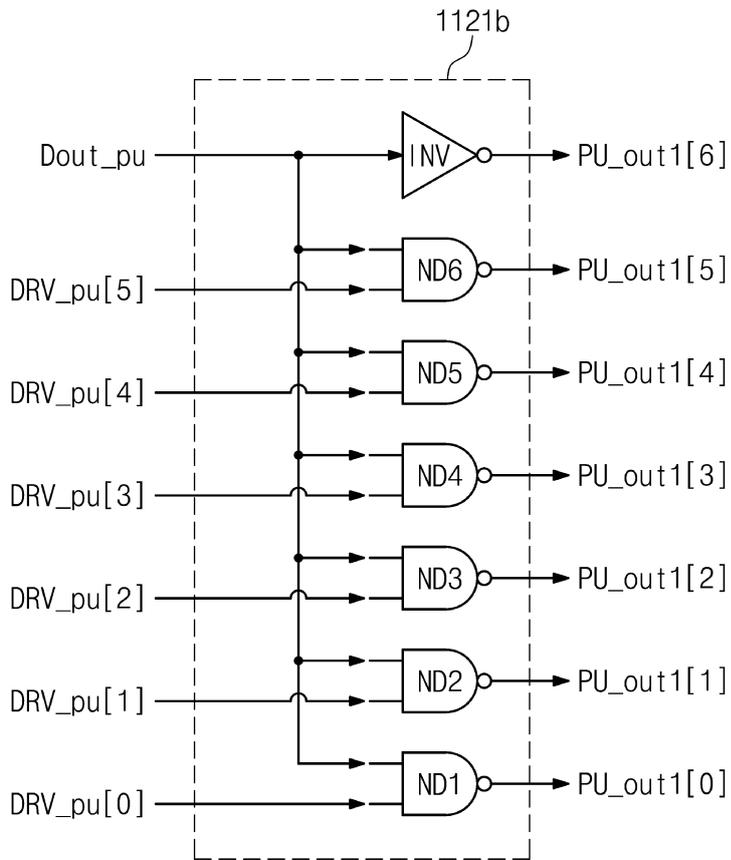
도면11



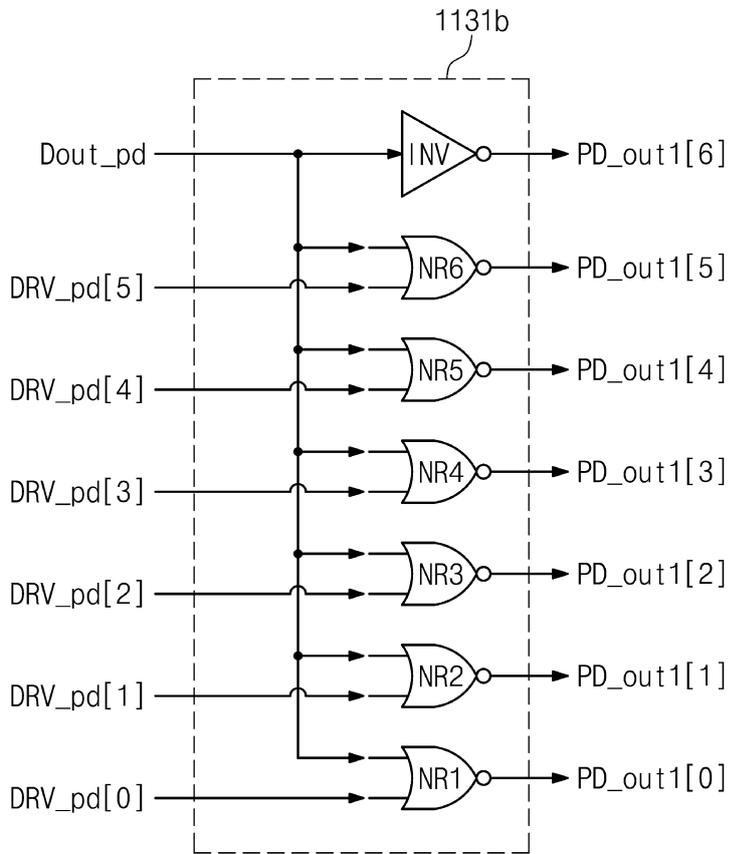
도면12



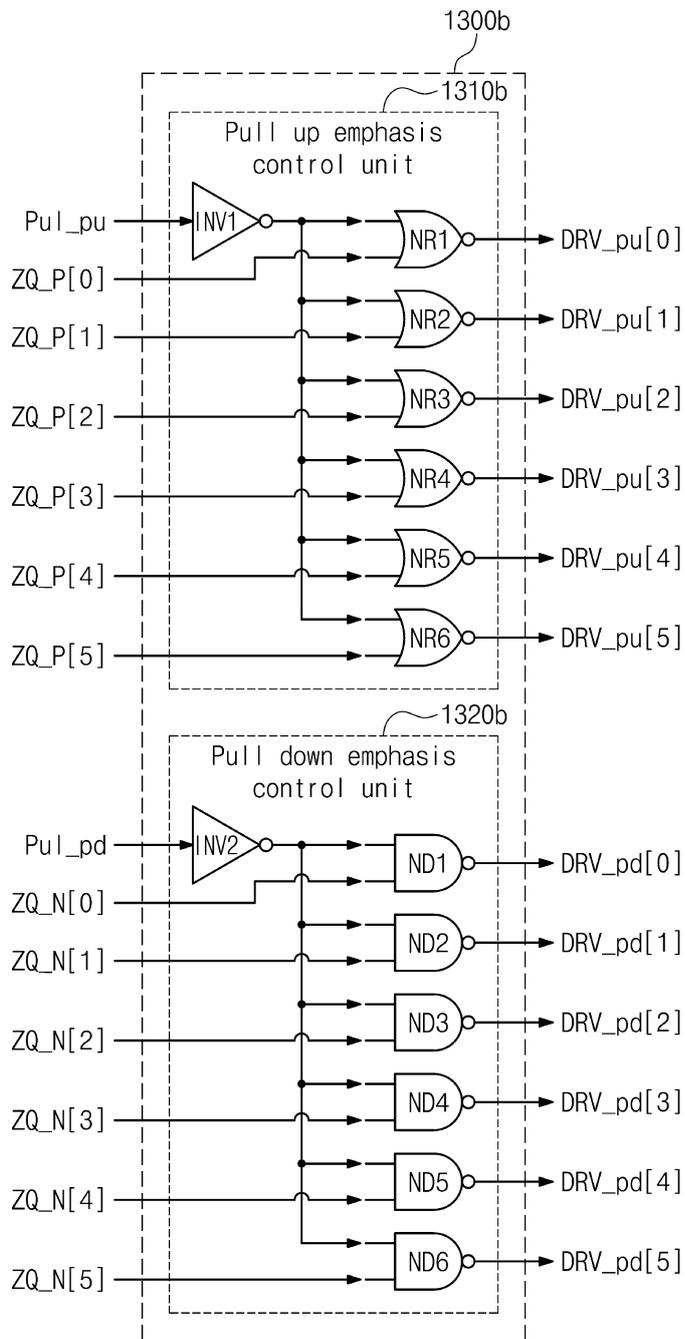
도면13



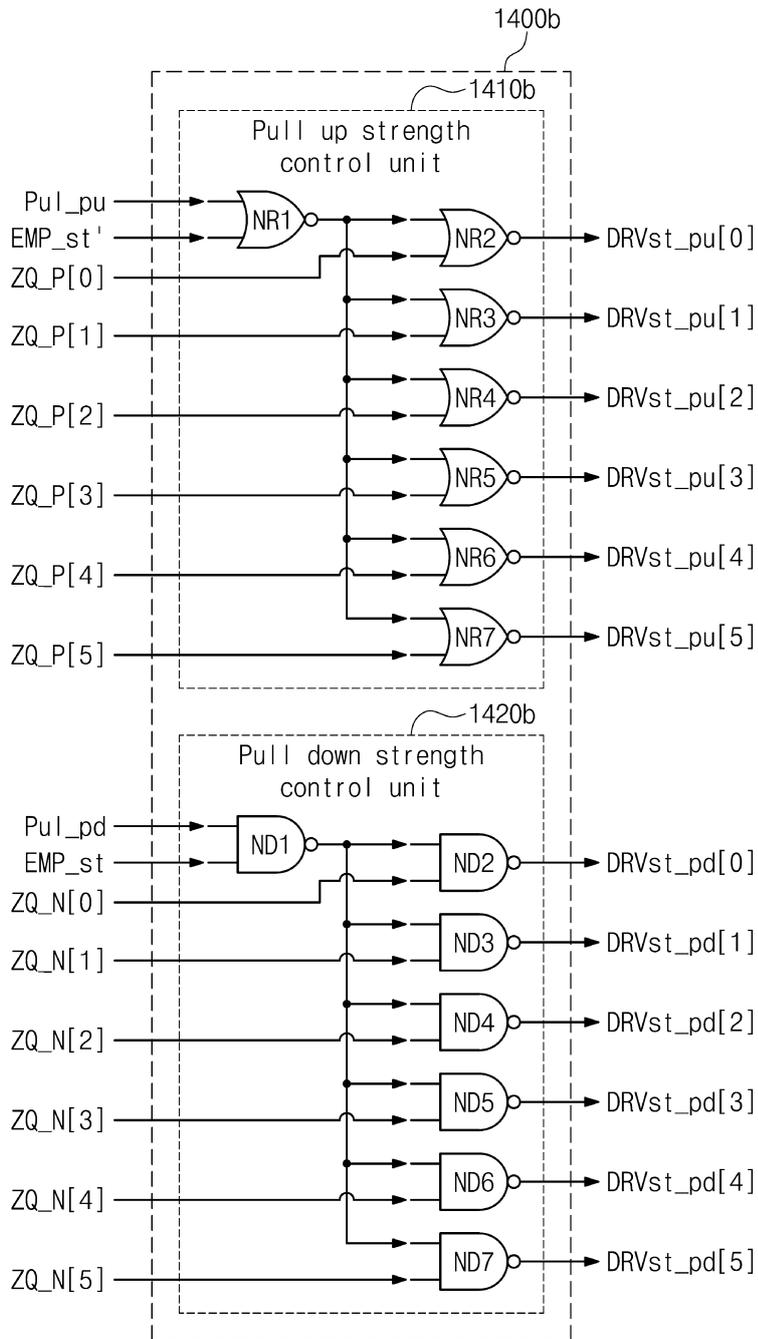
도면14



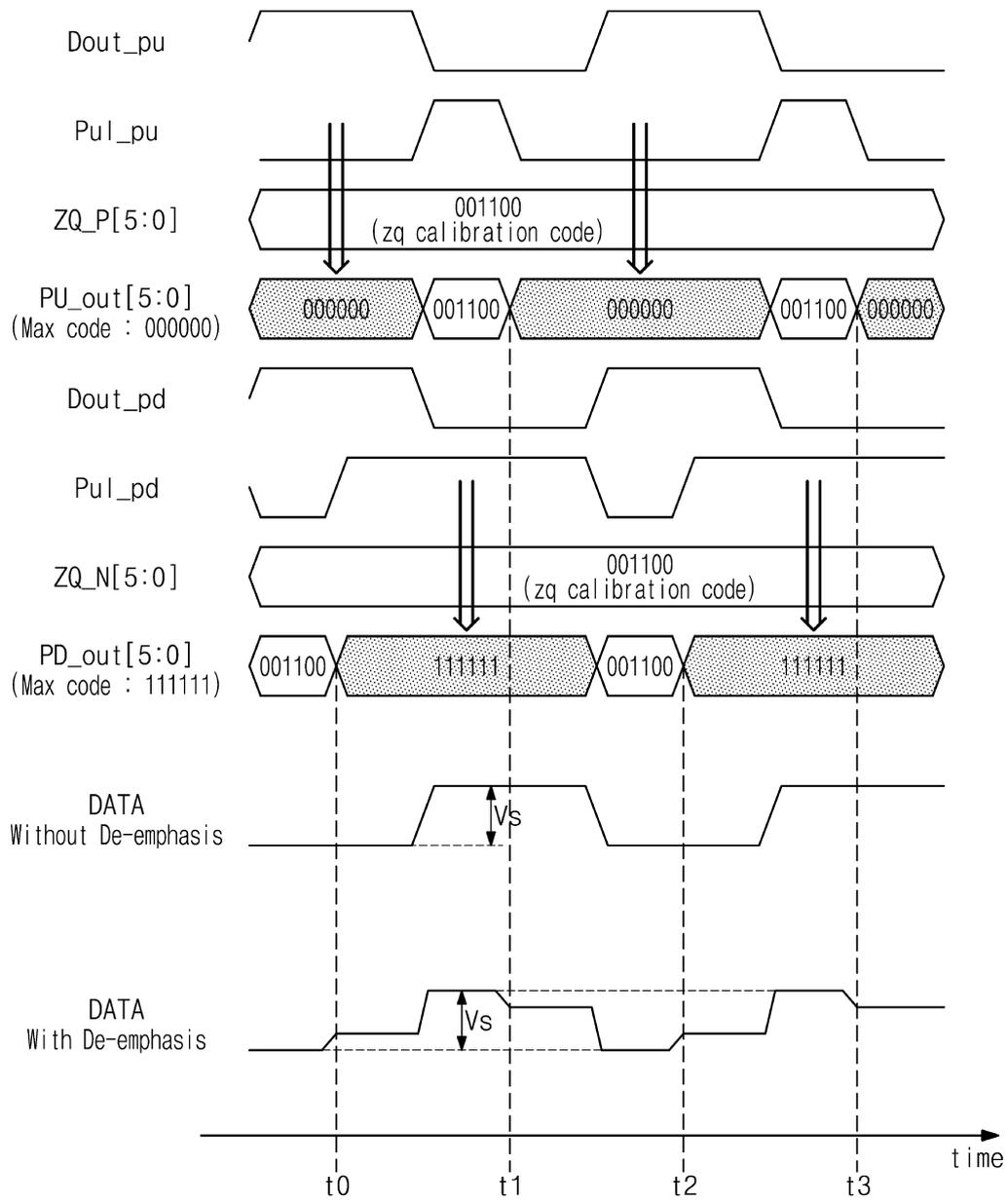
도면15



도면16



도면17



도면18

