



(12)发明专利申请

(10)申请公布号 CN 108417637 A

(43)申请公布日 2018.08.17

(21)申请号 201810194231.9

(22)申请日 2018.03.09

(71)申请人 香港商莫斯飞特半导体股份有限公司

地址 中国香港新界沙田火炭坳背湾街2-12号威力工业中心10楼X室

(72)发明人 欧阳伟伦 梁安杰 罗文健

(74)专利代理机构 北京德崇智捷知识产权代理有限公司 11467

代理人 王金双

(51)Int.Cl.

H01L 29/78(2006.01)

H01L 29/423(2006.01)

H01L 21/336(2006.01)

H01L 27/02(2006.01)

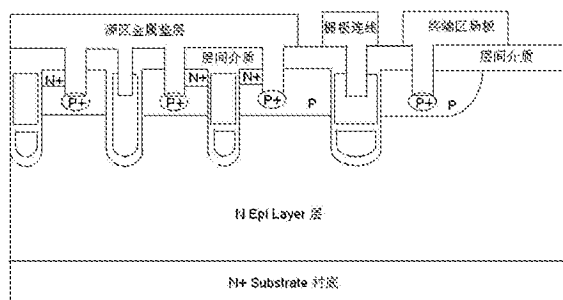
权利要求书3页 说明书7页 附图14页

(54)发明名称

一种多沟槽半导体功率器件及其制备方法

(57)摘要

一种多沟槽半导体功率器件,包括,P型基区、N+型源区、终端区、源区金属垫层和栅极金属垫层,所述多沟槽半导体功率器件,具有至少两种沟槽,第一种沟槽的侧壁和底壁为介质层,中间为导电材料,形成的导体被接至源区金属;第二种沟槽具有上部分沟槽和下部分沟槽;所述下部分沟槽的侧壁和底壁为介质层,中间为导电材料,形成的导体被连接到源区金属作为场板;所述上部分沟槽的侧壁和底壁为介质层,中间是导电材料,形成的导体被连接到栅极金属,作为器件的栅极使用。本发明还提供一种多沟槽半导体功率器件的制备方法,可以节省芯片面积,增加器件的性能价格比,并且不影响沟槽型功率器件的质量和可靠性。



1. 一种多沟槽半导体功率器件,包括,P型基区、N+型源区、终端区、源区金属垫层和栅极金属垫层,其特征在于,

所述多沟槽半导体功率器件,具有至少两种沟槽,第一种沟槽的侧壁和底壁为介质层,中间为导电材料,形成的导电体被接至源区金属;

第二种沟槽具有上部分沟槽和下部分沟槽;

所述下部分沟槽的侧壁和底壁为介质层,中间为导电材料,形成的导电体被连接到源区金属作为场板;所述上部分沟槽的侧壁和底壁为介质层,中间是导电材料,形成的导电体被连接到栅极金属,作为器件的栅极使用。

2. 根据权利要求1所述的多沟槽半导体功率器件,其特征在于,

所述第二种沟槽的下部分沟槽的导电体通过连接所述第一中沟槽的导电体与源区金属相连。

3. 根据权利要求1所述的多沟槽半导体功率器件,其特征在于,

所述沟槽的深度为1.0um至7.0um之间,宽度为0.8um至2.0um之间,表面版图结构是条状、长方形状、正方状或者六角形状。

4. 根据权利要求1所述的多沟槽半导体功率器件,其特征在于,

所述第一种沟槽或者所述第二种沟槽的下部分沟槽的介质层的材料是二氧化硅或者氮化硅,厚度为20nm至800nm之间;

所述第一种沟槽或者所述第二种沟槽的下部分沟槽的导电材料是高掺杂多晶硅或钼、钽、钨或钛。

5. 根据权利要求1所述的多沟槽半导体功率器件,其特征在于,

所述第二种沟槽的上部分沟槽的介质层的材料为二氧化硅或者氮化硅,厚度为8nm至100nm之间;

所述第二种沟槽的上部分沟槽的导电材料为高掺杂多晶硅或钼、钽、钨或钛。

6. 根据权利要求1所述的多沟槽半导体功率器件,其特征在于,

所述第二种沟槽的上、下部分沟槽的导电材料之间的介质层材料为二氧化硅或者氮化硅,厚度为20nm至800nm之间。

7. 根据权利要求1所述的多沟槽半导体功率器件,其特征在于,

所述第二种沟槽的上部分沟槽的导电材料穿过所述基区进入外延层中,深度为0.8um至1.5um之间。

8. 一种多沟槽半导体功率器件的制备方法,其特征在于,包括以下步骤:

在外延层上通过蚀刻形成至少两个沟槽;

第一次在沟槽内填充导电材料;

在所述导电材料形成介质层;

形成栅极氧化层,第二次在沟槽内填充导电材料;

在N型外延层上形成P型基区以及P型基区上的N型源区;

在N型外延层上形成源区金属垫层、栅极连线和终端区场板。

9. 根据权利要求8所述的多沟槽半导体功率器件的制备方法,其特征在于,所述在外延层上通过蚀刻形成至少两个沟槽的步骤,进一步包括:

在N型外延层的上表面依次形成氧化层、光刻涂层,并通过沟槽掩模暴露出部分氧化

层;

对暴露出的部分氧化层进行干蚀,暴露出N型外延层后清除掉光刻涂层;

通过蚀刻形成沟槽,形成的沟槽延伸至N型外延层;

对沟槽进行牺牲性氧化,清除掉氧化层。

10.根据权利要求9所述的多沟槽半导体功率器件的制备方法,其特征在于,所述氧化层厚度为0.3 μm 至1.5 μm 。

11.根据权利要求8所述的多沟槽半导体功率器件的制备方法,其特征在于,所述第一次在沟槽内填充导电材料的步骤,进一步包括:

在沟槽暴露着的侧壁和底部,和外延层的上表面形成一层氧化层;

在沟槽中沉积N型高掺杂的多晶硅,以填充沟槽并覆盖顶面;

去除顶面N型高掺杂的多晶硅;

在部分沟槽的表面积淀光刻涂层,并对表面未积淀光刻涂层的沟槽内在表面下约0.8微米至1.5微米之间的多晶硅进行刻蚀。

12.根据权利要求11所述的多沟槽半导体功率器件的制备方法,其特征在于,所述氧化层的厚度为0.02 μm 至0.3 μm ;所述多晶硅掺杂浓度为5 Ω/\square 至100 Ω/\square 。

13.根据权利要求8所述的多沟槽半导体功率器件的制备方法,其特征在于,所述在所述导电材料形成介质层的步骤,进一步包括:

清除光刻涂层,在沟槽中沉积介质层,以填充沟槽并覆盖顶面;

去除外延层表面上的介质层,在部分沟槽的表面形成光刻涂层;

从没有光刻涂层保护的沟槽底部多晶硅表面之上0.02微米至0.3微米之间至表面的介质层腐蚀掉。

14.根据权利要求8所述的多沟槽半导体功率器件的制备方法,其特征在于,所述形成栅极氧化层,第二次在沟槽内填充导电材料的步骤,进一步包括:

在沟槽暴露着的侧壁和外延层的上表面形成栅极氧化层;

在沟槽中沉积N型高掺杂的多晶硅,以填充沟槽并覆盖顶面;

对顶面多晶硅层进行平面腐蚀处理或化学机械抛光。

15.根据权利要求14所述的多沟槽半导体功率器件的制备方法,其特征在于,所述栅极氧化层厚度为0.01 μm 至0.04 μm 。

16.根据权利要求8所述的多沟槽半导体功率器件的制备方法,其特征在于,所述在N型外延层上形成P型基区以及P型基区上的N型源区的步骤,进一步包括:

在N型外延层表面上积淀光刻涂层,通过P型区掩模,暴露出需要P型注入的源区和部分的终端区,向源区和部分的终端区注入P型掺杂剂,在外延层上形成P型区;

通过高温扩散处理,使P型基区推进扩散到外延层中;

外延层注入N型掺杂剂,并通过高温扩散处理使N型区推进扩散到P型基区形成N型源区。

17.根据权利要求16所述的多沟槽半导体功率器件的制备方法,其特征在于,所述P型掺杂剂为硼,剂量为8e12/cm³至2e14/cm³;所述N型掺杂剂为磷或砷,剂量为1e15/cm³至2e16/cm³。

18.根据权利要求8所述的多沟槽半导体功率器件的制备方法,其特征在于,所述在N型

外延层上形成源区金属垫层、栅极连线和终端区场板的步骤,进一步包括:

在N型外延层表面沉积无掺杂二氧化硅层,然后沉积硼磷玻璃形成层间介质;

在层间介质中形成多个接触孔掩模开孔,形成接触孔沟槽;

对含有掺杂剂的硅片表面进行浸蚀,使接触孔沟槽穿过N型源区进入到P型基区;

对接触孔沟槽注入P型高掺杂剂;

在接触孔沟槽侧壁、底部以及层间介质上表面沉积一层钛或氮化钛层;

对接触孔沟槽进行钨填充以形成金属插塞;

沉积铝铜合金,通过金属掩模进行金属浸蚀,形成发射源区金属垫层、栅极连线和终端区场板。

19. 根据权利要求18所述的多沟槽半导体功率器件的制备方法,其特征在于,所述无掺杂二氧化硅层,厚度为0.1 μm 至0.5 μm ;所述硼磷玻璃,厚度为0.1 μm 至0.8 μm ;所述铝铜合金,厚度为0.8 μm 至10 μm ;所述P型高掺杂剂,浓度为 10^{14} 至 $5 \times 10^{15}/\text{cm}^3$ 。

20. 根据权利要求18所述的多沟槽半导体功率器件的制备方法,其特征在于,所述接触孔沟槽,深度为0.4 μm 至1.5 μm ,宽度为0.12 μm 至1.6 μm 。

一种多沟槽半导体功率器件及其制备方法

技术领域

[0001] 本发明涉及半导体功率器件技术领域,特别是涉及一种多沟槽半导体功率器件及其制备方法。

背景技术

[0002] 功率栅极场效应晶体管 (POWER MOSFET) 是一种单极载流子型器件,容易控制,相比于双极晶体管,控制开关仅需要很低的功率,并且由于导通电阻低且可高速开关,所以能有效地控制高频大电流。目前,功率MOSFET已广泛应用于各类电子、通讯产品中,被广泛地利用在例如功率放大器、功率转换器、低噪音放大器以及一些个人计算机的电源部分开关、电源电路等上,同时,其在工业上也有多种应用。

[0003] 作为开关器件的使用,应用过程中与器件相关的损耗可分为导通损耗和开关损耗。开关损耗主要是与器件的寄生电容有关,尤其是与栅极相关。一般关断时不存在拖尾电流,具有较少的开关损耗,因此能够实现高频可关。导通损耗是源于器件的导通电阻,而导通电阻随器件击穿电压增高而大幅上升。在600V至900V的应用中,超结器件借助补偿结构,可以提供较高的单极载流子电流密度,在需要更高的电压电流的应用中,一般是双极型器件占主导。200V至600V内会因应用情况而定,选择一般的还是超结的功率栅极场效应晶体管器件。

[0004] 在200V范围内,尤其是100V内,沟槽型栅控场效应晶体管是最普遍的选择,它能提供最经济的而又最好的优选因子(FOM)。沟槽栅MOSFET中的分裂闸(Split Gate)型器件能提供最好的FOM和性价比。Split Gate型器件中的沟槽内有上下两个多晶硅区,上部分的多晶硅体与沟槽壁之间为栅极氧化层,上部分的多晶硅体相当于一般沟槽器件的栅极,下部分的多晶硅体与沟槽壁之间的氧化层比栅极氧化层厚,一般厚度可以是300Å至3000Å之间;下部分的多晶硅区可起场板作用,使一般器件原来在反偏置时在沟槽底和PN结处的电场分布大为缓解,从而在承受同样的击穿电压要求下,Split Gate型器件可以使用厚度大致一样,但掺杂浓度更高的外延层,所以Split Gate型器件的比电阻(Specific Ron)比一般的沟槽器件低很多。另一方面,在沟槽内,上部分的多晶硅体与下部分的多晶硅体之间是一层比栅极氧化层厚的介质层,令栅极的寄生电容 Q_{gd} 大为减少,因此Split Gate型器件的开关损耗比一般的沟槽器件好。

[0005] J. Baliga在1999年申请了第一份有关Split Gate型器件的专利,其后陆续也有相关的专利被提出,现有的Split Gate型器件的沟槽内底部作为场板的多晶硅体被引至器件终端处,再连接至有源金属极。当器件芯片比较少时,这种器件结构是没有问题的,但是当芯片较大时,这种结构有两个缺点:一是在高频应用下,有些沟槽内底部多晶硅体离终端较远的跟不上高频电压的变化;另一缺点就是占用芯片面积比较大。

发明内容

[0006] 为了解决现有技术存在的不足,本发明的目的在于提供一种多沟槽半导体功率器

件及其制备方法,可以节省芯片面积,增加器件的性能价格比,并且不影响沟槽型功率器件的质量和可靠性。

[0007] 为实现上述目的,本发明提供了一种多沟槽半导体功率器件,包括,P型基区、N+型源区、终端区、源区金属垫层和栅极金属垫层,其中,

所述多沟槽半导体功率器件,具有至少两种沟槽,第一种沟槽的侧壁和底壁为介质层,中间为导电材料,形成的导电体被接至源区金属;

第二种沟槽具有上部分沟槽和下部分沟槽;

所述下部分沟槽的侧壁和底壁为介质层,中间为导电材料,形成的导电体被连接到源区金属作为场板;所述上部分沟槽的侧壁和底壁为介质层,中间是导电材料,形成的导电体被连接到栅极金属,作为器件的栅极使用。

[0008] 进一步地,所述第二种沟槽的下部分沟槽的导电体通过连接所述第一中沟槽的导电体与源区金属相连。

[0009] 进一步地,所述沟槽的深度为1.0 μm 至7.0 μm 之间,宽度为0.8 μm 至2.0 μm 之间,表面板图结构是条状、长方形状、正方状或者六角形状。

[0010] 进一步地,所述第一种沟槽或者所述第二种沟槽的下部分沟槽的介质层的材料是二氧化硅或者氮化硅,厚度为20nm至800nm之间;

所述第一种沟槽或者所述第二种沟槽的下部分沟槽的导电材料是高掺杂多晶硅或钼、钼、钨或钛。

[0011] 进一步地,所述第二种沟槽的上部分沟槽的介质层的材料为二氧化硅或者氮化硅,厚度为8nm至100nm之间;

所述第二种沟槽的上部分沟槽的导电材料为高掺杂多晶硅或钼、钼、钨或钛。

[0012] 进一步地,所述第二种沟槽的上、下部分沟槽的导电材料之间的介质层材料为二氧化硅或者氮化硅,厚度为20nm至800nm之间。

[0013] 更进一步地,所述第二种沟槽的上部分沟槽的导电材料穿过所述基区进入外延层中,深度为0.8 μm 至1.5 μm 之间。

[0014] 为实现上述目的,本发明提供的多沟槽半导体功率器件的制备方法,包括以下步骤:

在外延层上通过蚀刻形成至少两个沟槽;

第一次在沟槽内填充导电材料;

在所述导电材料形成介质层;

形成栅极氧化层,第二次在沟槽内填充导电材料;

在N型外延层上形成P型基区以及P型基区上的N型源区;

在N型外延层上形成源区金属垫层、栅极连线和终端区场板。

[0015] 进一步地,所述在外延层上通过蚀刻形成至少两个沟槽的步骤,进一步包括:

在N型外延层的上表面依次形成氧化层、光刻涂层,并通过沟槽掩模暴露出部分氧化层;

对暴露出的部分氧化层进行干蚀,暴露出N型外延层后清除掉光刻涂层;

通过蚀刻形成沟槽,形成的沟槽延伸至N型外延层;

对沟槽进行牺牲性氧化,清除掉氧化层。

[0016] 进一步地,所述氧化层厚度为0.3um至1.5um。

[0017] 进一步地,所述第一次在沟槽内填充导电材料的步骤,进一步包括:

在沟槽暴露着的侧壁和底部,和外延层的上表面形成一层氧化层;

在沟槽中沉积N型高掺杂的多晶硅,以填充沟槽并覆盖顶面;

去除顶面N型高掺杂的多晶硅;

在部分沟槽的面积淀光刻涂层,并对表面未积淀光刻涂层的沟槽内在表面下约0.8微米至1.5微米之间的多晶硅进行刻蚀。

[0018] 进一步地,所述氧化层的厚度为0.02um至0.3um;所述多晶硅掺杂浓度为 $5\Omega/\square$ 至 $100\Omega/\square$ 。

[0019] 进一步地,所述在所述导电材料形成介质层的步骤,进一步包括:

清除光刻涂层,在沟槽中沉积介质层,以填充沟槽并覆盖顶面;

去除外延层表面上的介质层,在部分沟槽的表面形成光刻涂层;

从没有光刻涂层保护的沟槽底部多晶硅表面之上0.02微米至0.3微米之间至表面的介质层腐蚀掉。

[0020] 进一步地,所述形成栅极氧化层,第二次在沟槽内填充导电材料的步骤,进一步包括:

在沟槽暴露着的侧壁和外延层的上表面形成栅极氧化层;

在沟槽中沉积N型高掺杂的多晶硅,以填充沟槽并覆盖顶面;

对顶面多晶硅层进行平面腐蚀处理或化学机械抛光。

[0021] 进一步地,所述栅极氧化层厚度为0.01um至0.04um。

[0022] 进一步地,所述在N型外延层上形成P型基区以及P型基区上的N型源区的步骤,进一步包括:

在N型外延层表面上积淀光刻涂层,通过P型区掩模,暴露出需要P型注入的源区和部分的终端区,向源区和部分的终端区注入P型掺杂剂,在外延层上形成P型区;

通过高温扩散处理,使P型基区推进扩散到外延层中;

外延层注入N型掺杂剂,并通过高温扩散处理使N型区推进扩散到P型基区形成N型源区。

[0023] 进一步地,所述P型掺杂剂为硼,剂量为 $8e12/cm^3$ 至 $2e14/cm^3$;所述N型掺杂剂为磷或砷,剂量为 $1e15/cm^3$ 至 $2e16/cm^3$ 。

[0024] 进一步地,所述在N型外延层上形成源区金属垫层、栅极连线和终端区场板的步骤,进一步包括:

在N型外延层表面沉积无掺杂二氧化硅层,然后沉积硼磷玻璃形成层间介质;

在层间介质中形成多个接触孔掩模开孔,形成接触孔沟槽;

对含有掺杂剂的硅片表面进行浸蚀,使接触孔沟槽穿过N型源区进入到P型基区;

对接触孔沟槽注入P型高掺杂剂;

在接触孔沟槽侧壁、底部以及层间介质上表面沉积一层钛或氮化钛层;

对接触孔沟槽进行钨填充以形成金属插塞;

沉积铝铜合金,通过金属掩模进行金属浸蚀,形成发射源区金属垫层、栅极连线和终端区场板。

[0025] 进一步地,所述无掺杂二氧化硅层,厚度为0.1 μm 至0.5 μm ;所述硼磷玻璃,厚度为0.1 μm 至0.8 μm ;所述铝铜合金,厚度为0.8 μm 至10 μm ;所述P型高掺杂剂,浓度为 10^{14} 至 $5 \times 10^{15}/\text{cm}^3$ 。

[0026] 更进一步地,所述接触孔沟槽,深度为0.4 μm 至1.5 μm ,宽度为0.12 μm 至1.6 μm 。

[0027] 本发明的多沟槽半导体功率器件及其制备方法,采用工艺流程与版图新设计的相结合,克服了现有技术中的缺点,使Split Gate型器件沟槽内底部的多晶硅体分散地在源区内连接至金属电极,相比于现有设计能够更有效地把沟槽内作场板用的多晶硅体连接至源区金属,更加节省芯片面积,并且可适用于不同几何图形设计的单元,提高了半导体器件的性能价格比。

[0028] 本发明的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本发明而了解。

附图说明

[0029] 附图用来提供对本发明的进一步理解,并且构成说明书的一部分,并与本发明的实施例一起,用于解释本发明,并不构成对本发明的限制。在附图中:

图1为根据本发明的条状几何图形设计版图的源区中的一种俯视图;

图2为图1中A区域的器件横切面的结构示意图;

图3为图1中B区的器件放大示意图;

图4为图3中的器件的横切面的结构示意图;

图5为根据本发明的正方几何图形设计版图的源区中的一种俯视图;

图6为图5中典型的器件结构的放大示意图;

图7为根据本发明的多沟槽半导体功率器件的制备方法流程图;

图8为本发明的实施例的暴露出表面氧化层的示意图;

图9为本发明的实施例经过沟槽掩模步骤暴露出外延层后的示意图;

图10为本发明的实施例通过蚀刻形成沟槽后的示意图;

图11为本发明的实施例形成深沟槽的示意图;

图12为本发明的实施例在深沟槽内形成氧化层的示意图;

图13为本发明的实施例在沟槽中沉积高掺杂的多晶硅的示意图;

图14为本发明的实施例的进行多晶硅层平面处理后的示意图;

图15为本发明的实施例的部分沟槽的表面被光刻涂层覆盖的示意图;

图16为本发明的实施例的在沟槽中填充介质层的示意图;

图17为本发明的实施例的部分沟槽的表面被光刻涂层覆盖的示意图;

图18为本发明的实施例的在沟槽场板上留下一层介质层的示意图;

图19为本发明的实施例的在沟槽内形成栅极氧化层的示意图;

图20为本发明的实施例的在沟槽中填充高掺杂的多晶硅的示意图;

图21为本发明的实施例的进行多晶硅层平面处理后的示意图;

图22为本发明的实施例通过P型基区掩模步骤后的示意图;

图23为本发明的实施例经过高温扩散处理后的示意图;

图24为本发明的实施例通过N+源区步骤后的示意图;

图25为本发明的实施例的表面形成层间介质的示意图；

图26为本发明的实施例的对接触孔沟槽注入P型高掺杂剂的示意图；

图27为本发明的实施例通过金属刻蚀步骤后的示意图。

具体实施方式

[0030] 以下结合附图对本发明的优选实施例进行说明,应当理解,此处所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明。

[0031] 本发明的多沟槽半导体功率器件,具有多种可实施的连接方式,重点在于分散地把沟槽内底部的多晶硅体连接至表面的源区金属,节省芯片面积,增加器件的性能价格比。

[0032] 图1为根据本发明的条状几何图形设计版图的源区中的一种俯视图,图中只显示了三层板图的结合,这三层板图是沟槽、分裂闸和接触孔。其中,A区域是源区中典型的器件单元,B区域是典型的沟槽内底部多晶硅区连接至源区表面的有源金属极的结构。

[0033] 图2为图1中A区域的器件横切面的结构示意图,图3为图1中B区的器件放大示意图,图4为图3中的器件的横切面的结构示意图。

[0034] 图5为根据本发明的正方几何图形设计版图的源区中的一种俯视图,图6为图5中典型的器件结构的放大示意图。

[0035] 本发明的多沟槽半导体功率器件的一种具体结构如下:

具有至少两种沟槽:第一种沟槽和第二种沟槽;

第一种沟槽的侧壁和底壁是介质层,第一种沟槽的中间是导电材料,第一种沟槽形成的导电体被接至其顶部的源区金属;

第二种沟槽具有两部分结构:上部分沟槽和下部分沟槽;

下部分沟槽的侧壁和底壁是介质层,下部分沟槽的中间是导电材料,下部分沟槽形成的导电体被接至源区金属(例如,通过连接第一沟槽的导电体而与源区金属相连)作为场板;上部分沟槽的侧壁和底壁是介质层,上部分沟槽的中间是导电材料,上部分沟槽形成的导电体被接至栅极金属(例如栅极连线、打线金属垫层),作为器件的栅极使用;

该多沟槽半导体功率器件还至少具有P型基区、N+型源区、终端区、源区金属垫层和栅极金属垫层。

[0036] 优选地,该两种沟槽的深度约为1.0 μm 至7.0 μm 之间,宽度约为0.8 μm 至2.0 μm 之间,表面板图结构是条状、长方形状、正方状或者六角形状等。

[0037] 优选地,第一种沟槽或者第二种沟槽的下部分沟槽的介质层的材料是二氧化硅或者氮化硅,厚度约为20nm至800nm之间;第一种沟槽或者第二种沟槽的下部分沟槽的导电材料是高掺杂多晶硅或者难熔金属钼、钽、钨、钛等。

[0038] 优选地,第二种沟槽的上部分沟槽的介质层的材料是二氧化硅或者氮化硅,第二种沟槽的上部分沟槽的侧壁的介质层的厚度约为8nm至100nm之间;第二种沟槽的上部分沟槽的导电材料是高掺杂多晶硅或者难熔金属钼、钽、钨、钛等。

[0039] 优选地,第二种沟槽的上、下部分沟槽的导电材料之间的介质层的材料是二氧化硅或者氮化硅,厚度约为20nm至800nm之间。

[0040] 优选地,第二种沟槽的上部分沟槽的导电材料穿过P形基区进入N型外延层中,深度约为0.8 μm 至1.5 μm 之间。

[0041] 图7为根据本发明的多沟槽半导体功率器件的制备方法流程图,下面将参考图7,对本发明的多沟槽半导体功率器件的制备方法进行详细描述。

[0042] 在步骤710,在N型外延层上通过蚀刻形成至少两种沟槽。

[0043] 该步骤中,如图8所示,N型外延层(N Epi Layer层)置于N+型衬底(N+ Substrate衬底)的上方,在N型外延层的上表面采用积淀或热生长方式形成氧化层(厚度为0.3um至1.5um的氧化物硬光罩)后,在氧化层上再积淀一层光刻涂层,再通过沟槽掩模形成图案,暴露出氧化层的一些部分。

[0044] 如图9所示,对沟槽掩模形成的图案暴露出的氧化层进行干蚀后,暴露出N型外延层;再清除掉光刻涂层。

[0045] 如图10所示,通过蚀刻形成沟槽(深度为1.0um至7.0um,宽度为0.2um至2.0um),并且形成的沟槽延伸至N型外延层。

[0046] 如图11所示,形成沟槽后,对沟槽进行牺牲性氧化(时间为10分钟至100分钟,温度为1000℃至1200℃),以消除在开槽过程中被等离子破坏的硅层;再清除掉所有的氧化层。

[0047] 在步骤720,在沟槽的侧壁和底壁上形成介质层,并填上导电材料。

[0048] 该步骤中,如图12所示,通过热生长的方式,在沟槽暴露着的侧壁、底部以及N型外延层的上表面形成一层氧化层(厚度为0.02um至0.3um)。

[0049] 如图13所示,在沟槽中沉积N型高掺杂的多晶硅,以填充沟槽并覆盖N型外延层的顶面,其中,多晶硅掺杂浓度为 $R_s=5\ \Omega/\square$ 至 $100\ \Omega/\square$ (Ω/\square 为方阻的单位)。

[0050] 如图14所示,对N型外延层表面上的多晶硅层(poly层)进行平面腐蚀处理或者化学机械抛光,刻蚀掉硅片表面的多晶硅。

[0051] 在步骤730,刻蚀掉至少一个沟槽的上部分的导电材料,在该至少一个沟槽的上部分的底壁上形成介质层,以及在该至少一个沟槽的上部分的侧壁上形成新的介质层并填上导电材料。

[0052] 该步骤中,如图15示,在N型外延层的表面上积淀一层光刻涂层后,通过掩模形成图案,覆盖一部分沟槽的表面;刻蚀沟槽内的多晶硅,将沟槽(未被覆盖的)内距多晶硅上表面约0.8um至1.5um之间的多晶硅刻蚀掉。

[0053] 如图16所示,清除掉光刻涂层后,在沟槽中沉积介质层(二氧化硅或者氮化硅等),以填充沟槽并覆盖N型外延层的顶面。

[0054] 如图17所示,对N型外延层表面上的介质层进行平面腐蚀处理或者化学机械抛光,将N型外延层表面上的介质层刻蚀掉;在N型外延层表面上积淀一层光刻涂层(光刻胶)后,再通过掩模形成图案,覆盖一部分沟槽的表面。

[0055] 如图18所示,刻蚀没有光刻图层保护的沟槽内的介质层,将距沟槽内多晶硅上表面约0.02um至0.3um之间以上的介质层全都腐蚀掉,即只保留距沟槽内多晶硅上表面约0.02um至0.3um之间的介质层。

[0056] 如图19所示,通过热生长的方式,在沟槽暴露着的侧壁以及N型外延层的上表面形成一层薄的栅极氧化层(厚度为0.01um至0.04um)。

[0057] 如图20所示,在沟槽中沉积N型高掺杂的多晶硅,以填充沟槽并覆盖N型外延层的顶面,其中,多晶硅掺杂浓度为 $R_s=5\ \Omega/\square$ 至 $100\ \Omega/\square$ (Ω/\square 为方阻的单位)。

[0058] 如图21所示,对N型外延层表面上的多晶硅层进行平面腐蚀处理或者化学机械抛

光。

[0059] 在步骤740,在N型外延层上形成P型基区以及P型基区上的N型源区。

[0060] 该步骤中,如图22所示,在N型外延层表面上积淀一层光刻涂层后,再通过P型区掩模形成图案,暴露出需要P型基区注入的源区和部分的终端区;再向N型外延层的源区和部分的终端区注入P型掺杂剂(硼,剂量为 $8e12/cm^3$ 至 $2e14/cm^3$),在N型外延层上形成P型基区。

[0061] 如图23所示,通过一次高温扩散处理(温度为 $950^{\circ}C$ 至 $1200^{\circ}C$,时间为10分钟至1000分钟),使P型基区推进扩散到N型外延层中(深度为 $0.5\mu m$ 至 $4.0\mu m$)。

[0062] 如图24所示,通过N+掩膜步骤向N型外延层注入N型掺杂剂(磷或者砷,剂量为 $1e15/cm^3$ 至 $2e16/cm^3$);再通过二次高温扩散处理(温度为 $950^{\circ}C$ 至 $1200^{\circ}C$,时间为10分钟至100分钟),使N型区推进扩散到P型基区形成N型源区。

[0063] N型源区深度为 $0.2\mu m$ 至 $0.5\mu m$,P型基区深度为 $0.5\mu m$ 至 $1.5\mu m$ 。

[0064] 在步骤750,在N型外延层上形成源区金属垫层、栅极连线和终端区场板。

[0065] 该步骤中,如图25所示,在N型外延层的表面上先沉积无掺杂二氧化硅层(厚度为 $0.1\mu m$ 至 $0.5\mu m$)后,再沉积硼磷玻璃(厚度为 $0.1\mu m$ 至 $0.8\mu m$)形成层间介质。

[0066] 如图26所示,在层间介质表面积淀光刻涂层,利用接触孔掩模,暴露出部分层间介质后,再对暴露出的部分层间介质进行干蚀,在层间介质中形成多个接触孔掩模开孔后,再清除掉光刻涂层;对含有掺杂剂的硅片表面进行浸蚀,使接触孔沟槽(深度为 $0.4\mu m$ 至 $1.5\mu m$,宽度为 $0.12\mu m$ 至 $1.6\mu m$)穿过N型源区进入到P型基区后,再对接触孔沟槽注入P型高掺杂剂(浓度为 $10^{14}/cm^3$ 至 $5 \times 10^{15}/cm^3$),以减少P型基区与金属插塞间的接触电阻,有效地增加器件的安全使用区。

[0067] 如图27所示,在接触孔沟槽的侧壁、底部以及层间介质的上表面沉积一层钛或者氮化钛层后,再对接触孔沟槽进行钨填充以形成金属插塞;在器件的上面沉积一层铝铜合金(厚度为 $0.8\mu m$ 至 $10\mu m$)后,再通过金属掩模进行金属浸蚀,形成源区金属垫层、栅极连线和终端区场板。

[0068] 采用本发明的多沟槽半导体功率器件制备方法,可以增加器件的性能价格比,并且不影响沟槽型功率器件的质量和可靠性。

[0069] 最后需要说明的是:本发明可用于制造沟槽半导体功率器件(例如,沟槽绝缘栅双极晶体管(Trench IGBT)、沟槽二极管或者沟槽有特基二极管),本发明可用于制备12V至1200V的沟槽半导体功率器件,本发明的实施例以N型通道器件作出说明,本发明亦可用于P型通道器件。

[0070] 本领域普通技术人员可以理解:以上所述仅为本发明的优选实施例而已,并不用于限制本发明,尽管参照前述实施例对本发明进行了详细的说明,对于本领域的技术人员来说,其依然可以对前述各实施例记载的技术方案进行修改,或者对其中部分技术特征进行等同替换。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

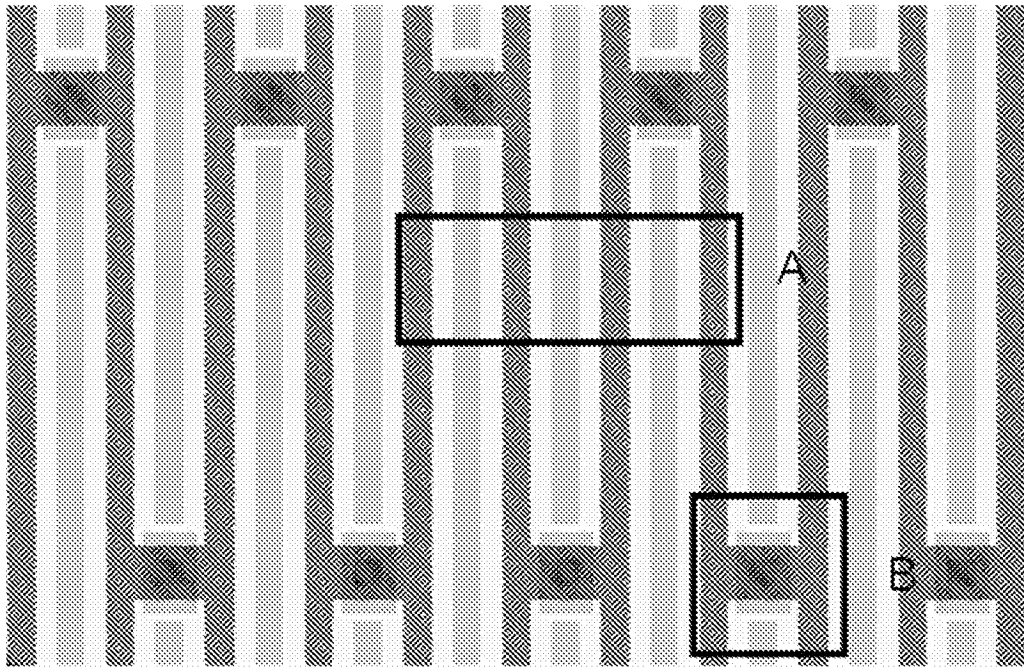


图 1

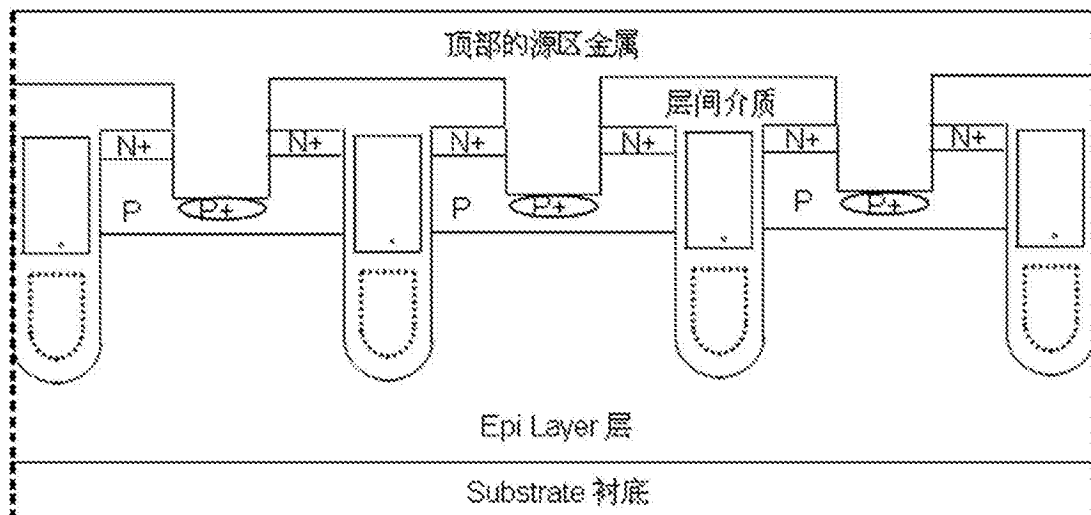
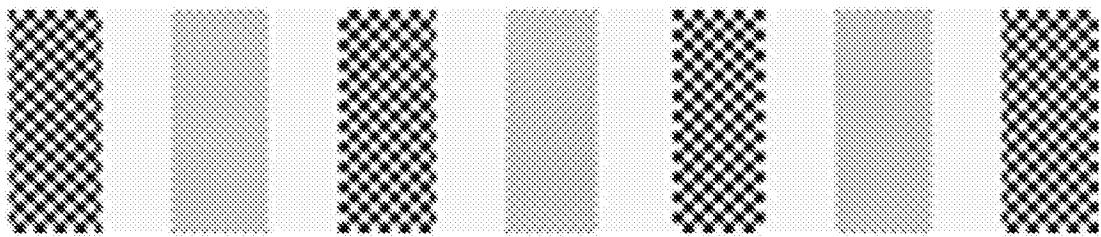


图 2

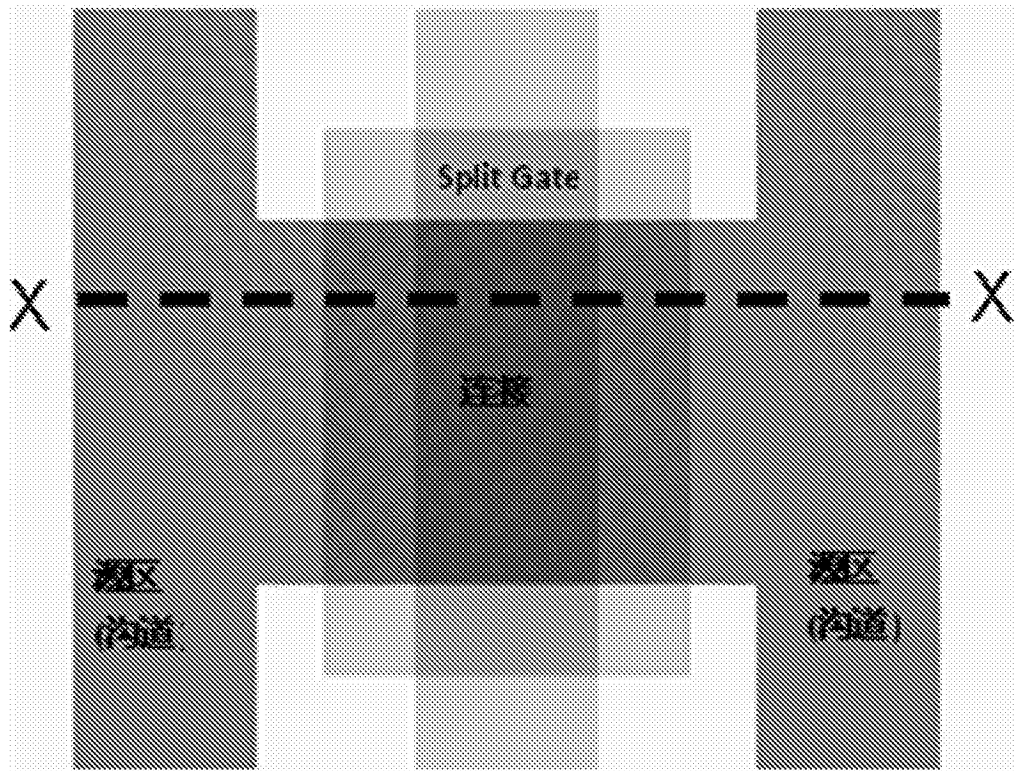


图 3

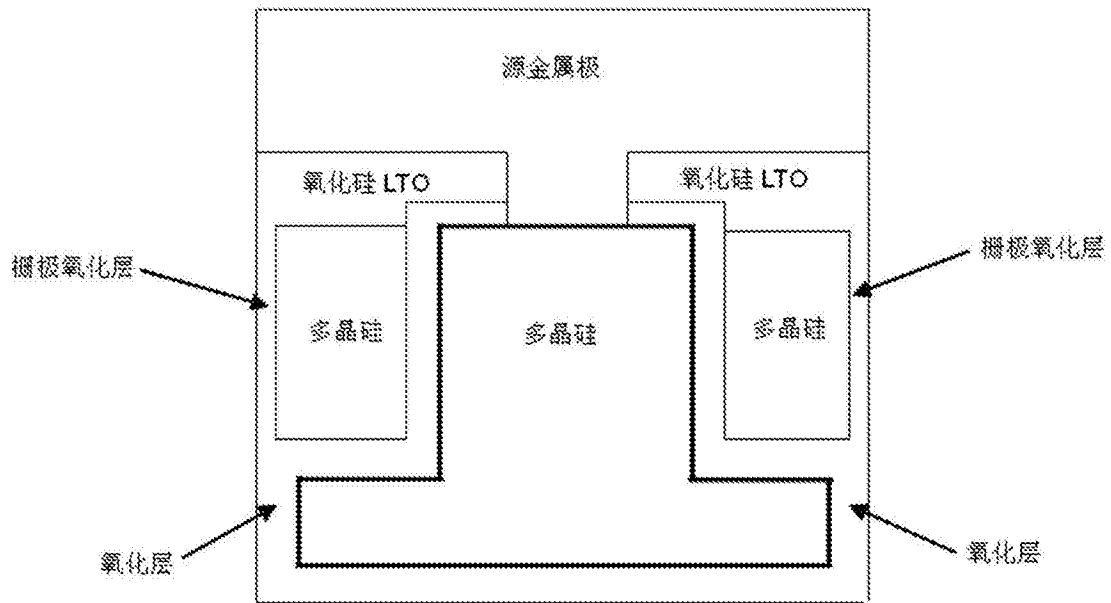


图 4

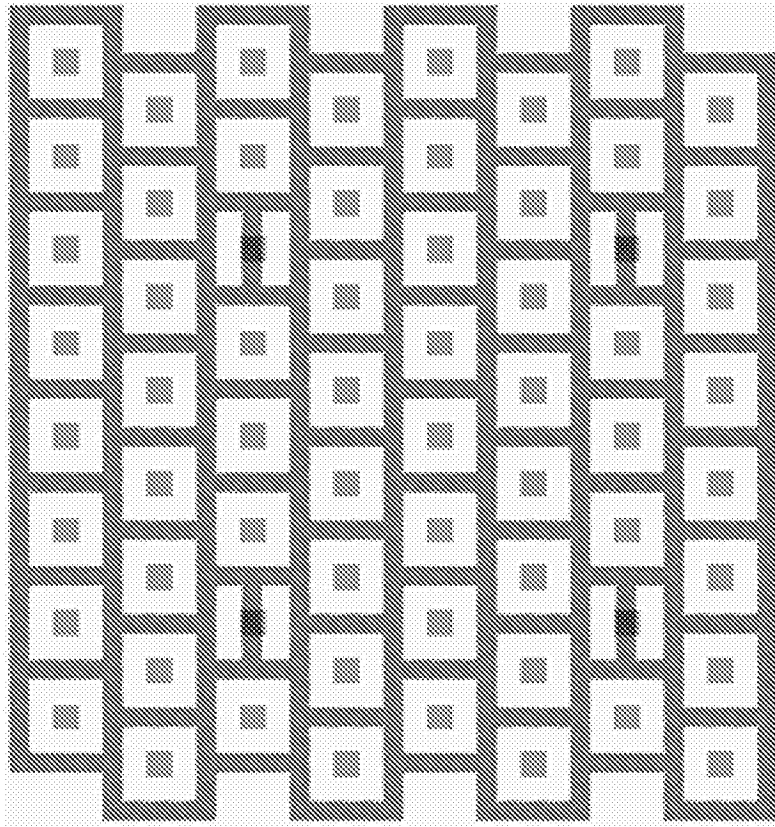


图 5

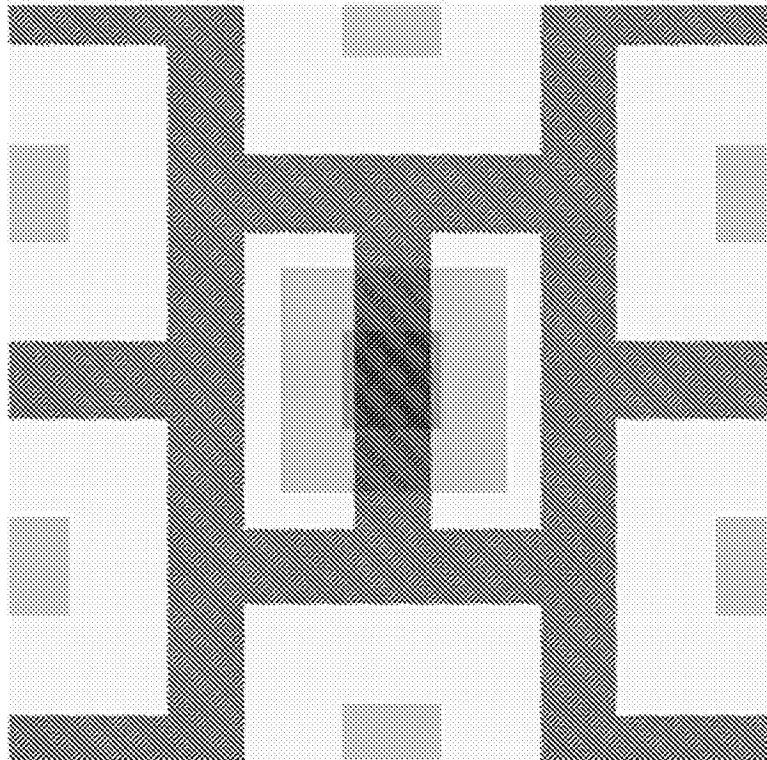


图 6

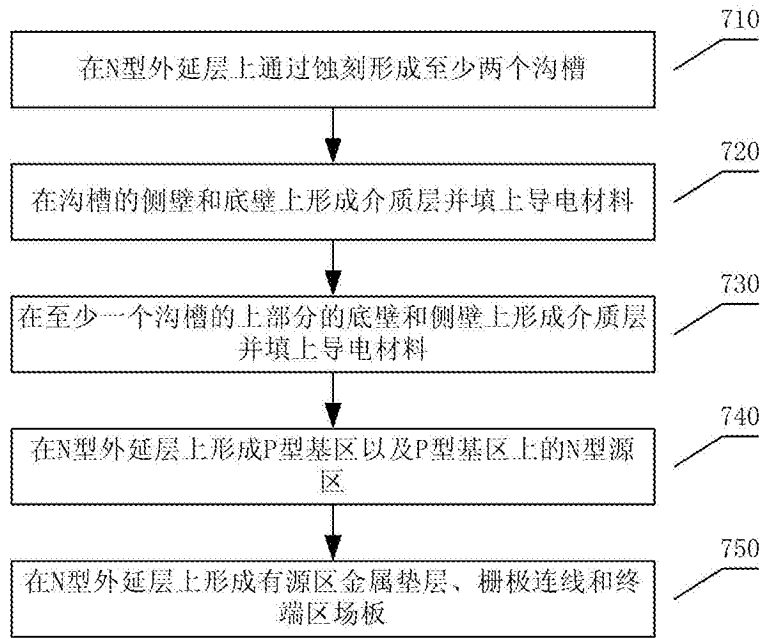


图 7

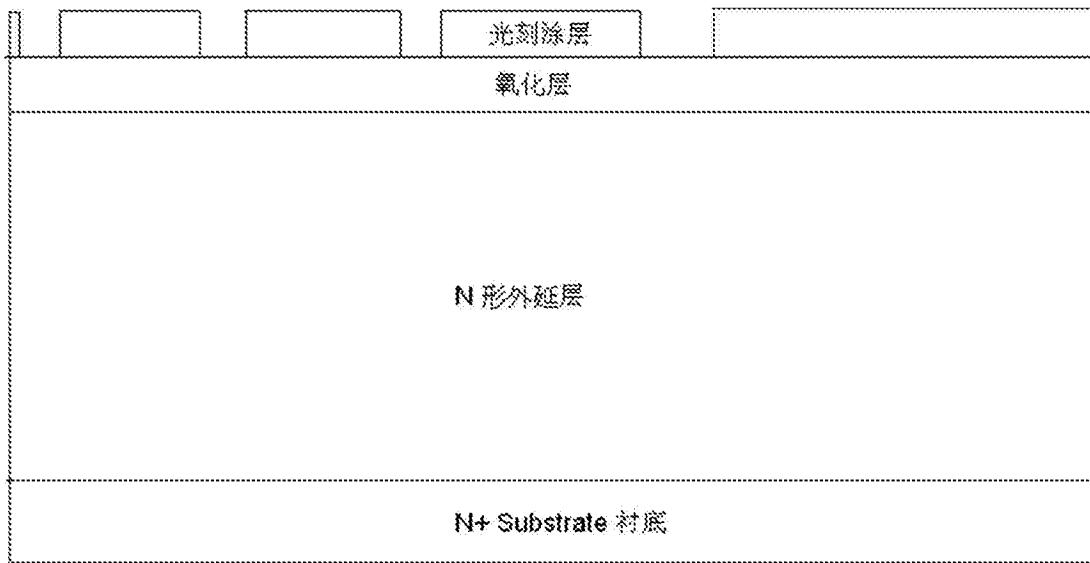


图 8

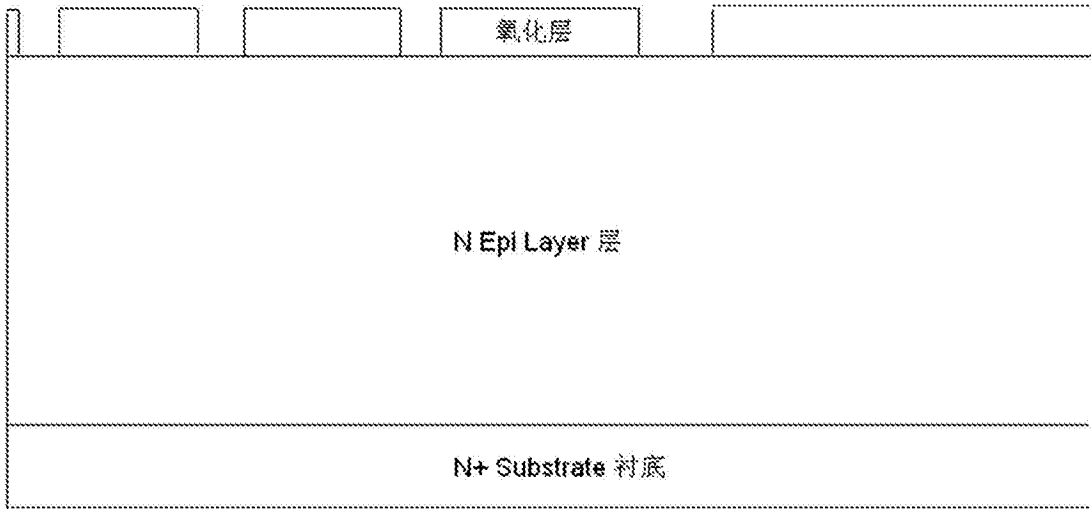


图 9

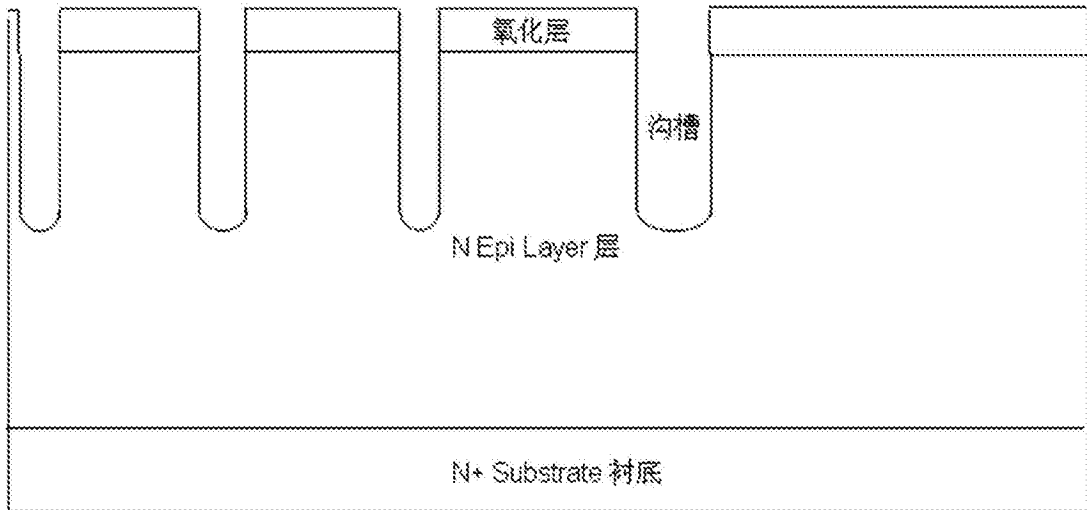


图 10

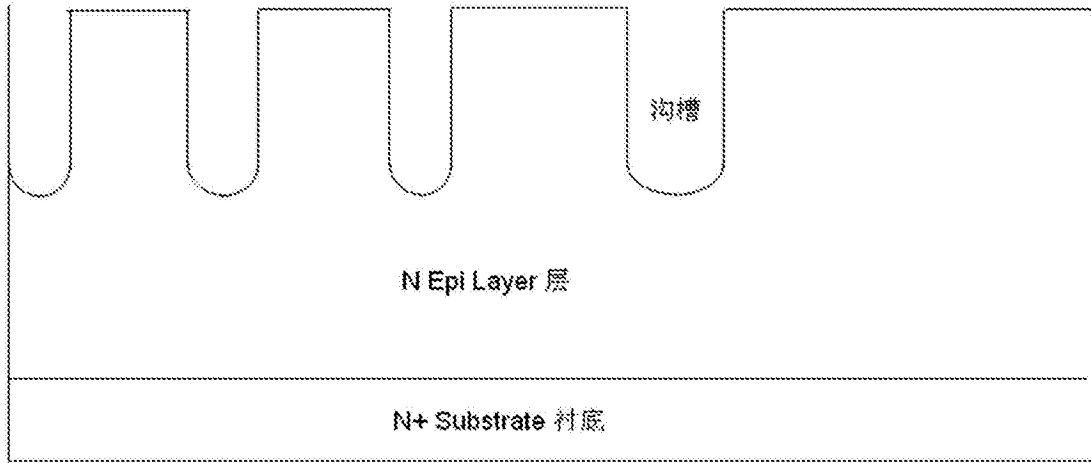


图 11

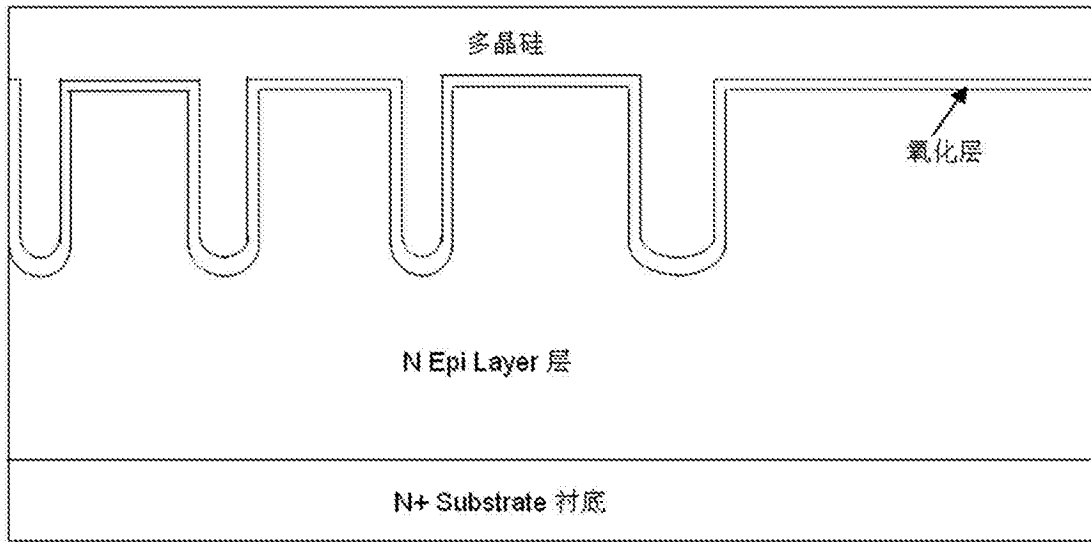


图 12

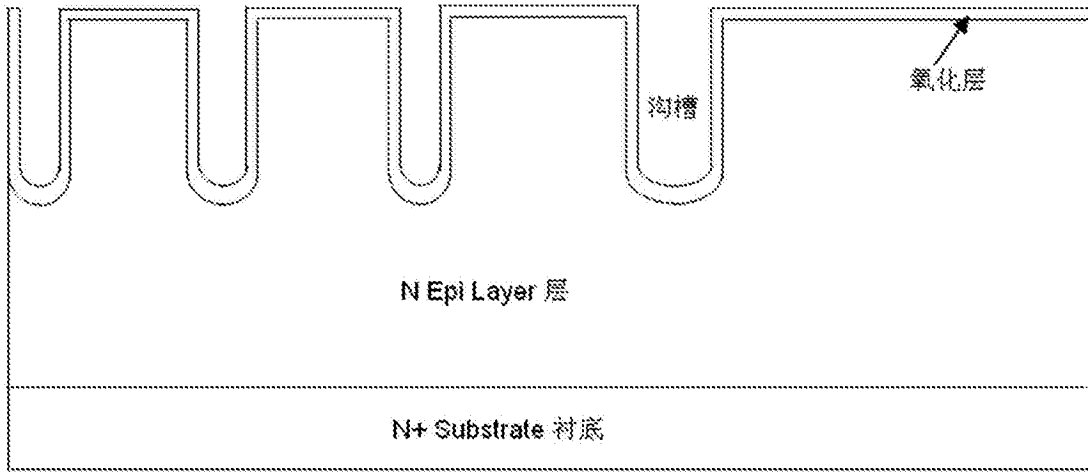


图 13

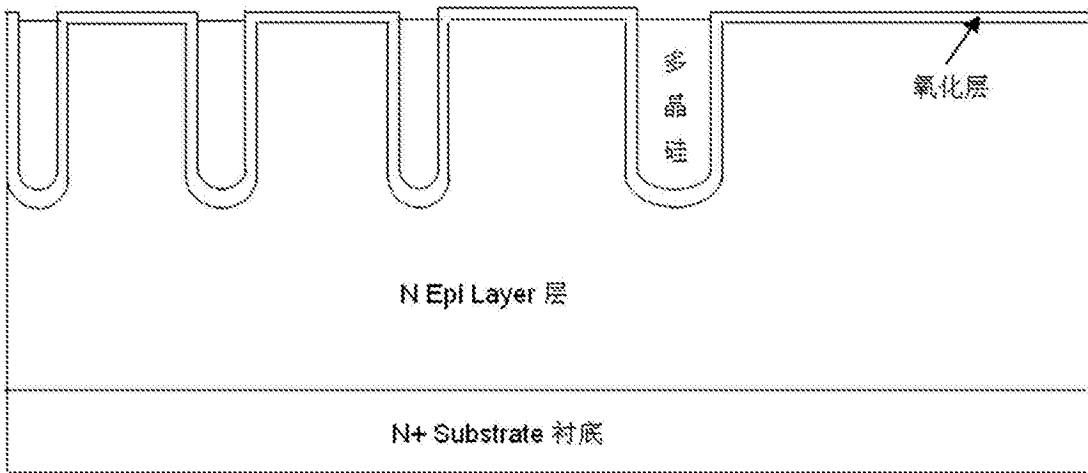


图 14

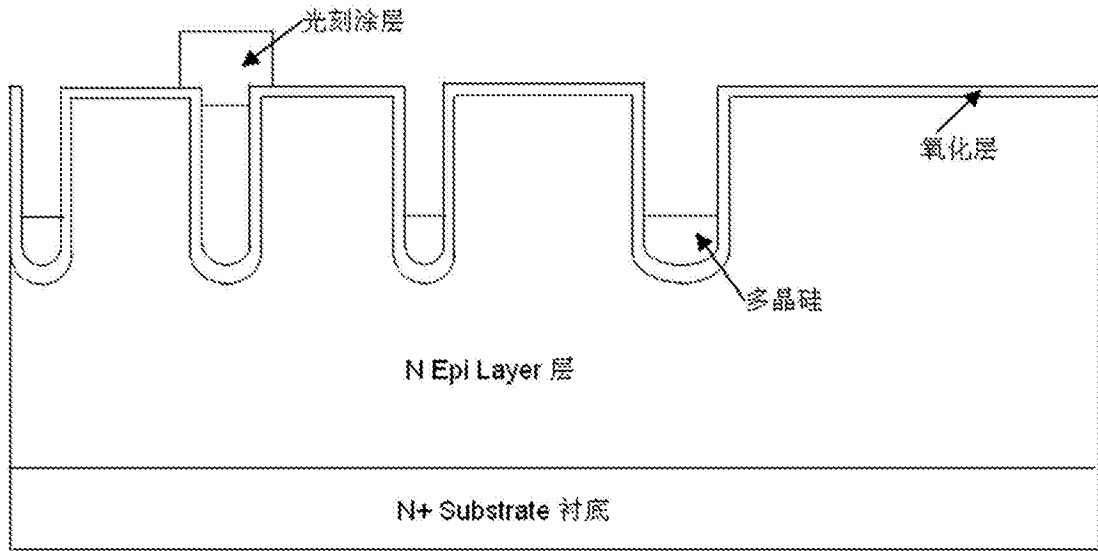


图 15

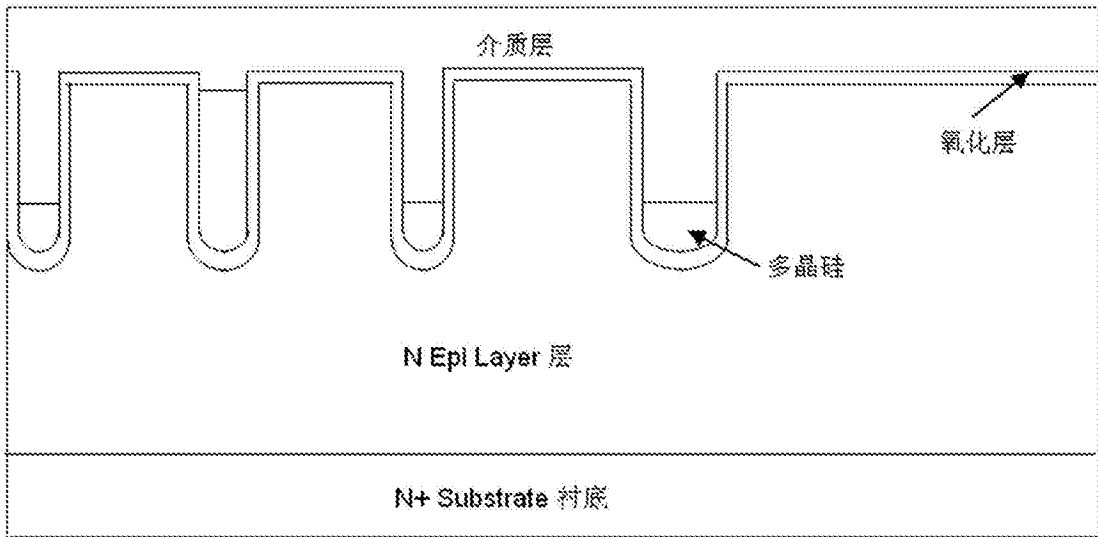


图 16

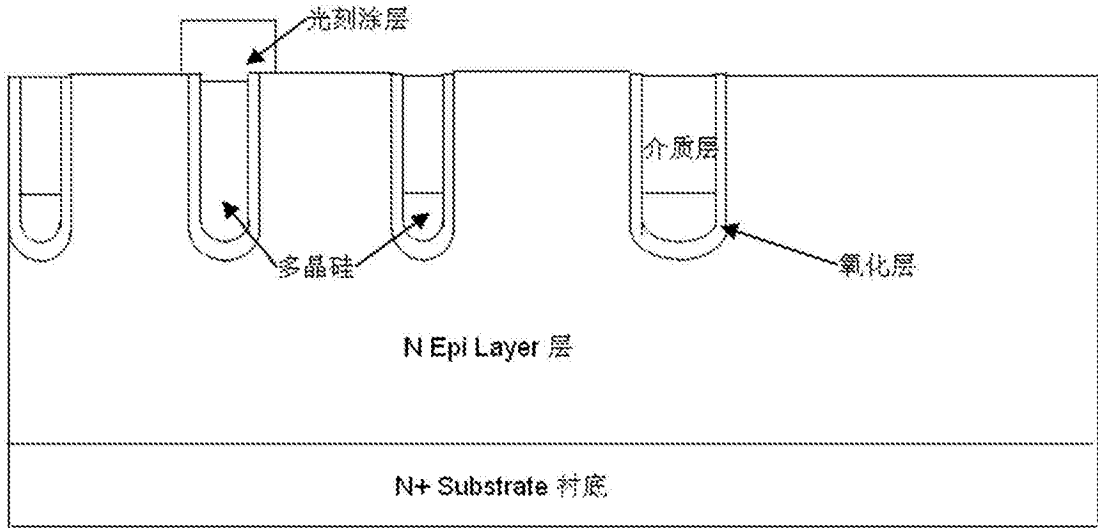


图 17

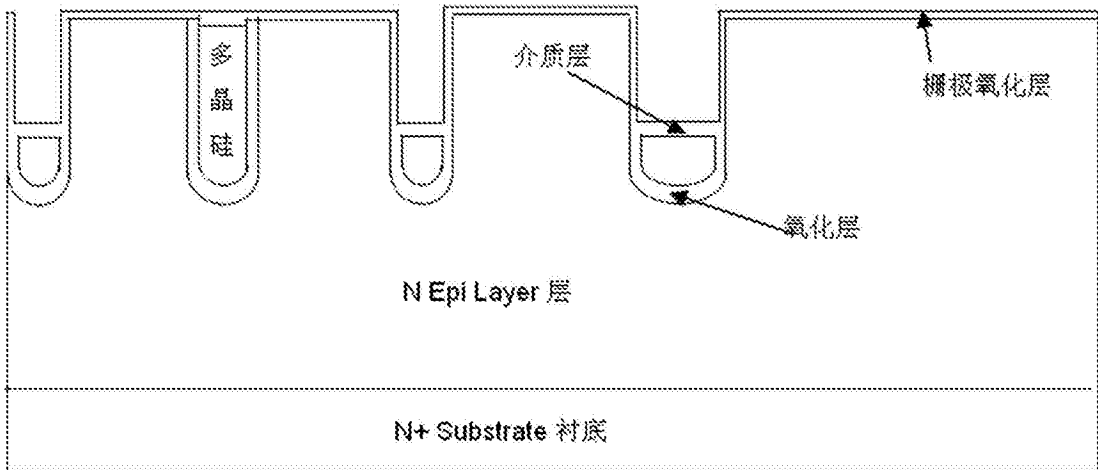


图 18

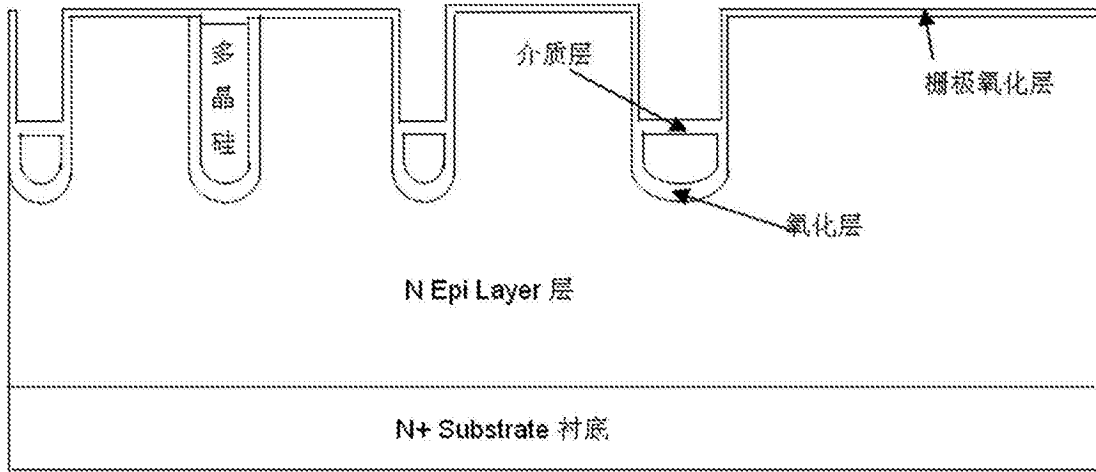


图 19

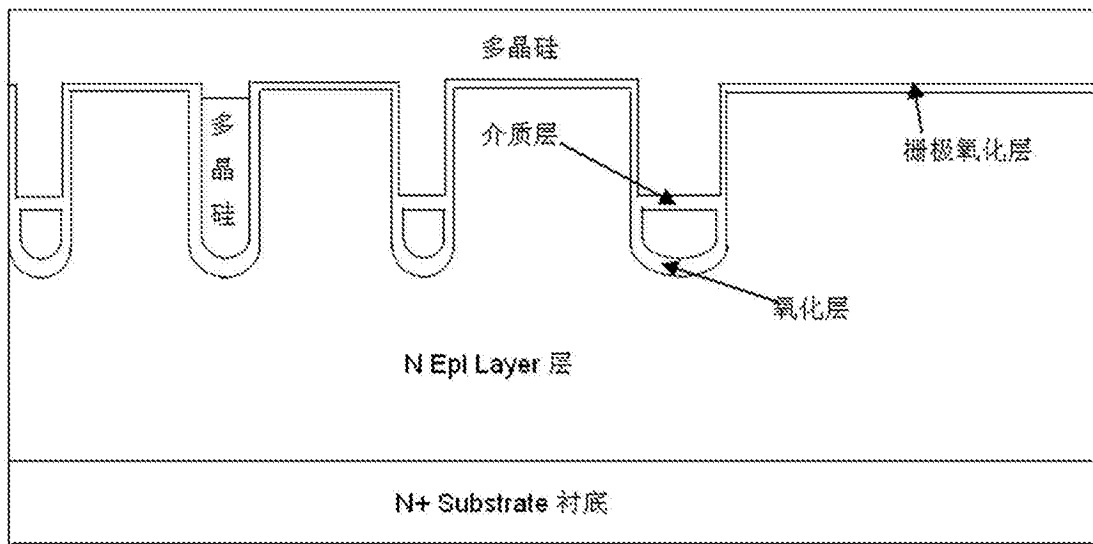


图 20

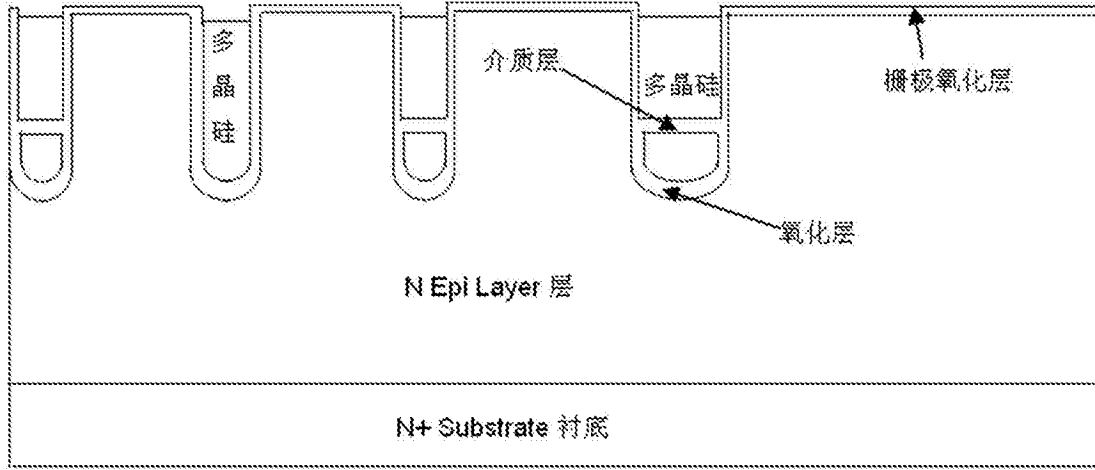


图 21

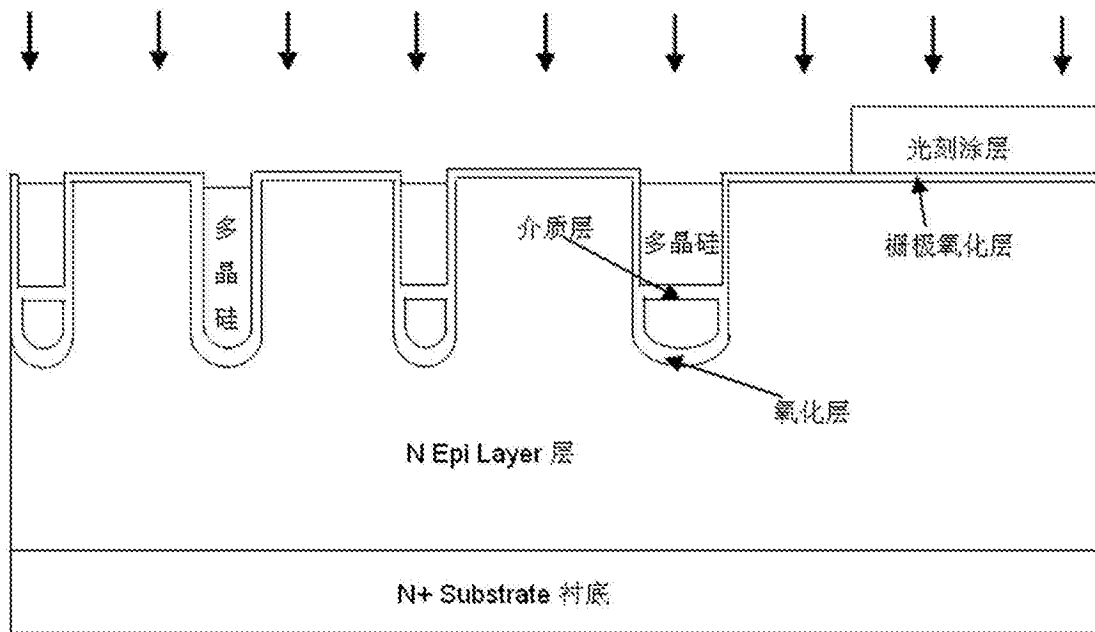


图 22

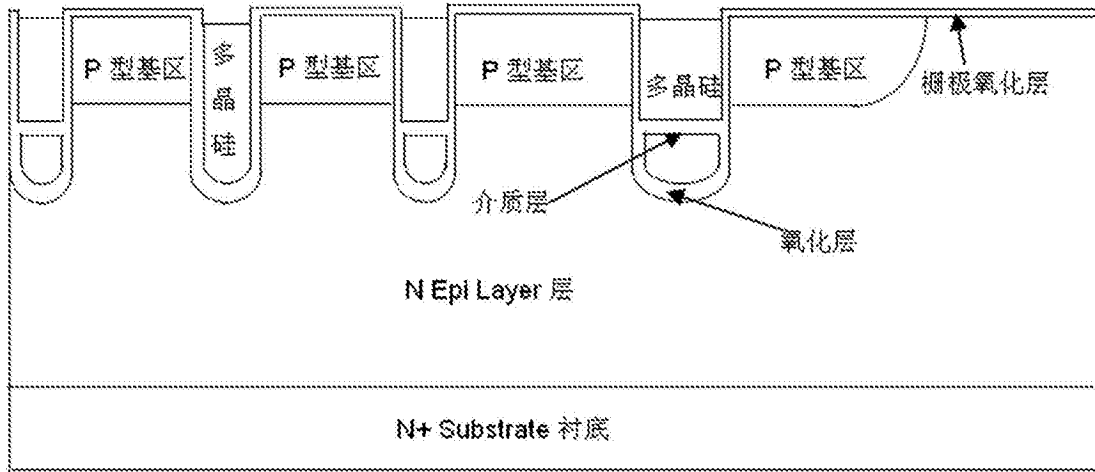


图 23

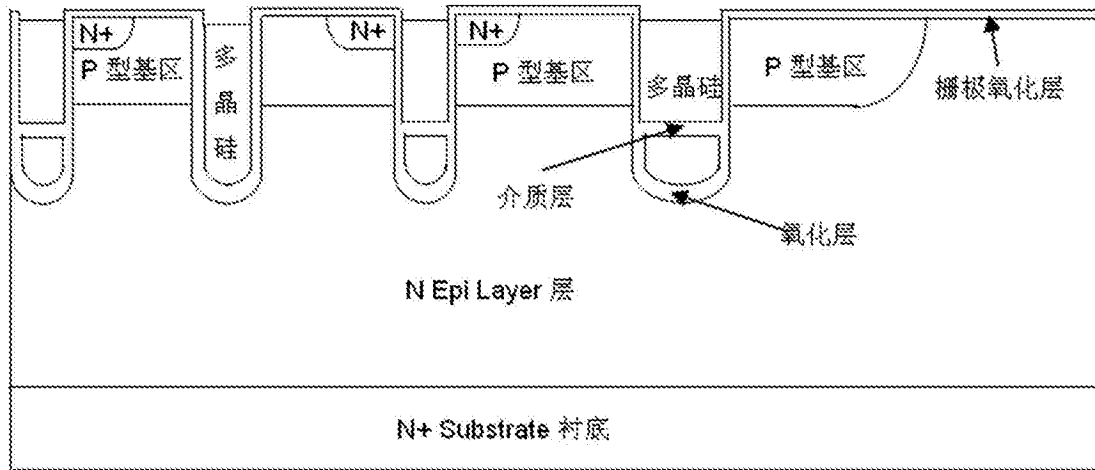


图 24

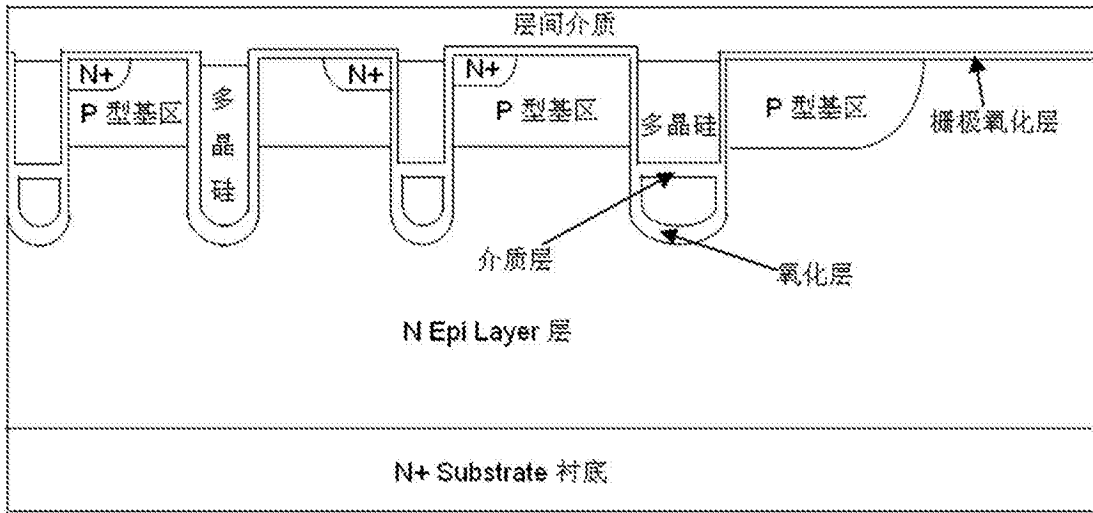


图 25

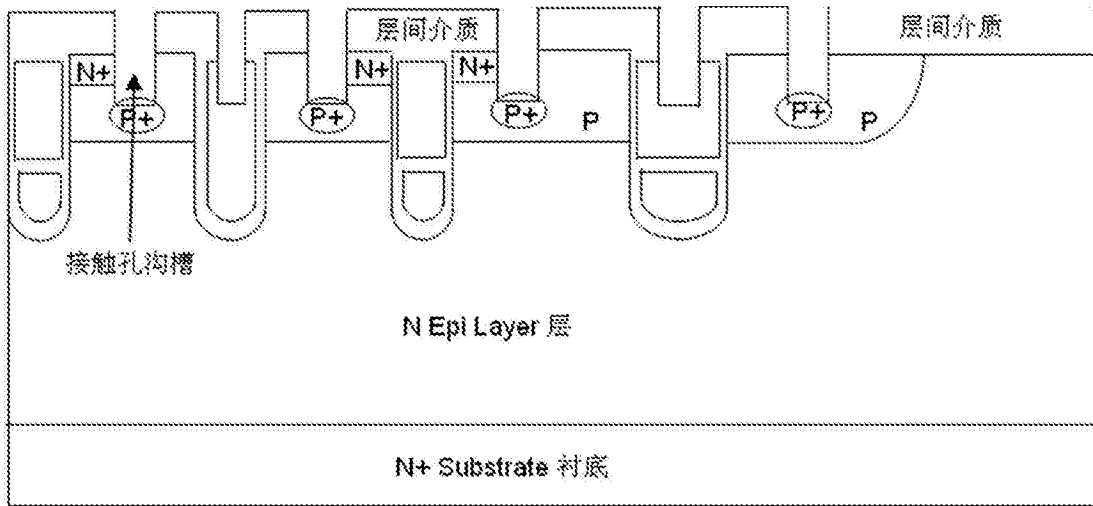


图 26

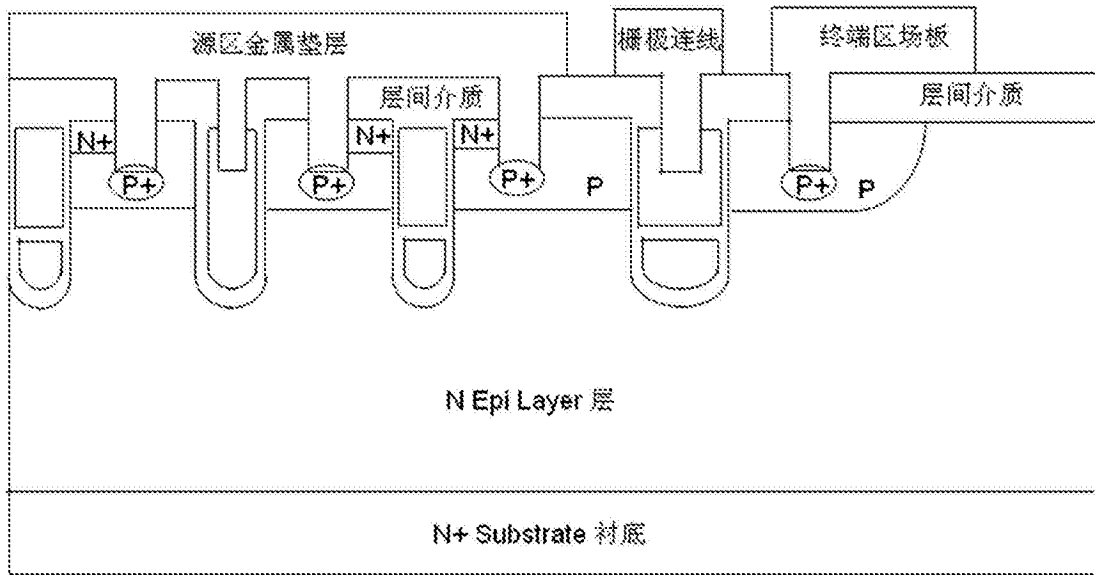


图 27