

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6515549号
(P6515549)

(45) 発行日 令和1年5月22日(2019.5.22)

(24) 登録日 平成31年4月26日(2019.4.26)

(51) Int.Cl. F I
HO2M 3/28 (2006.01) HO2M 3/28 V
 HO2M 3/28 L
 HO2M 3/28 P

請求項の数 6 (全 10 頁)

(21) 出願番号 特願2015-10757 (P2015-10757)
 (22) 出願日 平成27年1月22日(2015.1.22)
 (65) 公開番号 特開2016-135089 (P2016-135089A)
 (43) 公開日 平成28年7月25日(2016.7.25)
 審査請求日 平成29年12月14日(2017.12.14)

(73) 特許権者 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100112003
 弁理士 星野 裕司
 (74) 代理人 100145344
 弁理士 渡辺 和徳
 (72) 発明者 西島 健一
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 審査官 栗栖 正和

最終頁に続く

(54) 【発明の名称】 マルチ出力電源装置

(57) 【特許請求の範囲】

【請求項1】

一次巻線と二次巻線と補助巻線とを有する複数のトランスと、
 前記複数のトランスの各一次巻線にそれぞれ流れる電流を一括してオン・オフするスイッチング素子と、

前記複数のトランスの各補助巻線に誘起される電圧に基づいてフィードバック電圧を検出する複数のフィードバック電圧検出回路と、

前記複数のフィードバック電圧検出回路にてそれぞれ検出されたフィードバック電圧の平均値を求める平均値回路と、

前記平均値回路により求められたフィードバック電圧平均値に応じて前記スイッチング素子のオン・オフをフィードバック制御する制御回路と、
 を備え、

前記平均値回路は、複数のフィードバック信号入力端子を有し、該フィードバック信号入力端子がそれぞれ前記トランスの二次巻線側から絶縁されていることを特徴とするマルチ出力電源装置。

【請求項2】

前記補助巻線の1つは、該補助巻線に誘起される電圧を前記制御回路に供給する請求項1に記載のマルチ出力電源装置。

【請求項3】

前記複数のフィードバック電圧検出回路は、それぞれ、前記複数のトランスの各補助巻

10

20

線に誘起される電圧を分圧する分圧抵抗を有する請求項 1 または 2 に記載のマルチ出力電源装置。

【請求項 4】

前記制御回路は、前記平均値回路と一体に集積回路化されている請求項 1 から 3 のいずれか一項に記載のマルチ出力電源装置。

【請求項 5】

前記平均値回路は、 N 個 (N は 2 以上の整数) の前記フィードバック信号の各電圧 $V_{in1} \sim V_{inN}$ の総和を上記 N で除した出力電圧 V_o を前記フィードバック電圧平均値として求めるものである請求項 1 から 4 のいずれか一項に記載のマルチ出力電源装置。

【請求項 6】

前記制御回路は、前記フィードバック電圧平均値と所定の内部基準電圧とを比較して前記スイッチング素子をオン・オフ制御する PWM 信号を生成するものである請求項 1 から 5 のいずれか一項に記載のマルチ出力電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、並列に設けられた複数のトランスの各一次巻線にそれぞれ流れる電流を一括してオン・オフするスイッチング素子を備え、前記複数のトランスの各二次巻線にそれぞれ誘起される電圧から複数系統の出力電圧を得るマルチ出力電源装置に関する。

【背景技術】

【0002】

数 10 W 以下の小容量電力負荷に対する電源装置としてフライバック方式のスイッチング電源装置が注目されている。また最近ではこの種のスイッチング電源装置の構成部品点数を削減し、その構成の簡素化とコストダウンを図ることが要求されている。更には車載用のモータを駆動する 3 相インバータ用のスイッチング電源装置として、例えば出力電圧が 15 V、負荷電流が 50 mA 以下の複数系統の出力を得るマルチ出力電源装置も注目されている。

【0003】

図 4 (a) ~ (c) は、この種のマルチ出力電源装置の概略的な構成例を示すもので、 T_1 、 T_2 は並列に設けられたトランス、 Q_1 、 Q_2 は前記トランス T_1 、 T_2 の各一次巻線 P_1 、 P_2 に流れる電流をオン・オフする、例えばパワー MOS-FET や IGBT 等のスイッチング素子である。尚、前記トランス T_1 、 T_2 の各一次巻線 P_1 、 P_2 に流れる電流のオン・オフに伴って該トランス T_1 、 T_2 の二次巻線 S_1 、 S_2 にそれぞれ誘起される電圧は、ダイオード D_1 、 D_2 とコンデンサ C_1 、 C_2 とからなる整流平滑回路をそれぞれ介して複数系統の出力電圧 V_{out1} 、 V_{out2} として図示しない複数の負荷に対して並列に出力される。

【0004】

ちなみに図 4 (a) ~ (c) に示す IC_1 、 IC_2 は、前記スイッチング素子 Q_1 、 Q_2 をオン・オフする制御回路である。また FB_1 、 FB_2 は、前記トランス T_1 、 T_2 の各補助巻線 A_1 、 A_2 に誘起される電圧をフィードバック電圧 V_{fb1} 、 V_{fb2} として検出するフィードバック電圧検出回路である。これらのフィードバック電圧検出回路 FB_1 、 FB_2 は、前記トランス T_1 、 T_2 の各補助巻線 A_1 、 A_2 に誘起される電圧を整流するダイオードと、該ダイオードによる整流出力を平滑化するコンデンサとを備える。更に前記フィードバック電圧検出回路 FB_1 、 FB_2 は、前記コンデンサにより平滑化された電圧を分圧して前記制御回路 IC_1 、 IC_2 に対するフィードバック電圧を生成する分圧抵抗 R_a 、 R_b とにより構成される。

【0005】

ここで図 4 (a) に示すマルチ出力電源装置は、並列に設けられた 2 つの前記トランス T_1 、 T_2 の各一次巻線 P_1 、 P_2 にそれぞれ直列に接続された 2 つのスイッチング素子 Q_1 、 Q_2 を備え、これらのスイッチング素子 Q_1 、 Q_2 を 2 つの制御回路 IC_1 、 IC_2 にて

10

20

30

40

50

それぞれオン・オフ制御するように構成したものである。これ故、前記制御回路 IC 1, IC 2 にそれぞれ対応するフィードバック電圧検出回路 FB 1, FB 2 を備える。

【0006】

これに対して図4(b)に示すマルチ出力電源装置は、前記フィードバック電圧 Vfb1 を受けて動作する1つの制御回路 IC 1 にて前記スイッチング素子 Q 1, Q 2 を一括してオン・オフ制御するように構成したものである。従ってこの構成のマルチ出力電源装置によれば、図4(a)に示すマルチ出力電源装置に比較して前記制御回路 IC 2 と前記フィードバック電圧検出回路 FB 2 とをそれぞれ省略することができ、その構成部品の削減を図ることができる。

【0007】

更に図4(c)に示すマルチ出力電源装置は、前記スイッチング素子 Q 1 だけを用いて前記トランス T 1, T 2 の各一次巻線 P 1, P 2 にそれぞれ流れる電流を一括してオン・オフ制御するように構成したものである。従ってこの構成のマルチ出力電源装置によれば、図4(b)に示すマルチ出力電源装置に比較して更にスイッチング素子 Q 2 を省略することができ、その構成部品を大幅に削減することができる。換言すれば図4(c)に示す構成のマルチ出力電源装置によれば1つの制御回路 IC 1 と1つのスイッチング素子 Q 1 とを用いて2つのトランス T 1, T 2 の各一次巻線 P 1, P 2 に流れる電流を一括してオン・オフすることができる。従ってこの構成によれば、構成部品点数を大幅に削減して製造コストを下げることが可能となる。

【0008】

ここで上述した補助巻線 A 1 に誘起される電圧から前記制御回路 IC 1 に対するフィードバック電圧 Vfb1 を検出するフィードバック電圧検出回路 FB 1 の出力電圧(フィードバック電圧) Vout (= Vfb1) は、

$$V_{out} = V_{ref} \times (1 + R_a / R_b) \times (N_{sec} / N_{aux}) - V$$

として与えられる。但し、Vref は誤差アンプの基準電圧、Ra/Rb は前記分圧抵抗の抵抗値比、Nsec/Naux は前記トランス T 1 における二次巻線 S 1 と補助巻線 A 1 との巻き数比である。更に V は前記フィードバック電圧検出回路 FB 1 を構成するダイオード等によって発生する電位差である。

【0009】

ところで上述した如く構成されるマルチ出力電源装置における複数系統の出力電圧のレギュレーション性能は、各系統の負荷の影響を強く受ける。ここで或る系統の出力電圧が他系統の負荷が規定の範囲で変化に起因して変動する現象は、クロスレギュレーションと称される。このクロスレギュレーションの要因は、主として前記トランス T 1, T 2 における巻線間の結合度合いや、スナバ回路におけるサージ電圧等の影響であると考えられている。そしてこの種のクロスレギュレーションを抑制する技術として、例えば特許文献1には、前記フィードバック電圧 Vfb を検出する上での前記分圧抵抗 Ra, Rb を調整することで前記マルチ出力電源装置の基準電圧を補償することが紹介される。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開平8-78964号

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかしながら図5に出力電圧 Vout が [15.5V ± 1.5V] の3系統の出力を有するマルチ出力電源装置における各系統の出力電圧の変化を示すように、或る系統(例えば CH3)の負荷だけが重くなる、或いは軽くなると、その系統の出力電圧 Vout が大幅に変化するという問題が発生する。このような問題に対しては、専ら、電源設計のカット・アンド・トライに委ねられているのが実情である。

【0012】

10

20

30

40

50

ちなみに図5は、カット・アンド・トライしながら電源設計したマルチ出力電源装置における3つの各系統CH1～CH3の出力電圧の実測例を示している。しかしこの例においては、前記各系統CH1～CH3における出力電圧 V_{out} の許容変動幅 V_{out} がそれぞれ $3V (= \pm 1.5V)$ 以下となるように規定されているにも拘わらず、負荷変動に起因するクロスレギュレーションの影響を受けて系統CH3の出力電圧に $4V$ の電圧変化が生じていることが示される。

【0013】

本発明はこのような事情を考慮してなされたもので、その目的は、複数系統の出力に対するクロスレギュレーションの影響を緩和して複数系統の各出力電圧の変動を所定の許容変動幅以下に抑制することのできる簡易な構成のマルチ出力電源装置を提供することにある。

10

【0014】

特に本発明は、1つのスイッチング素子を用いて複数のトランスの各一次巻線にそれぞれ流れる電流を一括してオン・オフするように構成して構成部品点数を削減したマルチ出力電源装置において、クロスレギュレーションの影響を緩和し、その電源設計の容易化を図ったマルチ出力電源装置を提供することを目的としている。

【課題を解決するための手段】

【0015】

上述した目的を達成するべく本発明に係るマルチ出力電源装置は

一次巻線と二次巻線と補助巻線とを有する複数のトランスと、

20

前記複数のトランスの各一次巻線にそれぞれ流れる電流を一括してオン・オフするスイッチング素子と、

前記複数のトランスの各補助巻線に誘起される電圧に基づいてフィードバック電圧を検出する複数のフィードバック電圧検出回路と、

前記複数のフィードバック電圧検出回路にてそれぞれ求められた前記フィードバック電圧の平均値を求める平均値回路と、

前記平均値回路により求められたフィードバック電圧平均値に応じて前記スイッチング素子のオン・オフをフィードバック制御する制御回路と、

を備え、

前記平均値回路は、複数のフィードバック信号入力端子を有し、該フィードバック信号入力端子がそれぞれ前記トランスの二次巻線側から絶縁されていることを特徴としている

30

【0016】

前記補助巻線の1つは、該補助巻線に誘起される電圧を前記制御回路に供給するとよい。

【0017】

前記複数のフィードバック電圧検出回路は、それぞれ、前記複数のトランスの各補助巻線に誘起される電圧を分圧する分圧抵抗を有するとよい。

【0018】

前記制御回路は、前記平均値回路と一体に集積回路化されているとよい。

40

【0019】

前記平均値回路は、 N 個(N は2以上の整数)の前記フィードバック信号の各電圧 $V_{in1} \sim V_{inN}$ の総和を上記 N で除した出力電圧 V_o を前記フィードバック電圧平均値として求めるものであってよい。

前記制御回路は、前記フィードバック電圧平均値と所定の内部基準電圧とを比較して前記スイッチング素子をオン・オフ制御するPWM信号を生成するものであってよい。

【発明の効果】

【0020】

50

上記構成のマルチ出力電源装置によれば、複数系統の出力電圧に相当するフィードバック電圧の平均値を求め、スイッチング素子のオン・オフをフィードバック制御する制御回路に対して前記フィードバック電圧平均値をフィードバック信号として与えるだけで良い。従ってその構成が簡単であり、しかも複数系統の出力間のクロスレギュレーションの影響を緩和することができる。

【0021】

特にマルチ出力電源装置自体の構成の簡素化を図り、該マルチ出力電源装置の構成部品点数の削減を図りながら、前述した複数系統の出力間のクロスレギュレーションの影響を大幅に緩和することができる。従ってマルチ出力電源装置を設計するに際してのカット・アンド・トライを大幅に削減し、電源設計の容易化を図ることが可能となる等の実用上多大なる効果が奏せられる。

【図面の簡単な説明】

【0022】

【図1】本発明の一実施形態に係るマルチ出力電源装置の要部概略構成図。

【図2】図1に示すマルチ出力電源装置における平均値回路の構成例を示す図。

【図3】図1に示すマルチ出力電源装置におけるクロスレギュレーションの予測例を示す図。

【図4】従来の代表的なマルチ出力電源装置の構成例を示す図。

【図5】従来のマルチ出力電源装置におけるクロスレギュレーションの実測例を示す図。

【発明を実施するための形態】

【0023】

以下、本発明の一実施形態に係るマルチ出力電源装置について説明する。

図1は、本発明の一実施形態に係るマルチ出力電源装置の要部概略構成図である。このマルチ出力電源装置は複数系統の出力を有するものであって、基本的には前述した図4(c)に示したマルチ出力電源装置と同様に構成される。尚、ここでは2系統の出力を有するマルチ出力電源装置について示すが、N系統(Nは2以上の整数)の出力を有するマルチ出力電源装置についても本発明は同様に適用可能である。

【0024】

さてこの実施形態に係るマルチ出力電源装置は、並列に設けられた2つのトランスT1、T2と、これらのトランスT1、T2の各一次巻線P1、P2にそれぞれ流れる電流を一括してオン・オフする1つのスイッチング素子Q1とを備える。更にこのマルチ出力電源装置は、前記スイッチング素子Q1のオン・オフをフィードバック制御する1つの制御回路IC1を備えて構成される。

【0025】

ここでこのマルチ出力電源装置が特徴とするところは、前記2系統の各出力電圧 V_{out1} 、 V_{out2} に相当するフィードバック電圧 V_{fb1} 、 V_{fb2} をそれぞれ求める2つのフィードバック電圧検出回路FB1、FB2を備える。更にこのマルチ出力電源装置は、上記2つのフィードバック電圧 V_{fb1} 、 V_{fb2} の平均値をフィードバック電圧平均値 V_{fb_ave} として求めて前記制御回路IC1にフィードバックする平均値回路AVEを備えて構成される。

【0026】

尚、前記フィードバック電圧検出回路FB1、FB2は、例えば前記トランスT1、T2の各補助巻線A1、A2に誘起される電圧をそれぞれ整流・平滑化して検出し、これらの検出電圧を所定の抵抗値比からなる分圧抵抗Ra、Rbにて分圧することで前記フィードバック電圧 V_{fb1} 、 V_{fb2} をそれぞれ得るように構成される。またこの実施形態においては、前記フィードバック電圧検出回路FB1が前記トランスT1の補助巻線A1に誘起される電圧を整流・平滑化して求めた前記電圧は、前記制御回路IC1の駆動電圧VCCとして供給されるようになっている。

【0027】

ここで前記平均値回路AVEは、N系統(Nは2以上の整数)の出力からそれぞれ求め

10

20

30

40

50

た前記フィードバック電圧 $V_{in1} \sim V_{inN}$ の総和を上記 N で除した出力電圧 V_o

$$V_o = (1/N) \sum V_{inN}$$

を前記フィードバック電圧平均値 V_{fb_ave} として求める役割を担う。

【0028】

具体的には2系統の出力を有するマルチ出力電源装置の場合、前記平均値回路 AVE は前記フィードバック電圧平均値 V_{fb_ave} を

$$V_{fb_ave} = V_o = (V_{in1} + V_{in2}) / 2$$

として求めるように構成される。

【0029】

このような平均値処理を実行する前記平均値回路 AVE は、例えば図2に示すように2段の演算増幅回路 $OP1, OP2$ を用いて構成される。1段目の演算増幅回路 $OP1$ は、その非反転端子を接地し、並列に設けられた抵抗値が $R1$ の N 個の入力抵抗を反転端子に接続すると共に、前記反転端子と出力端子との間に抵抗値が $R2$ の帰還抵抗を接続して加算回路を構築したものである。特にこの演算増幅回路 $OP1$ は、前記入力抵抗と前記帰還抵抗の抵抗値比 $(R1/R2)$ を N に設定することで前記出力端子に生じる加算出力を $(1/N)$ に除算し、

$$V_m = - (1/N) \sum V_{inN}$$

なる出力電圧 V_m を出力する。

【0030】

また2段目の演算増幅回路 $OP2$ は、その非反転端子を接地し、反転端子に抵抗値が $R3$ の入力抵抗を接続すると共に、前記反転端子と出力端子との間に抵抗値が $R3$ の帰還抵抗を接続したものである。この演算増幅回路 $OP2$ は、前記演算増幅回路 $OP1$ の出力電圧 V_m を反転することで

$$V_o = -V_m = (1/N) \sum V_{inN}$$

なる出力電圧 V_o を得、これを前記フィードバック電圧平均値 V_{fb_ave} として出力する反転バッファとしての役割を担う。

【0031】

このような平均値回路 AVE を備えて構成されたマルチ出力電源装置によれば、複数系統の出力電圧のそれぞれに相当する前記フィードバック電圧 $V_{in1} \sim V_{inN}$ を平均化した前記フィードバック電圧平均値 V_{fb_ave} を前記制御回路 $IC1$ にフィードバックする。この結果、前記制御回路 $IC1$ においては、前記フィードバック電圧平均値 V_{fb_ave} に基づいて前述したように前記スイッチング素子 $Q1$ のオン・オフをフィードバック制御する PWM 信号を生成することになる。

【0032】

従って上記構成のマルチ出力電源装置によれば、複数系統の負荷が一定の場合だけでなく、或る系統の負荷に大幅な変動が生じた場合であっても、その負荷変動に応じて変化する前記フィードバック電圧平均値 V_{fb_ave} に基づいて前記スイッチング素子 $Q1$ のオン・オフをフィードバック制御することが可能となる。換言すれば、或る系統の負荷変動に伴う出力電圧 V_{out} の変化が無視されることなく、前記フィードバック電圧平均値 V_{fb_ave} の変化として前記制御回路 $IC1$ にフィードバックされる。この結果、或る系統の負荷変動に起因するクロスレギュレーションを抑制することが可能となる。そして各系統での出力電圧 V_{out} の変動をそれぞれその仕様範囲内に抑えることが可能となる。

【0033】

図3は、出力電圧 V_{out} が $[15.5V \pm 1.5V]$ の3系統の出力を有する上述した構成の本発明に係るマルチ出力電源装置における各系統の出力電圧 V_{out} の変化、即ち、クロスレギュレーションの予測例を示している。図3に示すように或る系統(例えば $CH3$)の負荷だけが重くなる、或いは軽くなっても、その負荷変動に伴う出力電圧 V_{out} の変化が前記フィードバック電圧平均値 V_{fb_ave} として前記制御回路 $IC1$ にフィードバックされ、当該系統の出力電圧 V_{out} の変動幅を抑えることが可能となる。そして前記各系統 $CH1 \sim CH3$ における出力電圧 V_{out} の変動を、それぞれその許容変動幅 ΔV_{out} 、例えば

10

20

30

40

50

3 V (= ± 1 . 5 V) 以下に抑えることが可能となる。

【 0 0 3 4 】

故に本発明に係るマルチ出力電源装置によれば、複数系統の出力間におけるクロスレギュレーションを抑えることができるので、前記各系統の出力電圧に対する仕様を容易に満足させることができる。従って従来のようにカット・アンド・トライを繰り返して電源設計を行う必要がなくなるので、電源設計の容易化と設計期間の短縮化を図ることができる。更には前述した如く構成部品点数の削減を図りながら所要とする電源性能を確保することができるので、コストダウン効果も期待することかできる。

【 0 0 3 5 】

尚、本発明は上述した実施形態に限定されるものではない。例えば前述した平均値回路 A V E を前記制御回路 I C 1 に一体に組み込むことも勿論可能である。但し、この場合には前記制御回路 I C 1 に前記複数系統のそれぞれに対応したフィードバック信号の入力端子を設けておくことが必要である。またここでは 2 系統の出力を有するマルチ出力電源装置を例に説明したが、N 系統 (N は 2 以上の整数) の出力を有するマルチ出力電源装置にも同様に適用可能なことは言うまでもない。

10

【 0 0 3 6 】

更に実施形態においては前記トランス T 1 , T 2 の各補助巻線 A 1 , A 2 に誘起される電圧から前記フィードバック電圧 V in 1 , V in 2 を検出した。しかし前記トランス T 1 , T 2 の各二次巻線 S 1 , S 2 側における出力電圧 V out 1 , V out 2 から前記フィードバック電圧 V in 1 , V in 2 をそれぞれ検出し、フォトカプラ P C を介して前記各フィードバック電圧 V in 1 , V in 2 を前記トランス T 1 の一次巻線 P 1 側に伝達するように構成することも勿論可能である。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施することができる。

20

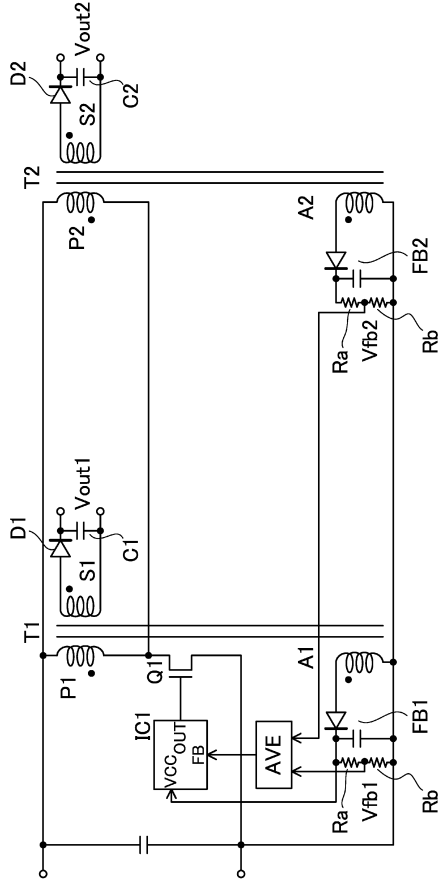
【 符号の説明 】

【 0 0 3 7 】

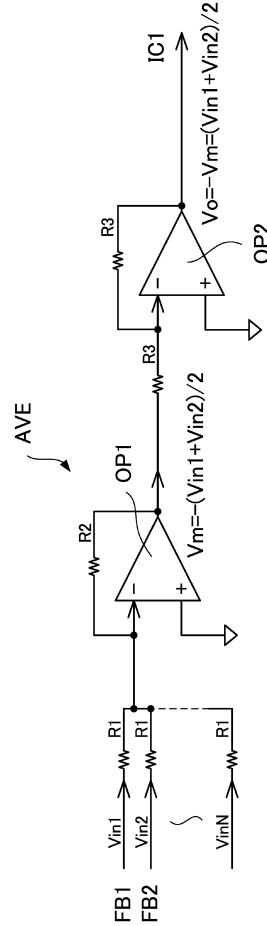
T 1 , T 2 トランス
 P 1 , P 2 一次巻線
 S 1 , S 2 二次巻線
 A 1 , A 2 補助巻線
 Q 1 スイッチング素子
 I C 1 制御回路
 F B 1 , F B 2 フィードバック電圧検出回路
 A V E 平均値回路
 O P 1 , O P 2 演算増幅回路

30

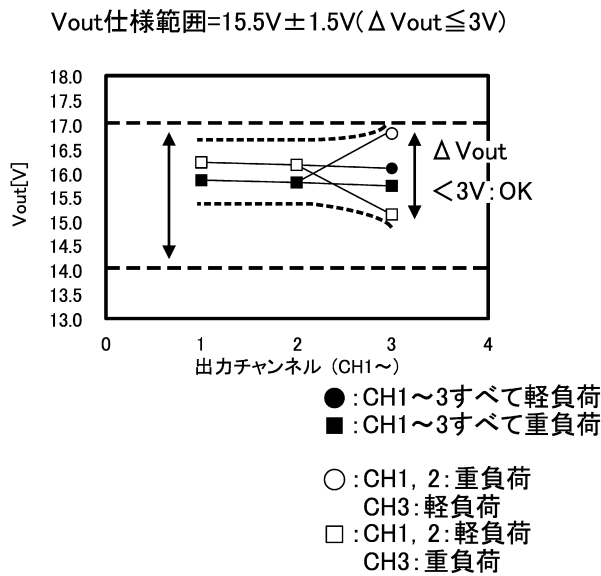
【 図 1 】



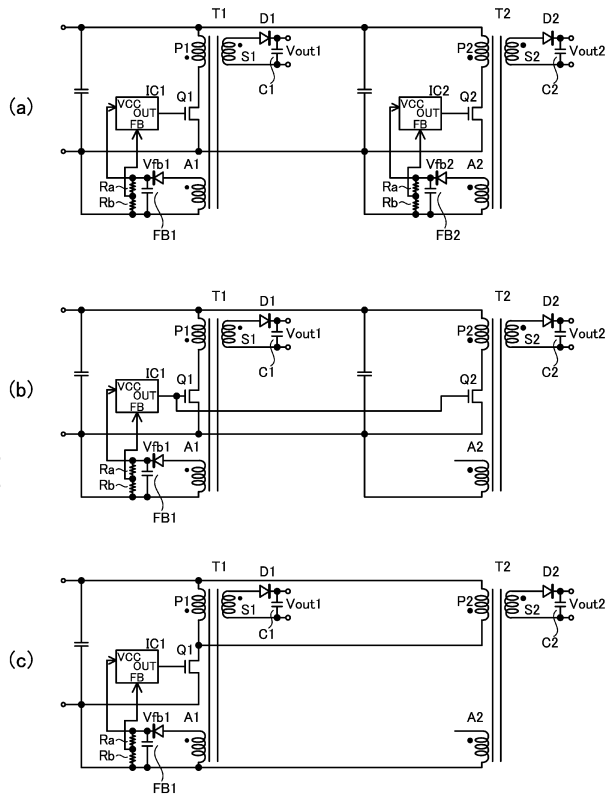
【 図 2 】



【 図 3 】

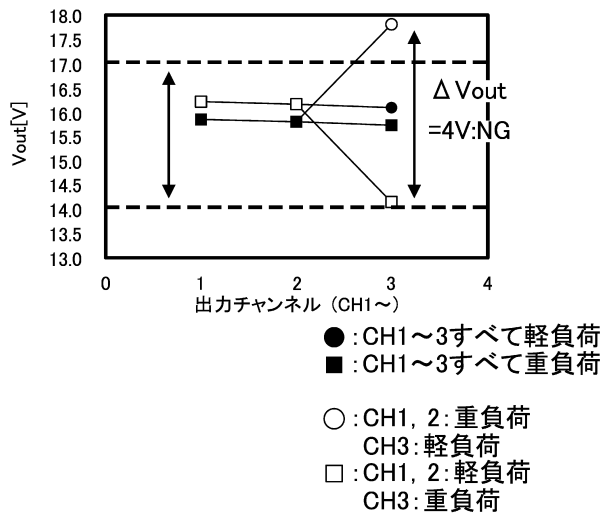


【 図 4 】



【 図 5 】

Vout仕様範囲=15.5V±1.5V($\Delta V_{out} \leq 3V$)



フロントページの続き

- (56)参考文献 特開昭55-136872(JP,A)
特開2008-172979(JP,A)
特開平11-178356(JP,A)
特開2012-120304(JP,A)
特開2010-088251(JP,A)
特開2004-173381(JP,A)
国際公開第2014/170976(WO,A1)
特開2013-126373(JP,A)
特開昭62-196071(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/28