



(12) 发明专利

(10) 授权公告号 CN 107731779 B

(45) 授权公告日 2023. 06. 30

(21) 申请号 201710671430.X

(22) 申请日 2017.08.08

(65) 同一申请的已公布的文献号
申请公布号 CN 107731779 A

(43) 申请公布日 2018.02.23

(30) 优先权数据
2016-157973 2016.08.10 JP

(73) 专利权人 瑞萨电子株式会社
地址 日本东京都

(72) 发明人 板东晃司 武藤晃

(74) 专利代理机构 北京市金杜律师事务所
11256
专利代理师 陈伟 闫剑平

(51) Int.Cl.

H01L 23/50 (2006.01)

H01L 23/31 (2006.01)

(56) 对比文件

CN 207233730 U, 2018.04.13

JP 2010087111 A, 2010.04.15

JP 2015023086 A, 2015.02.02

JP 2016100479 A, 2016.05.30

审查员 郭丹

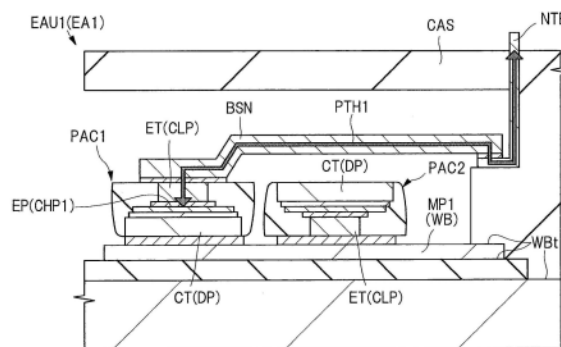
权利要求书4页 说明书28页 附图28页

(54) 发明名称

电子装置

(57) 摘要

本发明提供一种电子装置,目的在于提高半导体装置的性能。搭载于基板(WB)上的半导体装置(PAC1)及半导体装置(PAC2)分别具有与半导体芯片(CHP1)的表面电极电连接且从位于半导体芯片(CHP1)的表面侧的封固体的主面露出的发射极端子(ET)。另外,半导体装置(PAC1)及半导体装置(PAC2)分别具有与半导体芯片(CHP1)的背面电极电连接且从位于半导体芯片(CHP1)的背面侧的封固体的主面露出的集电极端子(CT)。另外,半导体装置(PAC1)的集电极端子(CT)经由形成于基板(WB)的上表面(WBt)的导体图案(MP1)与半导体装置(PAC2)的发射极端子ET电连接。



1. 一种电子装置,其特征在于,包含:

框体;

从所述框体露出的第一外部端子、第二外部端子、第三外部端子、及第四外部端子;

基板,其具有第一面及形成于所述第一面的第一导体图案;

第一半导体装置,其搭载于所述基板的所述第一面;以及

第二半导体装置,其搭载于所述基板的所述第一面,

所述第一半导体装置及所述第二半导体装置分别由第一半导体芯片、第一端子、第二端子、第三端子、以及封固体构成,

所述第一半导体芯片具备功率晶体管,且具备第一表面、形成于所述第一表面的第一表面电极、形成于所述第一表面的第二表面电极、所述第一表面相反侧的第一背面、及形成于所述第一背面的第一背面电极,

所述第一端子与所述第一半导体芯片的所述第一表面电极电连接,

所述第二端子与所述第一半导体芯片的所述第一表面相对,且与所述第一半导体芯片的所述第二表面电极电连接,

所述第三端子与所述第一半导体芯片的所述第一背面相对,且与所述第一半导体芯片的所述第一背面电极电连接,

所述封固体具有第一主面、所述第一主面相反侧的第二主面、及所述第一主面和所述第二主面之间的侧面,所述封固体将所述第一半导体芯片封固,

所述第一端子从所述封固体的所述侧面朝向外侧突出,

所述第二端子从所述封固体的所述第一主面露出,

所述第三端子从所述封固体的所述第二主面露出,

所述第一半导体装置的所述封固体的所述第二主面与所述基板的所述第一面相对,

所述第二半导体装置的所述封固体的所述第一主面与所述基板的所述第一面相对,

所述第一半导体装置的所述第一背面电极经由所述基板的形成于所述第一面的所述第一导体图案及所述第一半导体装置的所述第三端子与所述第二半导体装置的所述第二表面电极电连接,

所述第一半导体装置的所述第一表面电极经由所述第一半导体装置的所述第一端子与所述第一外部端子电连接,

所述第二半导体装置的所述第一表面电极经由所述第二半导体装置的所述第一端子与所述第二外部端子电连接,

所述第一半导体装置的所述第二表面电极经由所述第一半导体装置的所述第二端子及所述第一半导体装置的配置于所述封固体的所述第一主面上的第一导体棒与所述第三外部端子电连接,

所述第二半导体装置的所述第一背面电极经由所述第二半导体装置的所述第三端子及所述第二半导体装置的配置于所述封固体的所述第二主面上的第二导体棒与所述第四外部端子电连接。

2. 根据权利要求1所述的电子装置,其特征在于,

所述框体具有第五外部端子,

所述第一导体图案与所述第五外部端子连接。

3. 根据权利要求2所述的电子装置,其特征在于,

所述第一半导体装置的所述第二表面电极和所述第三外部端子电连接的第一路径的路径距离比将所述第一半导体装置的所述第一背面电极和所述第五外部端子电连接的第二路径的路径距离短。

4. 根据权利要求2所述的电子装置,其特征在于,

将所述第二半导体装置的所述第一背面电极和所述第四外部端子电连接的第三路径的路径距离比将所述第一半导体装置的所述第一背面电极和所述第五外部端子电连接的第二路径的路径距离短。

5. 根据权利要求1所述的电子装置,其特征在于,

所述第一导体棒及所述第二导体棒分别与包含所述基板的形成于所述第一面的所述第一导体图案在内的所有导体图案电隔离。

6. 根据权利要求1所述的电子装置,其特征在于,

所述基板的所述第一面被所述框体覆盖。

7. 根据权利要求1所述的电子装置,其特征在于,

所述第一半导体装置的所述第一端子不经由所述基板地与所述第一外部端子连接,所述第二半导体装置的所述第一端子不经由所述基板地与所述第二外部端子连接。

8. 根据权利要求7所述的电子装置,其特征在于,

在所述封固体的厚度方向上,所述第一半导体装置的所述第一端子具有从所述第二主面侧向朝向所述第一主面侧的方向弯曲的弯曲部,

在所述封固体的厚度方向上,所述第二半导体装置的所述第一端子具有从所述第一主面侧向朝向所述第二主面侧的方向弯曲的弯曲部。

9. 根据权利要求1所述的电子装置,其特征在于,

所述基板具有金属制的基材、位于所述基材的一面上且比所述基材的厚度薄的绝缘膜、位于所述绝缘膜上的所述第一导体图案。

10. 根据权利要求1所述的电子装置,其特征在于,

所述第一半导体装置及所述第二半导体装置分别包含第二半导体芯片,所述第二半导体芯片具有第二表面、形成于所述第二表面的第三表面电极、所述第二表面相反侧的第二背面、及形成于所述第二背面的第二背面电极,

所述第一半导体芯片的所述第二表面电极和所述第二半导体芯片的所述第三表面电极经由所述第二端子电连接,

所述第一半导体芯片的所述第一背面电极和所述第二半导体芯片的所述第二背面电极经由所述第三端子电连接。

11. 根据权利要求1所述的电子装置,其特征在于,

在所述基板上搭载有俯视时沿着第一方向排列的第一单元、第二单元、及第三单元,所述第一单元、所述第二单元、及所述第三单元分别具有所述第一半导体装置、及所述第二半导体装置,

所述第一导体棒具有沿着第一方向延伸的第一部分,且与所述第一单元的所述第一半导体装置的所述第二端子、所述第二单元的所述第一半导体装置的所述第二端子、及所述第三单元的所述第一半导体装置的所述第二端子连接,

所述第二导体棒具有沿着第一方向延伸的第二部分,且与所述第一单元的所述第二半导体装置的所述第三端子、所述第二单元的所述第二半导体装置的所述第三端子、及所述第三单元的所述第二半导体装置的所述第三端子连接。

12. 根据权利要求11所述的电子装置,其特征在于,

在俯视时,所述第一导体棒的所述第一部分和所述第二导体棒的第二部分重叠。

13. 根据权利要求12所述的电子装置,其特征在于,

在俯视时,所述第一导体棒的所述第一部分及所述第二导体棒的第二部分分别配置在与多个所述第一半导体装置及多个所述第二半导体装置各自重叠的位置,

多个所述第一半导体装置及多个所述第二半导体装置分别沿着所述第一方向使所述第一半导体装置和所述第二半导体装置彼此相邻地交替排列。

14. 根据权利要求11所述的电子装置,其特征在于,

所述第一导体棒的所述第一部分及所述第二导体棒的第二部分各自的厚度比所述第一导体图案的厚度厚。

15. 根据权利要求1所述的电子装置,其特征在于,

所述基板的所述第一面被所述框体覆盖,

所述第三外部端子及所述第四外部端子配置于所述框体中覆盖所述基板的所述第一面的部分,

所述第一导体棒具有从与所述第一半导体装置的所述第二端子的连接部分朝向与所述第三外部端子的连接部分沿所述电子装置的厚度方向延伸的部分,

所述第二导体棒具有从与所述第二半导体装置的所述第三端子的连接部分朝向与所述第四外部端子的连接部分沿所述电子装置的厚度方向延伸的部分。

16. 根据权利要求15所述的电子装置,其特征在于,

所述框体具有第五外部端子,

所述第一导体图案具有将所述第一导体图案和所述第五外部端子电连接的第三导体棒,

所述第三导体棒具有从与所述第一导体图案的连接部分朝向与所述第五外部端子的连接部分沿所述电子装置的厚度方向延伸的部分。

17. 根据权利要求16所述的电子装置,其特征在于,

所述第一导体棒的延伸距离及所述第二导体棒的延伸距离分别比所述第三导体棒的延伸距离短。

18. 一种电子装置,其特征在于,包含:

基板,其具有第一面及形成于所述第一面的第一导体图案;

第一半导体装置,其搭载于所述基板的第一面;以及

第二半导体装置,其搭载于所述基板的第一面,

所述第一半导体装置及所述第二半导体装置分别由第一半导体芯片、第一端子、第二端子、第三端子、以及封固体构成,

所述第一半导体芯片具备功率晶体管,且具备第一表面、形成于所述第一表面的第一表面电极、形成于所述第一表面的第二表面电极、所述第一表面相反侧的第一背面、及形成于所述第一背面的第一背面电极,

所述第一端子与所述第一半导体芯片的所述第一表面电极电连接，

所述第二端子与所述第一半导体芯片的所述第一表面相对，且与所述第一半导体芯片的所述第二表面电极电连接，

所述第三端子与所述第一半导体芯片的所述第一背面相对，且与所述第一半导体芯片的所述第一背面电极电连接，

所述封固体具有第一主面、所述第一主面相反侧的第二主面、及所述第一主面和所述第二主面之间的侧面，所述封固体将所述第一半导体芯片封固，

所述第一端子从所述封固体的所述侧面朝向外侧突出，

所述第二端子从所述封固体的所述第一主面露出，

所述第三端子从所述封固体的所述第二主面露出，

所述第一半导体装置的所述封固体的所述第二主面与所述基板的所述第一面相对，

所述第二半导体装置的所述封固体的所述第一主面与所述基板的所述第一面相对，

所述第一半导体装置的所述第一背面电极经由所述基板的形成于所述第一面的所述第一导体图案及第一半导体装置的所述第三端子与所述第二半导体装置的所述第二表面电极电连接，

所述第一半导体装置的所述第二端子及所述第二半导体装置的所述第三端子分别与从包含所述第一导体图案在内的所有导体图案电隔离，且所述第一半导体装置的所述第二端子与所述第二半导体装置的所述第三端子被彼此电隔离。

电子装置

技术领域

[0001] 本发明涉及电子装置(半导体模块),例如涉及应用于在基板上搭载有多个半导体装置的电子装置的有效技术。

背景技术

[0002] 日本特开2015-50356号公报(专利文献1)中记载有一种半导体装置,在布线基板上搭载有多个将形成有绝缘栅双极晶体管(IGBT:Insulated Gate Bipolar Transistor)的半导体芯片、和形成有二极管的半导体芯片封固了的半导体装置。

[0003] 另外,日本特开2011-216822号公报(专利文献2)中记载有一种半导体模块,在半导体元件的表面侧和背面侧分别连接有取出电极。

[0004] 另外,日本特开2005-294464号公报(专利文献3)中记载有一种半导体装置,在导体图案上搭载有分别具有场效应晶体管的多个半导体芯片。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:日本特开2015-50356号公报

[0008] 专利文献2:日本特开2011-216822号公报

[0009] 专利文献3:日本特开2005-294464号公报

[0010] 在驱动空调装置或汽车、或者各种产业设备等的电力供给系统中装入逆变器电路等电力转换装置。作为该电力转换装置的结构例,有将具有作为开关元件进行动作的晶体管(功率晶体管)的多个半导体芯片搭载于一个基板上并将彼此电连接的电子装置(电力转换装置、半导体模块)。

[0011] 作为电子装置的方式,有将直接搭载于基板上的多个半导体芯片经由基板上的布线或导线等导电性部件彼此电连接的结构。该情况下,对电子装置的小型化是有效的。但是,由于在电子装置的基板上进行在半导体芯片的电极上连接导线等导电性部件的工序、或者将半导体芯片的周围封固的工序,所以从制造效率或者可靠性的观点出发,有改善的余地。

[0012] 因此,本申请发明人对取代在基板上直接搭载多个半导体芯片的方式(以下记载为裸片搭载方式),对在基板上搭载树脂封固了半导体芯片的多个半导体封装(半导体装置)的方式(以下记载为封装搭载方式)进行了探讨。在封装搭载方式的情况下,在将半导体封装搭载于基板之前预先实施在半导体芯片的电极上连接导线等导电性部件的工序、或者将半导体芯片的周围封固的工序。因此,从电子装置的制造效率、或者可靠性的观点出发,封装搭载方式更优选裸片搭载方式。

[0013] 但是,在探讨了封装搭载方式的性能提高的情况下,还有其他改善的余地。例如,电子装置的外部端子经由半导体封装的端子与半导体芯片的电极连接。因此,通过进行半导体封装的设计等,能够改善电子装置的内部电路的电气特性。

发明内容

[0014] 本发明的目的在于提供一种能够提高半导体装置的性能的电子装置。

[0015] 其它课题和新颖的特征能够根据本说明书的描述及附图来理解。

[0016] 一实施方式的电子装置包含搭载于基板的第一面上的、第一半导体装置及第二半导体装置。所述第一半导体装置及所述第二半导体装置分别具有半导体芯片,所述半导体芯片具有表面、形成于所述表面的表面电极、所述表面的相反侧的背面、及形成于所述背面的背面电极。另外,所述第一半导体装置及所述第二半导体装置分别具有封固体,所述封固体具有第一主面及所述第一主面的相反侧的第二主面,将所述半导体芯片封固。另外,所述第一半导体装置及所述第二半导体装置分别具有与所述半导体芯片的所述表面电极电连接且从位于所述半导体芯片的所述表面侧的所述封固体的所述第一主面露出的表面端子、和与所述半导体芯片的所述背面电极电连接且从位于所述半导体芯片的所述背面侧的所述封固体的所述第二主面露出的表面端子。另外,所述第一半导体装置的所述背面电极经由形成于所述基板的所述第一面的第一导体图案与所述第二半导体装置的所述表面电极电连接。

[0017] 发明效果

[0018] 根据所述一实施方式,能够提高半导体装置的性能。

附图说明

[0019] 图1是在直流电源与3相感应电机之间配置有3相逆变器电路的电路图。

[0020] 图2是说明3相逆变器电路的动作用的时间图。

[0021] 图3是表示包含实施方式1的逆变器电路及3相感应电机的电机电路的结构的电路图。

[0022] 图4是表示实施方式1的电子装置的外观的立体图。

[0023] 图5是表示图4所示的电子装置的内部构造的俯视图。

[0024] 图6是表示形成有图3所示晶体管的半导体芯片的表面侧的形状的俯视图。

[0025] 图7是表示图6所示的半导体芯片的背面的俯视图。

[0026] 图8是表示图6及图7所示的半导体芯片具有的晶体管的构造例的剖视图。

[0027] 图9是表示形成有图3所示的二极管的半导体芯片的表面侧的形状的俯视图。

[0028] 图10是表示图9所示的半导体芯片的背面的俯视图。

[0029] 图11是表示图9及图10所示的半导体芯片具有的二极管的构造例的剖视图。

[0030] 图12是表示图5所示的多个半导体装置中的一个的一主面侧的形状例的俯视图。

[0031] 图13是表示图12所示的半导体装置的相反侧的主面的形状例的俯视图。

[0032] 图14是表示图12及图13所示的半导体装置的内部构造的俯视图。

[0033] 图15是沿着图12的A-A线的剖视图。

[0034] 图16是将图5所示的3个单元中的一个放大示出的放大俯视图。

[0035] 图17是表示与图16所示的单元对应的电路要素的电路图。

[0036] 图18是沿着图16的A-A线的剖视图。

[0037] 图19是沿着图16的B-B线的剖视图。

[0038] 图20是沿着将低压侧的端子和半导体芯片的电极电连接的路径的剖视图。

- [0039] 图21是沿着将高压侧的端子和半导体芯片的电极电连接的路径的剖视图。
- [0040] 图22是沿着图5的A-A线的剖视图。
- [0041] 图23是表示图14及图15所示的半导体装置的组装流程的说明图。
- [0042] 图24是表示接着图23的半导体装置的组装流程的说明图。
- [0043] 图25是表示接着图24的半导体装置的组装流程的说明图。
- [0044] 图26是表示在图24所示的封固工序中形成有封固半导体芯片的封固体的状态的放大剖视图。
- [0045] 图27是表示实施方式2的电子装置的电路结构例的电路图。
- [0046] 图28是表示图27所示的电子装置的外观形状的立体图。
- [0047] 图29是表示图28所示的电子装置的内部构造的俯视图。
- [0048] 图30是沿着图29的A-A线的剖视图。
- [0049] 图31是沿着图29的B-B线的剖视图。
- [0050] 图32是沿着图29的C-C线的剖视图。

具体实施方式

[0051] (本申请中的记载形式、基本的术语、用法的说明)

[0052] 在本申请中,关于实施方式的记载,根据需要为了方便而分为几个部分等来进行记载,但除特别明示不是这样的情况以外,它们之间并不是彼此独立的,与记载的前后顺序无关地,关于单个例子的各部分,一方是另一方的一部分详细情况或一部分或全部的变形例等。另外,原则上,对同样的部分省略重复的说明。另外,实施方式中的各结构要素在除特别明示不是这样的情况、理论上限定于该数的情况以及从上下文来看明显不是这样的情况以外,不是必须的。

[0053] 同样地,在实施方式等的记载中,关于材料、组分等,即使说“由A构成的X”等,除特别明示不是这样的情况及从上下文来看明显不是这样的情况以外,不排除包含A以外的要素。例如,就成分来说,是“作为主要成分而含有A的X”等的意思。例如,即使说“硅部件”等,也并不限于单纯的硅,当然也包含SiGe(硅/锗)合金等其它以硅为主要成分的多元合金、含有其它添加物等的部件。另外,即使说镀金、Cu层、镀镍等,除特别明示不是这样的情况以外,不仅包含单纯的相应元素的情况,还包含分别以金、Cu、镍等为主要成分的部件。

[0054] 而且,在提及特定的数值、数量时,除了特别明示不是这样的情况、理论上限定于该数的情况以及从上下文来看明显不是这样的情况以外,可以是超过该特定数值的数值,也可以是不足该特定数值的数值。

[0055] 另外,在实施方式的各图中,相同或等同的部分用相同或类似的符号或附图标记来表示,原则上不重复进行说明。

[0056] 另外,在附图中,有时在反而会变得繁杂的情况或与空隙之间的区别明确的情况下,即使是剖面也将其省略。与之相关联地,有时在根据说明等是明确的情况等下,即使是平面上封闭的孔,也省略背景的轮廓线。而且,有时即使不是剖面,为了明示不为空隙、或者明示区域的边界也标注影线或点图案。

[0057] (实施方式1)

[0058] 本实施方式中,作为上搭载有多个半导体装置电子装置的例子,例举具备逆变

器电路(电力转换装置)的半导体模块即电力转换装置进行说明。

[0059] 逆变器电路是指将直流电转换成交流电的电路。例如,若将直流电源的正和负交替输出,则相应地,电流的方向也反转。该情况下,由于电流的方向交替反转,所以能够认为输出是交流电。这是逆变器电路的原理。在此,即使是交流电,也如单相交流电或3相交流电为代表那样有各种方式。本实施方式1中,以将直流电转换成3相交流电的3相逆变器电路为例进行说明。但是,本实施方式1的技术思想不限于3相逆变器电路,例如也能够广泛应用于单相逆变器电路等。

[0060] <3相逆变器电路的结构>

[0061] 图1是在直流电源和3相感应电机MT之间配置有3相逆变器电路INV的电路图。如图1所示,为了从直流电源E转换成3相交流电,使用由开关SW1~SW6这6个开关构成的3相逆变器电路INV。具体而言,如图1所示,3相逆变器电路INV具有将开关SW1与开关SW2串联连接的桥臂LG1、将开关SW3与开关SW4串联连接的桥臂LG2、和将开关SW5与开关SW6串联连接的桥臂LG3,桥臂LG1~桥臂LG3并联连接。此时,开关SW1、开关SW3、开关SW5构成上桥臂,开关SW2、开关SW4、开关SW6构成下桥臂。

[0062] 另外,开关SW1与开关SW2之间的点U、和3相感应电机MT的U相彼此连接。同样地,开关SW3与开关SW4之间的点V、和3相感应电机MT的V相彼此连接,开关SW5与开关SW6之间的点W、和3相感应电机MT的W相彼此连接。这样,构成3相逆变器电路INV。

[0063] <电路动作>

[0064] 接着,说明具有上述结构的3相逆变器电路INV的动作。图2是说明3相逆变器电路INV的动作的时间图。如图2所示,在3相逆变器电路INV中,由开关SW1及开关SW2构成的桥臂LG1(参照图1)如下进行动作。例如,在开关SW1导通时,开关SW2断开。另一方面,在开关SW1断开时,开关SW2导通。另外,由开关SW3及开关SW4构成的桥臂LG2(参照图1)及由开关SW5及开关SW6构成的桥臂LG3(参照图1)也分别与桥臂LG1同样地动作。即,在开关SW3导通时,开关SW4断开,另外,在开关SW3断开时,开关SW4导通。另外,在开关SW5导通时开关SW6断开。另一方面,在开关SW5断开时,开关SW6导通。

[0065] 而且,如图2所示,3组开关对(即图1所示的桥臂LG1、LG2、及LG3)的开关动作以彼此具有120度的相位差的方式进行。此时,点U、点V、点W各自的电位根据3组开关对的开关动作变化为0和E0。另外,例如,U相和V相之间的线间电压是从U相的电位减去V相的电位所得的值,因此,描绘变化为 $+E_0$ 、0、 $-E_0$ 的电压波形。V相和W相之间的线间电压成为相位相对于U相和V相之间的线间电压错开120度的电压波形,进而,W相和U相之间的线间电压成为相位相对于V相和W相之间的线间电压错开120度的电压波形。这样,通过使开关SW1~开关SW6进行开关动作,各线间电压成为阶梯状的交流电压波形,且彼此的线间电压的交流电压波形具有120度的相位差。因此,根据3相逆变器电路INV,能够将从直流电源E供给的直流电转换成3相交流电。

[0066] <电路结构例>

[0067] 本实施方式1的电子装置例如用于汽车或空调装置(空调器:air conditioner)或产业设备等中使用的3相感应电机的驱动电路。该驱动电路包含逆变器电路,该逆变器电路是具有将直流电转换为交流电的功能的电路。图3是表示包含本实施方式1的逆变器电路及3相感应电机的电机电路的结构的电路图。

[0068] 图3中,电机电路具有3相感应电机MT及逆变器电路INV。3相感应电机MT通过相位不同的3相电压驱动。3相感应电机MT中,利用具有彼此错开120度的相位的被称作U相、V相、W相的3相交流,在作为导体的转子RT的周围产生旋转磁场。该情况下,磁场绕转子RT旋转。这意味着横切作为导体的转子RT的磁通发生变化。其结果为,在作为导体的转子RT上产生电磁感应,在转子RT中流通感应电流。在旋转磁场中流通感应电流意味着根据弗莱明的左手定则在转子RT上施加力,通过该力,使转子RT进行旋转。像这样,在3相感应电机MT中,通过利用3相交流,能够使转子RT旋转。因此,在3相感应电机MT中,需要3相交流。因此,在电机电路中,通过利用从直流产生交流的逆变器电路INV,向3相感应电机供给3相交流。

[0069] 以下,对该逆变器电路INV的实际的结构例进行说明。如图3所示,例如,在本实施方式1的逆变器电路INV中,与3相对应地设置有晶体管Q1和二极管FWD。即,在实际的逆变器电路INV中,例如,图1所示的开关SW1~开关SW6分别由如图3所示的将晶体管Q1和二极管FWD反相并联连接的结构要素构成。即,在图3中,桥臂LG1的上桥臂及下桥臂、桥臂LG2的上桥臂及下桥臂、桥臂LG3的上桥臂及下桥臂分别由将晶体管Q1和二极管FWD反相并联连接的结构要素构成。

[0070] 图3所示的晶体管Q1是电力转换电路等被嵌入有大电流流过的电路中的、功率晶体管(电力电路用晶体管),在本实施方式1的例子中例如是IGBT。作为变形例,作为逆变器电路INV的开关元件,也可以使用功率MOSFET(Metal Oxide Semiconductor Field Effect Transistor:金属-氧化物半导体场效应晶体管)。根据该功率MOSFET,由于是利用对栅电极施加的电压来控制导通/断开动作的电压驱动型,所以具有能够高速进行开关的优点。另一方面,在功率MOSFET中,具有如下的性质:伴随实现高耐压化,导通电阻变高,从而发热量增大。这是由于,在功率MOSFET中,通过加厚低浓度的外延层(漂移层)的厚度,来确保耐压,但当低浓度的外延层的厚度加厚时,作为副作用而导致电阻变大。

[0071] 另外,作为开关元件,还存在能够处理大电力的双极晶体管,但由于双极晶体管是通过基极电流来控制导通/断开动作的电流驱动型,所以具有开关速度通常比上述的功率MOSFET慢的性质。

[0072] 因此,在大电力且需要高速进行开关的用途中,作为开关元件而优选使用IGBT。该IGBT由功率MOSFET和双极晶体管的组合构成,是兼备功率MOSFET的高速开关特性和双极晶体管的高耐压性的半导体元件。即,根据IGBT,是大电力且能够高速进行开关,因此,成为适用于需要高速开关的用途的半导体元件。以上,在本实施方式1的逆变器电路INV中,作为构成开关元件的晶体管Q1,采用IGBT。

[0073] 另外,在本实施方式1的逆变器电路INV中,在供给相对较高的电位的正电位端子(高压侧端子)PT和3相感应电机MT的各相(U相、V相、W相)之间反相并联连接有晶体管Q1和二极管FWD。另外,在3相感应电机MT的各相和供给有相对较低的电位的负电位端子(低压侧端子)NT之间也反相并联连接有晶体管Q1和二极管FWD。即,针对每单相设置有两个晶体管Q1和两个二极管FWD,3相设置有6个晶体管Q1和6个二极管FWD。而且,在各晶体管Q1的栅电极上连接有栅极控制电路GC,通过该栅极控制电路GC来控制晶体管Q1的开关动作。在这样构成的逆变器电路INV中,通过利用栅极控制电路GC控制晶体管Q1的开关动作,将直流电转换成3相交流电,将该3相交流电向3相感应电机MT供给。

[0074] 在本实施方式1的逆变器电路INV中,作为开关元件而使用晶体管Q1,但以与该晶

晶体管Q1反相并联连接的方式设置有二极管FWD。但从利用开关元件实现开关功能的观点出发,认为需要作为开关元件的晶体管Q1,但不需要设置二极管FWD。关于这一点,在与逆变器电路INV连接的负载包含电感的情况下,需要设置二极管FWD。

[0075] 在负载是不含电感的纯电阻的情况下,由于没有回流的能量,所以不需要二极管FWD。但是,在负载上连接了电机那种包含电感的电路的情况下,有向与导通的开关相反方向流通负载电流的模式。即,在负载包含电感的情况下,有时能量从负载的电感返回逆变器电路INV(有时电流逆流)。

[0076] 此时,在作为IGBT的晶体管Q1单体中,由于没有可流通该回流电流的功能,所以需要与晶体管Q1反相并联连接二极管FWD。即,在逆变器电路INV中,在如电机控制那样负载包含电感的情况下,在将晶体管Q1关断时,必须要放出电感中蓄积的能量($1/2LI^2$)。但是,在晶体管Q1单体中,无法流通用以使蓄积于电感中的能量释放的回流电流。因此,为了使蓄积于该电感的电能回流,与晶体管Q1反相并联连接二极管FWD。即,二极管FWD具有为了将蓄积于电感的电能释放而流通回流电流的功能。如上,在与包含电感的负载连接的逆变器电路中,需要与作为开关元件的晶体管Q1反相并联设置二极管FWD。该二极管FWD被称作续流二极管。

[0077] 另外,在本实施方式1的逆变器电路INV的情况下,例如,如图3所示,在正电位端子PT和负电位端子NT之间连接有电容元件CAP。该电容元件CAP具有例如实现逆变器电路INV中的开关噪声的平滑化、或系统电压的稳定化的功能。在图3所示的例子中,电容元件CAP设置于逆变器电路INV的外部,但电容元件CAP也可以设置于逆变器电路INV的内部。

[0078] <电子装置的安装方式>

[0079] 接着,对具有图3所示的逆变器电路INV的电子装置的安装方式的例子进行说明。图4是表示本实施方式1的电子装置的外观的立体图。图5是表示图4所示的电子装置的内部构造的俯视图。图5是俯视图,在基板WB上标注影线来示出。另外,图5中,仅示出图4所示的框体CAS中的、安装有作为外部端子的端子UTE等的部分。

[0080] 如图4所示,本实施方式的电子装置EA1具有框体CAS、和从框体CAS露出的多个外部端子。框体CAS是覆盖搭载有图5所示的多个半导体装置(半导体封装)PAC1、PAC2的基板WB的覆盖部件。如后述的图18所示,基板WB的上表面WBt被框体CAS覆盖。图4所示的框体CAS及图5所示的基板WB分别具有以彼此重叠的方式设置的贯穿孔THH,通过在贯穿孔THH中插入未图示的螺丝,能够将框体CAS和基板WB固定。在本实施方式的例子中,框体CAS为长方形的平面形状,沿着X方向具有长边,沿着与X方向正交的Y方向具有短边。

[0081] 另外,从框体CAS露出的多个外部端子包含以下的端子。即,电子装置EA1具有端子PTE(正电位端子PT)及端子NTE(负电位端子NT)。另外,电子装置EA1具有U相、V相、W相的输出端子、即端子UTE、端子VTE、及端子WTE。另外,电子装置EA1具有在与半导体装置之间传送信号的多个信号端子SGTE。多个信号端子SGTE包含向半导体装置传送栅极信号的端子GTE1、GTE2。另外,多个信号端子SGTE包含输出例如温度或电压或者电流等的用于监视半导体装置的动作状态的信号的、监视端子MTE。

[0082] 多个外部端子的排列方法由各种变形例,但在本实施方式的例子中,多个外部端子如下排列。即,端子PTE及端子NTE沿着框体CAS的短边沿Y方向排列。另外,端子UTE、端子VTE、及端子WTE沿着框体CAS的一长边沿X方向排列。另外,多个信号端子SGTE沿着框体CAS

的另一长边沿X方向排列。

[0083] 另外,本申请中,将用于将搭载于框体CAS的内部的多个半导体装置和外部设备(例如图3所示的3相感应电机MT)电连接的导电性部件中的、露出在框体CAS的外部的部分定义为外部端子。因此,图5所示的多个外部端子分别是从小被框体CAS覆盖的部分导出到框体CAS的外侧的导电性部件,外部端子不包含被框体CAS覆盖的部分。

[0084] 另外,如图5所示,电子装置EA1具有基板WB。基板WB具有上表面(表面、面)WBt、和位于上表面WBt的相反侧的下表面(背面、面)WBb(参照后述的图18)。基板WB的上表面WBt形成由一对长边和与一对长边交叉的一对短边构成的矩形形状。在图5所示的例子中,基板WB的上表面WBt具有沿X方向延伸的两个长边和沿Y方向延伸的两个短边。在基板WB的上表面WBt上形成有多个导体图案MP1。多个半导体装置PAC1、PAC2搭载在形成于基板WB的上表面WBt的导体图案MP1上。

[0085] 另外,本实施方式的电子装置EA1具备3个单元(电子装置单元)EAU1,3个单元EAU1分别形成由沿Y方向延伸的一对长边和沿X方向延伸的一对短边规定的矩形形状。3个单元EAU1分别相当于图1所示的桥臂LG1、LG2、及LG3。

[0086] 例如,如图5所示,3个单元EAU1以沿着X方向并排的方式排列。即,在本实施方式1中,单元EAU1存在多个,多个单元EAU1沿一对短边延伸的X方向(第一方向)并排配置。

[0087] 在构成电子装置EA1的3个单元EAU1各自上搭载有半导体装置PAC1及半导体装置PAC2。换言之,如图5所示,在3个单元EAU1各自上搭载有多个半导体装置,作为一例,在本实施方式1中,在各单元EAU1上搭载有两个半导体装置。本实施方式1的电子装置EA1具有3个单元EAU1,因此,本实施方式1的电子装置EA1全部含有6个半导体装置。图5所示的搭载于各单元EAU1的半导体装置PAC2相当于图1所示的开关SW1、SW3、或SW5。同样,搭载于各单元EAU1的半导体装置PAC1相当于图1所示的开关SW2、SW4、或SW6。

[0088] 详情后述,电子装置EA1中包含的6个半导体装置具备彼此相同的构造。换言之,电子装置EA1中包含的6个半导体装置是彼此为同种类电子零件。详情后述,半导体装置PAC1和半导体装置PAC2在导体图案MP1上搭载的朝向不同。另外,半导体装置PAC1和半导体装置PAC2伴随如上所述在导体图案MP1上搭载的朝向不同,而使得引线LD的弯曲方向互不相同。但是,除上述的不同点之外,半导体装置PAC1和半导体装置PAC2具备相同的构造。例如,半导体装置PAC1和半导体装置PAC2分别具备图3所示的晶体管Q1及二极管FWD。

[0089] 另外,3个单元EAU1分别与端子PTE及端子NTE连接。在本实施方式的情况下,单元EAU1分别与以跨过3个单元EAU1的方式沿着X方向延伸的母线(busbar)(导电性部件、连接部件、导体棒)BSP连接,且经由母线BSP与端子PTE连接。另外,单元EAU1分别与以跨过3个单元EAU1的方式沿着X方向延伸的母线BSN连接,且经由母线BSN与端子NTE连接。母线BSP及母线BSN的构造及设计的详情后述。

[0090] 另外,单元EAU1分别与作为输出端子的端子UTE、端子VTE、或端子WTE连接。另外,单元EAU1分别与多个信号端子SGTE连接。详细而言,半导体装置PAC1与端子GTE1及监视端子MTE连接,半导体装置PAC2与端子GTE2及监视端子MTE连接。从半导体装置PAC1及半导体装置PAC2分别导出多个引线LD,将多个引线LD与信号端子SGTE连接。

[0091] 另外,单元EAU1分别具有形成于基板WB的上表面WBt的导体图案(金属图案)MP1。半导体装置PAC1及半导体装置PAC2搭载于一个导体图案MP1上。换言之,半导体装置PAC1和

半导体装置PAC2经由导体图案MP1电连接。多个导体图案MP1分别经由金属板(导电性部件)MB1与端子UTE、端子VTE、或端子WTE连接。即,半导体装置PAC1和半导体装置PAC2经由导体图案MP1与输出端子连接。

[0092] <半导体芯片的构造>

[0093] 接着,依次说明图5所示的电子装置EA1具备的各部件的详细构造。首先,参照附图说明图3所示的构成逆变器电路INV的晶体管Q1和二极管FWD的构造。图6是表示形成有图3所示的晶体管的半导体芯片的表面侧的形状的俯视图。图7是表示图6所示的半导体芯片的背面的俯视图。图8是表示图6及图7所示的具有半导体芯片的晶体管的构造例的剖视图。

[0094] 在图5所示的电子装置EA1的情况下,图3所示的构成逆变器电路INV的晶体管Q1和二极管FWD形成于彼此独立的半导体芯片上。以下,在说明了形成有晶体管Q1的半导体芯片后,说明形成有二极管FWD的半导体芯片。

[0095] 如图6及图7所示,本实施方式1的半导体芯片CHP1具有表面(面、上表面、主面)CHPt(参照图6)、及表面CHPt的相反侧的背面(面、下表面、主面)CHPb(参照图7)。半导体芯片CHP1的表面CHPt及背面CHPb分别为四边形。表面CHPt的面积和背面CHPb的面积例如相等。

[0096] 另外,如图6所示,半导体芯片CHP1具有形成于表面CHPt的栅电极(栅电极焊盘、表面电极)GP及发射极(发射极焊盘、表面电极)EP。在图6所示的例子中,在表面CHPt露出有一个栅电极GP、多个(图6中为4个)发射极EP。露出的发射极EP各自的露出面积比栅电极GP的露出面积大。详情后述,发射极EP与逆变器电路INV(参照图3)的输出端子或负电位端子NT(参照图3)连接。因此,通过增大发射极EP的露出面积,能够降低大电流流通的传送路径的阻抗。另外,多个发射极EP彼此电连接。另外,作为相对于图6的变形例,取代多个发射极EP,也可以设置一个大面积的发射极EP。

[0097] 另外,如图7所示,半导体芯片CHP1具有形成于背面CHPb的集电极(集电极焊盘、背面电极)CP。遍及半导体芯片CHP1的背面CHPb整体地形成有集电极CP。比较图6和图7可知,集电极CP的露出面积比发射极EP的露出面积更大。详情后述,集电极CP与逆变器电路INV(参照图3)的输出端子或正电位端子PT(参照图3)连接。因此,通过增大集电极CP的露出面积,能够降低大电流流通的传送路径的阻抗。

[0098] 此外,图6及图7中,对半导体芯片CHP1的基本结构进行说明,但能够应用各种变形例。例如,在图6所示的电极的基础上,还可以设置温度检测用的电极、电压探测用的电极或电流探测用的电极等半导体芯片CHP1的动作状态的监视用或者半导体芯片CHP1的检查用的电极等。在设置这些电极的情况下,与栅电极GP同样地,在半导体芯片CHP1的表面CHPt露出。另外,这些电极相当于信号传送用的电极,各电极的露出面积比发射极EP的露出面积小。

[0099] 另外,半导体芯片CHP1所具备的晶体管Q1例如具有图8所示的构造。在形成于半导体芯片CHP1的背面CHPb的集电极CP上形成有 p^+ 型半导体区域PR1。在 p^+ 型半导体区域PR1上形成有 n^+ 型半导体区域NR1,在该 n^+ 型半导体区域NR1上形成有 n^- 型半导体区域NR2。而且,在 n^- 型半导体区域NR2上形成有 p 型半导体区域PR2,形成有贯穿该 p 型半导体区域PR2并到达 n^- 型半导体区域NR2的沟道TR。进而,与沟道TR匹配地形成有作为发射极区域的 n^+ 型半导体区域ER。在沟道TR的内部形成有例如由氧化硅膜构成的栅极绝缘膜GOX,且隔着该栅极绝缘膜

GOX形成有栅电极GE。该栅电极GE由例如多晶硅膜形成,并以埋入沟道TR的方式形成。

[0100] 在这样构成的晶体管Q1中,栅电极GE经由图6所示的栅电极GP与栅极端子GT(详情后述)连接。同样地,成为发射极区域的 n^+ 型半导体区域ER经由发射极EP与发射极端子ET(详情后述)电连接。成为集电极区域的 p^+ 型半导体区域PR1与形成于半导体芯片CHP1的背面CHPb的集电极CP电连接。

[0101] 这样构成的晶体管Q1兼备功率MOSFET的高速开关特性及电压驱动特性和双极晶体管的低导通电压特性。

[0102] 此外, n^+ 型半导体区域NR1被称为缓冲层。该 n^+ 型半导体区域NR1是为了防止在晶体管Q1关断时从 p 型半导体区域PR2向 n^- 型半导体区域NR2内生长的耗尽层与形成于 n^- 型半导体区域NR2的下层的 p^+ 型半导体区域PR1接触这种击穿现象而设置的。另外,出于限制从 p^+ 型半导体区域PR1向 n^- 型半导体区域NR2的空穴注入量等的目的,设有 n^+ 型半导体区域NR1。

[0103] 另外,晶体管Q1的栅电极与图3所示的栅极控制电路GC连接。此时,通过将来自栅极控制电路GC的信号经由栅极端子GT(参照图8)施加给晶体管Q1的栅电极GE(参照图8),能够根据栅极控制电路GC控制晶体管Q1的开关动作。

[0104] 接着,对形成有图3所示的二极管FWD的半导体芯片进行说明。图9是表示形成有图3所示的二极管的半导体芯片的表面侧的形状的俯视图。图10是表示图9所示的半导体芯片的背面的俯视图。另外,图11是表示图9及图10所示的半导体芯片具有的二极管的构造例的剖视图。

[0105] 如图9及图10所示,本实施方式1的半导体芯片CHP2具有表面(面、上表面、主面)CHPt(参照图9)及表面CHPt的相反侧的背面(面、下表面、主面)CHPb(参照图10)。半导体芯片CHP2的表面CHPt及背面CHPb分别为四边形。表面CHPt的面积和背面CHPb的面积例如相等。另外,比较图6和图9可知,半导体芯片CHP1(参照图6)的表面CHPt的面积比半导体芯片CHP2(参照图9)的表面CHPt的面积大。

[0106] 另外,如图9所示,半导体芯片CHP2具有形成于表面CHPt的阳极电极(阳极电极焊盘、表面电极)ADP。另外,如图10所示,半导体芯片CHP2具有形成于背面CHPb的阴极电极(阴极电极焊盘、背面电极)CDP。遍及半导体芯片CHP2的背面CHPb整体地形成有阴极电极CDP。

[0107] 另外,半导体芯片CHP2所具备的二极管FWD例如具有图11所示的构造。如图11所示,在形成于半导体芯片CHP2的背面CHPb的阴极电极CDP上形成有 n^+ 型半导体区域NR3。而且,在 n^+ 型半导体区域NR3上形成有 n^- 型半导体区域NR4,在 n^- 型半导体区域NR4上形成有彼此分开的 p 型半导体区域PR3。在 p 型半导体区域PR3之间形成有 p^- 型半导体区域PR4。在 p 型半导体区域PR3和 p^- 型半导体区域PR4上形成有阳极电极ADP。阳极电极ADP例如由铝 $\bar{}$ 硅构成。

[0108] 根据这样构成的二极管FWD,当对阳极电极ADP施加正电压,对阴极电极CDP施加负电压时, n^- 型半导体区域NR4和 p 型半导体区域PR3之间的pn结正向偏压,使电流流过。另一方面,在对阳极电极ADP施加负电压,对阴极电极CDP施加正电压时, n^- 型半导体区域NR4和 p 型半导体区域PR3之间的pn结反向偏压,电流不流过。这样,能够使具有整流功能的二极管FWD动作。

[0109] <半导体装置的结构>

[0110] 接着,参照附图说明构成图3所示的构成逆变器电路INV的开关的半导体装置的结构

构。如上述,图5所示的多个单元EAU1的分别具有半导体装置PAC1和半导体装置PAC2。但是,半导体装置PAC1和半导体装置PAC2具备同样的结构。因此,以下,将同样结构的半导体装置PAC1和半导体装置PAC2作为半导体装置PAC进行说明。另外,详情后述,在本实施方式的EA1中,半导体装置PAC1的搭载方法和半导体装置PAC2以将结构部件的上下翻转的状态分别搭载于导体图案MP1上。但是,在以下的说明中,在对半导体装置PAC的各结构部件的上下进行说明的情况下,与搭载时的朝向无关地,将从图8所示的半导体芯片CHP1的背面CHPb朝向表面CHPt的方向定义为上方向,将从表面CHPt朝向背面CHPb的方向定义为下方向进行说明。另外,在各部件的面上,作为上表面或下表面进行说明的情况也相同。

[0111] 本实施方式1的半导体装置PAC将图3所示的成为逆变器电路INV的结构要素的一个晶体管Q1和一个二极管FWD1进行封装。即,通过使用6个本实施方式1的半导体装置,构成成为驱动3相电机的3相逆变器电路INV的电子装置(半导体模块、功率模块)EA1(参照图5)。

[0112] 图12是表示图5所示的多个半导体装置中的一个一主面侧的形状例的俯视图。图13是表示图12所示的半导体装置的相反侧的主面的形状例的俯视图。另外,图14是表示图12及图13所示的半导体装置的内部构造的俯视图。图15是沿着图12的A-A线的剖视图。

[0113] 如图12及图13所示,半导体装置PAC具有封固体(树脂体)MR,该封固体MR具有主面(上表面、表面)MRt(参照图12)、主面MRt的相反侧的主面(下表面、背面)MRb(参照图13)、及在厚度方向上位于主面MRt与主面MRb之间的侧面MRs。在俯视时,封固体MR由长方形形成。在图12所示的例子中,具有彼此相对的长边LS1及长边LS2及与长边LS1、LS2交叉且彼此相对的短边SS3及短边SS4。

[0114] 封固体MR是将半导体芯片CHP1(参照图15)及半导体芯片CHP2(参照图15)一并封固的树脂,例如包含环氧系的树脂材料作为主成分。另外,半导体装置PAC具备的多个端子从封固体MR露出。如图12所示,发射极端子(封装端子、表面端子)ET从封固体MR的主面MRt露出。如已说明的图8所示,发射极端子ET是与半导体芯片CHP1的发射极EP连接的端子(封装端子)。另外,如图13所示,集电极端子(封装端子、背面端子)CT从封固体MR的主面MRb露出。如图8所示,集电极端子CT是与半导体芯片CHP1的集电极CP连接的端子(封装端子)。

[0115] 另外,如图12所示,栅极端子GT从封固体MR的侧面MRs露出。如图8所示,栅极端子GT是与半导体芯片CHP1的栅电极GE连接的端子(封装端子)。另外,如图13所示,信号端子ST从封固体MR的侧面MRs露出。信号端子ST是传送用于监视半导体装置的动作状态的信号的端子。此外,图12所示的栅极端子GT是向图8所示的栅电极GE传送栅极信号的信号端子的一种。作为构成这种信号传送路径的端子即栅极端子GT及信号端子ST,使用从封固体MR的内部向外部导出的引线LD。如图15所示,引线LD从封固体MR的封固体MR的侧面MRs朝向封固体MR的外侧突出。

[0116] 引线LD在封固体MR的内外的边界部分的截面积比发射极端子ET及集电极端子CT从封固体MR的露出面积小。因此,在即使信号端子的数目增加也能够抑制半导体装置PAC的大型化这一点上是有利的。另一方面,如发射极端子ET及集电极端子CT那样,在从封固体MR的露出面积大的情况下,能够增大传送路径的截面积,因此,在能够降低传送路径的电阻成分或电感成分这一点上是有利的。由于在发射极端子ET或集电极端子CT中流通大电流,优选尽可能地降低电阻成分或电感成分。另一方面,在栅极端子GT或信号端子ST中流通的电流相对低。因此,优选使流过相对大的电流的发射极端子ET及集电极端子CT增大从封固体

MR的露出面积。

[0117] 接着,对半导体装置PAC的内部构造进行说明。如图14及图15所示,在封固体MR的内部配置有矩形形状的芯片焊盘(芯片搭载部、金属板、接头片(tab)、散热器)DP。该芯片焊盘DP也作为用于提高散热效率的散热器起作用,例如由以热传导率高的铜为主成分的金属材料构成。在此,“主成分”是指构成部件的结构材料中的、含有量最多的材料成分,例如,“以铜为主成分的材料”是指部件的材料含有铜最多。例如,在本说明书中使用“主成分”这一术语的意图是为了表现部件基本上由铜构成,但并不排除含有杂质的情况。

[0118] 另外,如图14所示,芯片焊盘DP的平面面积比半导体芯片CHP1的表面CHPt的面积及半导体芯片CHP2的表面CHPt的面积合计大。因此,能够在芯片焊盘DP上搭载半导体芯片CHP1及半导体芯片CHP2这两者。

[0119] 如图15所示,在芯片焊盘DP上,经由例如由焊锡或导电性树脂构成的导电性粘接材料(芯片焊接材料、导电性部件、连接部件、接合材料)ADH1搭载有形成有IGBT的半导体芯片CHP1、及形成有二极管的半导体芯片CHP2。此时,将搭载有半导体芯片CHP1及半导体芯片CHP2的面定义为芯片焊盘DP的上表面,将该上表面相反侧的面定义为下表面。该情况下,半导体芯片CHP1及半导体芯片CHP2搭载于芯片焊盘DP的上表面上。

[0120] 形成有二极管的半导体芯片CHP2以形成于半导体芯片CHP2的背面的阴极电极CDP经由导电性粘接材料ADH1与芯片焊盘DP的上表面接触的方式配置。该情况下,形成于半导体芯片CHP2的表面CHPt的阳极电极ADP朝上。另一方面,形成有IGBT的半导体芯片CHP1以形成于半导体芯片CHP1的背面CHPb的集电极CP经由导电性粘接材料ADH1与芯片焊盘DP的第一面接触的方式配置。该情况下,形成于半导体芯片CHP1的表面CHPt的发射极EP及栅电极GP朝上。这样,半导体芯片CHP1的集电极CP和半导体芯片CHP2的阴极电极CDP经由导电性粘接材料ADH1及芯片焊盘DP电连接。

[0121] 另外,如图15所示,芯片焊盘DP的下表面从封固体MR的主面MRb露出,该露出的芯片焊盘DP的下表面成为集电极端子CT。因此,半导体芯片CHP1的集电极CP和半导体芯片CHP2的阴极电极CDP经由导电性粘接材料ADH1与集电极端子CT电连接。

[0122] 另外,芯片焊盘DP的下表面作为在将半导体装置PAC1安装于图5所示的基板WB上时能够经由连接部件与形成于基板WB上的导体图案MP1电连接的面起作用。这样,在使作为集电极端子CT的芯片焊盘DP在封固体MR的主面MRb露出的情况下,如上述,能够增大集电极端子CT的露出面积。由此,能够降低经由集电极端子CT的传送路径的电阻成分及电感成分。

[0123] 另外,如图15所示,芯片焊盘DP的厚度比栅极端子GT或信号端子ST的厚度厚。这样,能够提高经由芯片焊盘DP的散热路径的散热效率。

[0124] 另外,如图15所示,在半导体芯片CHP1的发射极EP、及半导体芯片CHP2的阳极电极ADP上配置有作为导电性部件的夹片(导电性部件、金属板、电极连接部件)CLP。在本实施方式例子中,夹片CLP是与引线LDC一体形成的导电性部件中的、在封固体MR的主面MRt上露出的一部分。因此,也能够将引线LDC的一部分看作是夹片CLP。但是,在本实施方式中,由于将从封固体MR的主面MRt露出的露出面用作发射极端子ET,所以与从封固体MR的侧面MRs露出的引线LDC区别开。

[0125] 另外,在图15所示的例子中,半导体芯片CHP1的发射极EP经由从发射极EP侧依次层叠的导电性粘接材料ADH2、金属板MPL1、及导电性粘接材料ADH3与夹片CLP电连接。另外,

半导体芯片CHP2的阳极电极ADP经由从阳极电极ADP侧依次层叠的导电性粘接材料ADH2、金属板MPL2、及导电性粘接材料ADH3与夹片CLP电连接。

[0126] 另外,如图15所示,夹片CLP的上表面从封固体MR的主面MRt露出,该露出的夹片CLP的上表面成为发射极端子ET。因此,半导体芯片CHP1的发射极EP和半导体芯片CHP2的阳极电极ADP经由导电性粘接材料ADH2与发射极EP电连接。这样,在使作为发射极端子ET的夹片CLP在封固体MR的主面MRt露出的情况下,如上述,能够增大发射极端子ET的露出面积。由此,能够降低经由发射极端子ET的传送路径的电阻成分及电感成分。

[0127] 另外,在图15所示的例子中,由于夹片CLP与引线LDC一体形成,所以夹片CLP的厚度与栅极端子GT或信号端子ST的厚度相同。另一方面,为了确保将栅电极GP和栅极端子GT连接的导线BW的环高度,使夹片CLP和半导体芯片CHP1之间、及夹片CLP和半导体芯片CHP2之间变宽。因此,在图15所示的半导体装置PAC的情况下,在夹片CLP和半导体芯片CHP1之间配置有金属板MPL1,在夹片CLP和半导体芯片CHP1之间配置有金属板MPL2。金属板MPL1经由导电性粘接材料ADH2与半导体芯片CHP1粘接,且经由导电性粘接材料ADH3与夹片CLP粘接。另外,金属板MPL2经由导电性粘接材料ADH2与半导体芯片CHP2粘接,且经由导电性粘接材料ADH3与夹片CLP粘接。

[0128] 此外,夹片CLP的实施方式除图15所示的方式以外,有各种变形例。例如,在将夹片CLP和引线LDC作为不同的部件分开形成的情况下,夹片CLP的形状在设计上的自由度变高。因此,例如,也能够作为将图15所示的夹片CLP、导电性粘接材料ADH3、及金属板MPL1、MPL2各自一体化了的金属部件,来构成夹片CLP。该情况下,夹片CLP经由图15所示的导电性粘接材料ADH2粘接于半导体芯片CHP1及半导体芯片CHP2。另外,还能够通过使夹片CLP的一部分弯曲,而省略图15所示的金属板MPL1、MPL2及导电性粘接材料ADH3。

[0129] 此外,引线LDC的一部分从封固体MR的侧面MRs向外侧突出,但封固体MR的外侧的部分未与其它部件连接。换言之,引线LDC不具有作为端子(封装端子)的功能。因此,作为相对于本实施方式的变形例,也可以没有引线LDC。但是,在半导体装置的制造工序中制造多种产品的情况下,优选能够利用引线架的通用性高、供多种产品共用的引线架。因此,如图14及图15所示,在存在引线LDC的情况下,具有引线架的通用性提高的优点。

[0130] 另外,在半导体装置PAC的情况下,引线LDC不作为端子起作用,因此,在夹片CLP作为与引线LDC分离的部件形成的情况下,也可以没有引线LDC。但是,在半导体装置PAC的制造工序中,如本实施方式,在将夹片CLP和引线LDC一体形成的情况下,夹片CLP和半导体芯片CHP1、CHP2的对位很容易。

[0131] 另外,从降低作为开关元件的半导体装置PAC的导通电阻的观点出发,与芯片焊盘DP连接的导电性粘接材料ADH1或将夹片CLP与半导体芯片CHP1、CHP2的电极电连接的导电性粘接材料ADH2、ADH3优选使用导电率高的材料。作为导电率高的材料,除焊锡外,还能够例示树脂中含有多个(大量)导电性粒子的导电性树脂。

[0132] 但是,半导体装置PAC作为产品完成后,如图5所示,被安装在基板WB上。该情况下,用于将半导体装置PAC1、PAC2与基板WB连接的连接部件也优选使用焊锡或导电性树脂等导电率高的材料。该情况下,图15所示的导电性粘接材料ADH1或导电性粘接材料ADH2、ADH3需要具备相对于在安装半导体装置PAC时的处理温度的耐热性。

[0133] 例如,在半导体装置PAC使用焊锡进行安装的情况下,使焊锡熔融进行连接,因此,

需要加热处理(回流焊)。在用于半导体装置PAC和基板WB(参照图5)连接的焊锡、和上述半导体装置PAC的内部使用的焊锡为同一材料的情况下,可能因半导体装置PAC的安装时的加热处理(回流焊)而导致半导体装置PAC内部的焊锡熔融。

[0134] 因此,在半导体装置PAC的内部及安装半导体装置PAC时使用焊锡的情况下,在半导体装置PAC的内部优先使用比进行安装时所使用的焊锡高的高熔点焊锡。

[0135] 另一方面,在安装半导体装置PAC时使用导电性树脂的情况下,需要用于使导电性树脂的树脂成分固化的加热处理(烘培处理)。但是,通常,树脂的固化温度比焊锡的熔点低,因此,该情况下,导电性粘接材料ADH1或导电性粘接材料ADH2可以是焊锡,也可以是导电性树脂。

[0136] 另外,即使在安装半导体装置PAC时使用焊锡的情况下,如果树脂的耐热温度比焊锡的熔点高,则作为导电性粘接材料ADH1或导电性粘接材料ADH2而能够使用导电性树脂。

[0137] 另外,如图14及图15所示,在半导体芯片CHP1的表面形成有栅电极GP,栅电极GP通过作为导电性部件的导线BW与栅极端子GT电连接。导线BW例如由以金、铜或铝为主成分的导电部件构成。

[0138] 俯视时,半导体芯片CHP1以位于半导体芯片CHP2和栅极端子GT之间的方式被搭载于芯片焊盘DP上。另外,半导体芯片CHP1以栅电极GP位于发射极EP和栅极端子GT之间的方式被搭载于芯片焊盘DP上。由此,能够缩短连接栅电极GP和栅极端子GT的导线BW的长度。

[0139] 另外,在图14所示的例子中,信号端子ST经由导线BW与发射极EP电连接。该情况下,信号端子ST在使半导体芯片CHP1的晶体管Q1(参照图8)中流通大电流的检查中,能够用作测定发射极EP的电压并输出的检查用的端子。信号端子ST与图5所示的监视端子MTE连接,将检测到的信号输出到外部。

[0140] 另外,如图15所示,多个导线BW分别由封固体MR封固。在将构成半导体装置PAC的各部件中的特别是容易产生变形或损伤的导线BW以被封固体MR保护的状态安装于电子装置EA1(图5)的情况下,向电子装置EA1安装时的各部件的处理性提高。由此,能够提高电子装置EA1的组装效率。另外,如图15所示,构成半导体装置PAC的零件中的、半导体芯片CHP1、半导体芯片CHP2、芯片焊盘DP的一部分、夹片CLP的一部分、多个引线LD各自的一部分、夹片CLP及导线BW例如由树脂封固。

[0141] 另外,如图15所示,在夹片CLP、芯片焊盘DP、引线LD及引线LDC各自中,从封固体MR露出的部分被金属膜SDF覆盖。金属膜SDF例如由焊锡等金属材料构成,通过镀敷法形成。在将半导体装置PAC搭载于图5所示的导体图案MP1上时,在经由焊锡进行安装的情况下,通过由金属膜SDF覆盖露出面,焊锡的润湿性提高。夹片CLP或引线LD、LDC的情况下也相同。特别是在芯片焊盘DP或夹片CLP由以铜为主成分的金属材料形成的情况下,通过由金属膜SDF覆盖,能够大幅提高润湿性。

[0142] <各单元的结构>

[0143] 接着,对图5所示的各单元的结构进行说明。此外,图5所示的3个单元EAU1分别具备同样的构造,因此,以下,将与端子WTE连接的单元EAU1作为代表例进行说明。图16是将图5所示的3个单元中的一个放大示出的放大俯视图。图16中,图5所示的各部件中,用虚线表示母线BSN,用双点划线表示母线BSP。图17是表示与图16所示的单元对应的电路要素的电路图。图18是沿着图16的A-AA-A线的剖视图,图19是沿着图16的B-B线的剖视图。另外,图20

及图21是沿着将高压侧或低压侧的端子和半导体芯片的电极电连接的路径的剖视图。图18、图20、及图21中,使用双箭头示意性表示将半导体芯片的电极和端子WTE、NTE或PTE电连接的传送路径的始点至终点。

[0144] 如图16所示,电子装置EA1的单元EAU1具有形成于基板WB的上表面WBt的导体图案MP1。另外,电子装置EA1的单元EAU1具有半导体装置PAC1及半导体装置PAC2。

[0145] 另外,如图17所示,半导体装置PAC1及半导体装置PAC2分别具有具备晶体管Q1的半导体芯片CHP1、和具备二极管FWD的半导体芯片CHP2。半导体装置PAC1及半导体装置PAC2分别具备与半导体芯片CHP1的发射极EP及半导体芯片CHP2的阳极电极ADP连接的发射极端子ET、和与半导体芯片CHP1的集电极CP及半导体芯片CHP2的阴极电极CDP连接的集电极端子CT。半导体装置PAC1及半导体装置PAC2分别具有经由导线BW(参照图15)与半导体芯片CHP1的栅电极GP(参照图15)连接的栅极端子GT。

[0146] 半导体装置PAC1的半导体芯片CHP1的发射极EP经由发射极端子ET与端子NTE电连接。图20中,对将半导体装置PAC1的发射极EP和端子NTE电连接的传送路径标注双箭头,作为路径PTH1示出。另外,图17所示的半导体装置PAC1的半导体芯片CHP1的集电极CP经由集电极端子CT与端子WTE电连接。图18中,对将半导体装置PAC1的集电极CP(参照图17)和端子WTE电连接的传送路径标注双箭头,作为路径PTH2示出。

[0147] 另外,图17所示的半导体装置PAC2的半导体芯片CHP1的集电极CP经由集电极端子CT与端子PTE电连接。图21中,对将半导体装置PAC2的集电极CP和端子PTE电连接的传送路径标注双箭头,作为路径PTH3示出。另外,半导体装置PAC2的半导体芯片CHP1的发射极EP经由发射极端子ET及导体图案MP1与端子WTE电连接。

[0148] 另外,半导体装置PAC1的集电极端子CT和半导体装置PAC2的发射极端子ET经由导体图案MP1彼此电连接。换言之,半导体装置PAC1的集电极CP和半导体装置PAC2的发射极EP经由导体图案MP1彼此电连接。在使使用图1说明的逆变器电路INV进行动作时,半导体装置PAC2作为图1所示的高压侧用的开关SW5进行动作,半导体装置PAC1作为图1所示的低压侧用的开关SW6进行动作。

[0149] 另外,图18所示的半导体装置PAC1的栅极端子GT在封固体MR的外部具有弯曲部,不经由基板WB地与端子GTE1连接。换言之,半导体装置PAC1的半导体芯片CHP1的栅电极GP(参照图15)不经由基板WB地与端子GTE1连接。半导体装置PAC1的栅极端子GT即引线LD在电子装置EA1的厚度方向(图18所示的Z方向)上以引线LD的前端比封固体MR的主面MRb更接近主面MRt的方式折弯。

[0150] 同样地,图19所示的半导体装置PAC2的栅极端子GT在封固体MR的外部具有弯曲部,不经由基板WB地与端子GTE2连接。换言之,半导体装置PAC2的半导体芯片CHP1的栅电极GP(参照图15)不经由基板WB地与端子GTE2连接。半导体装置PAC2的栅极端子GT即引线LD在电子装置EA1的厚度方向(图19所示的Z方向)上以引线LD的前端比封固体MR的主面MRt接近主面MRb的方式折弯。

[0151] 图18及图19所示的引线LD的弯曲方向能够以下述方式表现。即,在封固体MR的厚度方向上,图18所示的半导体装置PAC1的栅极端子GT具有向从主面MRb侧朝向主面MRt侧的方向弯曲的弯曲部。另外,图19所示的半导体装置PAC2的栅极端子GT具有向从主面MRt侧朝向主面MRb侧的方向弯曲的弯曲部。这样,半导体装置PAC1和半导体装置PAC2的栅极端子GT

即引线LD的弯曲方向不同。

[0152] 作为相对于本实施方式的变形例,也可以在基板WB上形成用于连接栅极端子GT的导体图案(布线图案),且栅极端子GT经由该导体图案与作为外部端子的端子GTE1及GTE2分别连接。但是,如本实施方式,在栅极端子GT不经由基板WB地与端子GTE1、GTE2连接的情况下,能够缩短栅极信号的传送路径。另外,在栅极端子GT不经由基板WB地与端子GTE1、GTE2连接的情况下,能够减小基板WB的面积,因此,从电子装置EA1的小型化的观点来看是有利的。

[0153] 另外,图18所示的半导体装置PAC1的封固体MR的主面MRb与基板WB的上表面WBt相对。半导体装置PAC1的从封固体MR的主面MRb露出的芯片焊盘DP经由连接部件(导电性部件、导电性粘接材料、接合材料)BND1与导体图案MP1电连接。

[0154] 半导体装置PAC1的从封固体MR的主面MRt露出的夹片CLP经由连接部件(导电性部件、导电性粘接材料、夹片接合材料、接合材料)BND2与母线BSN电连接。半导体装置PAC1的夹片CLP经由母线BSN与端子NTE(参照图16)电连接。母线BSN及母线BSP是配置于将半导体装置的端子和电子装置的外部端子电连接的路径中的棒状的导电性部件,降低图20所示的路径PTH1及图21所示的路径PTH3的传送损耗。例如,母线BSN及母线BSP由导电率高的材料构成。作为导电率高的材料,例如可示例以铜(Cu)为主成分的金属材料或者以铝(Al)为主成分的金属材料等。另外,例如,母线BSN及母线BSP与例如引线LD等部件相比,传送路径的截面积增大。

[0155] 此外,半导体装置PAC1的夹片CLP的一部分和母线BSP的一部分彼此相对。但是,在半导体装置PAC1的夹片CLP和母线BSP之间配置有绝缘膜IF1。因此,半导体装置PAC1的夹片CLP和母线BSP彼此绝缘。另外,母线BSN的一部分和母线BSP的一部分彼此相对。但是,在母线BSN和母线BSP之间配置有绝缘膜IF2。因此,母线BSN和母线BSP彼此绝缘。

[0156] 另外,图19所示的半导体装置PAC2的封固体MR的主面MRt与基板WB的上表面WBt相对。半导体装置PAC2的从封固体MR的主面MRt露出的夹片CLP经由连接部件BND1与导体图案MP1电连接。

[0157] 另外,半导体装置PAC2的从封固体MR的主面MRb露出的芯片焊盘DP经由连接部件(导电性部件、导电性粘接材料、接合材料)BND3与母线BSP电连接。半导体装置PAC2的芯片焊盘DP经由母线BSP与端子PTE(参照图16)电连接。此外,半导体装置PAC2的芯片焊盘DP的一部分和母线BSN的一部分彼此相对。但是,在半导体装置PAC2的芯片焊盘DP和母线BSN之间配置有绝缘膜IF2。因此,半导体装置PAC2的芯片焊盘DP和母线BSN彼此绝缘。

[0158] 图18所示的连接部件BND1、连接部件BND2及图19所示的连接部件BND3分别与使用图15说明的导电性粘接材料ADH1或导电性粘接材料ADH2相同,是焊锡或导电性树脂等导电性材料。

[0159] 在此,如电子装置EA1那样,在针对具备逆变器电路的电子装置的各种性能提高要求中,包含降低将作为开关进行动作的晶体管和外部端子连接的传送路径的电感或阻抗的要求。特别是,图17所示的各传送路径中的、将供给相对较高的电位的端子PTE和晶体管Q1连接的路径(图21所示的路径PTH3)、及将供给相对较低的电位的端子NTE和晶体管Q1连接的路径(图20所示的路径PTH1)通过降低电感,能够降低输入电压的损失。另外,图17所示的各传送路径中的、将作为输出端子的WTE和晶体管Q1连接的路径(图18所示的路径PTH2)通

过降低电感或阻抗,能够降低输出的电力的损失。换言之,上述的3路径通过降低传送路径中的电感或阻抗,能够提高电力转换效率。

[0160] 如本实施方式1,发现在应用了在基板上搭载树脂封固有半导体芯片的多个半导体封装(半导体装置)的封装搭载方式来构成电子装置的情况下,通过对半导体封装的结构及设计下功夫,能够提高电力转换效率。例如,作为相对于本实施方式的比较对象,对作为图17所示的半导体装置PAC1、PAC2的发射极端子ET而利用如图16所示的引线LD那样细长延伸的导电性部件的情况进行了探讨。

[0161] 在作为发射极端子ET利用引线LD那种细长的导电性部件的情况下,通过增加与同一发射极连接的引线LD的根数,能够降低传送路径中的电阻成分。例如,将图14及图15所示的引线LDC用作发射极端子的情况与此相当。但是,若考虑传送路径中的电感成分,则优选不将发射极端子ET分割成多个。另外,在作为发射极端子ET利用引线LD那种导电性部件的情况下,因半导体装置的制造工序上的制约而限制发射极端子的位置的自由度。该情况下,如图17所示,将半导体装置PAC2的发射极端子ET和半导体装置PAC1的集电极端子CT连接时,连接布线的长度容易变长。

[0162] 如上述,在本实施方式1的电子装置EA1的情况下,夹片CLP的从封固体MR的露出面被用作发射极端子ET,芯片焊盘DP的从封固体MR的露出面被用作集电极端子CT。因此,如图12及图13所示,能够增大半导体装置PAC的发射极端子ET及集电极端子CT的面积。

[0163] 另外,图18所示的半导体装置PAC1的封固体MR的主面MRb与基板WB的导体图案MP1相对,图19所示的半导体装置PAC2的封固体MR的主面MRt与基板WB的导体图案MP1相对。换言之,半导体装置PAC1和半导体装置PAC2以在厚度方向上的朝向彼此相反的状态搭载于基板WB上。该情况下,图18所示的半导体装置PAC1的发射极端子ET及图19所示的半导体装置PAC2的集电极端子CT分别在相对于基板WB的相对面相反的一侧的面露出。

[0164] 因此,能够增大图18所示的半导体装置PAC1的发射极端子ET、配置于半导体装置PAC1上的母线BSN的连接部分(与图18所示的连接部件BND2的连接界面)的面积(连接面积)。另外,能够增大图19所示的半导体装置PAC2的集电极端子CT和配置于半导体装置PAC2上的母线BSP的连接部分(与图19所示的连接部件BND3的连接界面)的面积(连接面积)。

[0165] 另外,母线BSN及母线BSP分别配置于半导体装置PAC1和半导体装置PAC2上,因此,与经由封固体MR的侧面MRs的引线LD相比,设计上的制约小。因此,母线BSN及母线BSP分别能够增大传送路径的截面积。例如,母线BSN及母线BSP的厚度比引线LD的厚度厚。在图18及图19所示的例子中,母线BSN及母线BSP的厚度比构成端子WTE的部件的厚度厚。但是,作为变形例,构成端子WTE的部件的厚度也可以为母线BSN及母线BSP的厚度以上。另外,例如,母线BSN及母线BSP的宽度(相对于延伸方向正交的方向的长度)比引线LD的宽度宽。母线BSN及母线BSP的宽度不是固定的,但在宽度最窄的部分,母线BSN及母线BSP的宽度比引线LD的宽度宽。

[0166] 这样,母线BSN由于容易增大传送路径的截面积,所以只要能够增大图18所示的半导体装置PAC1的发射极端子ET与母线BSN的连接部分的面积,就能够降低图20所示的从端子NTE至半导体装置PAC1的发射极端子ET的传送路径(路径PTH1的一部分)的电感。另外,母线BSP由于容易增大传送路径的截面积,所以只要能够增大图19所示的半导体装置PAC2的集电极端子CT与母线BSP的连接部分的面积,就能够降低图21所示的从端子PTE至半导体装

置PAC2的集电极端子CT的传送路径(路径PTH3的一部分)的电感。

[0167] 本实施方式1的电子装置EA1的结构也能够以下述方式表现。即,在图17所示的端子PTE和半导体装置PAC2的晶体管Q1的集电极CP之间未介设如图16所示的引线LD那样细长延伸的导电性部件。因此,能够降低向高压侧的开关供给相对较高的电位的电位供给路径(图21所示的路径PTH3)的电感成分。另外,在图17所示的端子NTE和半导体装置PAC1的晶体管Q1的发射极EP之间未介设如图16所示的引线LD那样细长延伸的导电性部件。因此,能够降低向低压侧的开关供给相对较低的电位的电位供给路径(图20所示的路径PTH1)的电感成分。

[0168] 另外,在本实施方式1的电子装置EA1的情况下,半导体装置PAC1的集电极端子CT和半导体装置PAC2的发射极端子ET分别经由连接部件BND1与一个导体图案MP1上连接。另外,如图18所示,导体图案MP1与作为输出端子的端子WTE连接。换言之,根据本实施方式1,在图17所示的将半导体装置PAC2的晶体管Q1的发射极EP和导体图案MP1电连接的路径、及将半导体装置PAC1的晶体管Q1的集电极CP和导体图案MP1电连接的路径未介设如图16所示的引线LD那样细长延伸的导电性部件。因此,能够降低连接作为输出端子的端子WTE和晶体管Q1的路径(图18所示的路径PTH2)的电感成分。该情况下,如上述,由于能够降低输出的电力的损失,所以能够提高逆变器电路的电力转换效率。

[0169] 另外,本实施方式1中,图6所示的母线BSN及母线BSP分别从包含设置于基板WB的导体图案MP1在内的所有导体图案电隔离。换言之,母线BSN及母线BSP各自不经由基板WB地与端子NTE或端子PTE连接。另外,在电子装置EA1的厚度方向(图18所示的Z方向)上,母线BSN位于半导体装置PAC1的发射极端子ET和端子NTE(参照图4)之间。另外,在电子装置EA1的厚度方向(图19所示的Z方向)上,母线BSP位于半导体装置PAC2的集电极端子CT和端子PTE(参照图4)之间。

[0170] 如图20所示,在将半导体装置PAC1的发射极EP和端子NTE电连接的路径PTH1未经由基板WB的情况下,能够缩短路径PTH1的布线路径距离,因此,能够降低路径PTH1中的电感成分。例如,在本实施方式1的情况下,路径PTH1的路径距离比图18所示的将半导体装置PAC1的集电极CP(参照图7)和端子WTE电连接的路径PTH2的路径距离短。

[0171] 另外,如图21所示,在将半导体装置PAC2的集电极CP和端子PTE电连接的路径PTH3未经由基板WB的情况下,能够缩短路径PTH3的布线路径距离,因此,能够降低路径PTH3中的电感成分。例如,在本实施方式1的情况下,路径PTH3的路径距离比图18所示的将半导体装置PAC1的集电极CP(参照图7)和端子WTE电连接的路径PTH2的路径距离短。

[0172] 另外,如图18所示,本实施方式1的电子装置EA1具有的基板WB是被称作绝缘金属基板(Insulated Metal Substrate:IMS)的基板。作为绝缘金属基板的基板WB具有例如以铝等金属为主成分的基材BMS、位于基材BMS的一面(上表面WBt)上的绝缘膜IF3、位于绝缘膜IF3上的导体图案MP1。绝缘膜IF3例如是以环氧系的树脂等树脂材料为主成分的有机绝缘膜,绝缘膜IF3的厚度比基材BMS的厚度薄。图18中,绝缘膜IF3的厚度为基材BMS的厚度的1/3以下、1/4以上程度的厚度,但也可以为1/10以下。作为本实施方式1的电子装置EA1的基板WB利用绝缘金属基板在以下这一点上是优选的。

[0173] 图示省略,但作为图18所示的相对于基板WB的变形例,也可以使用在陶瓷制的基材上表面形成有导体图案MP1的所谓陶瓷基板。但是,在陶瓷基板的情况下,由陶瓷构成的

基材和导体图案MP1的线膨胀系数的差大。因此,当相对于陶瓷基板施加温度循环负载时,有时因线膨胀系数的差而产生的应力施加至基材与导体图案MP1的界面,使得导体图案MP1剥离。该应力的与导体图案MP1的面积成正比例地增大。即,在应用了陶瓷基板的情况下,当导体图案MP1的面积大时,导体图案MP1可能从基材剥离。

[0174] 在作为绝缘金属基板的基板WB的情况下,导体图案MP1例如是由以铜为主成分金属材料构成的金属膜。因此,绝缘膜IF3和导体图案MP1之间的线膨胀系数的差很大。但是,绝缘膜IF3粘接于非常厚的金属制的基材BMS与导体图案MP1之间。因此,即使对绝缘金属基板施加温度循环负载,也能够降低因上述的线膨胀系数的差而产生的应力。因此,即使在导体图案MP1的面积大的情况下,也不易从绝缘膜IF3剥离。换言之,通过使用绝缘金属基板作为基板WB,能够增大导体图案MP1的面积。

[0175] 如上述,在本实施方式1中,导体图案MP1构成与作为输出端子的WTE连接的传送路径的一部分。因此,通过增大导体图案MP1的面积,能够增大图18所示的路径PTH2的截面积。即,通过使用绝缘金属基板作为基板WB,能够降低路径PTH2的电感成分。

[0176] 另外,图22是沿着图5的A-A线的剖视图。图22中,由虚线示意性表示向母线BSN供给的低压侧电位的供给路径,由双点划线示意性表示向母线BSP供给的高压侧电位的供给路径。

[0177] 如上述,本实施方式1的电子装置EA1具备3相逆变器电路,因此,如图5及图22所示,具有3个单元EAU1。3个单元EAU1以沿着X方向并排的方式排列。各单元EAU1分别具有与母线BSN连接的半导体装置PAC1、和与母线BSN连接的半导体装置PAC2。

[0178] 母线BSN具有沿着X方向延伸的部分BSNX,与各单元EAU1具有的半导体装置PAC1的发射极端子ET(参照图22)分别连接。另外,母线BSP具有沿着X方向延伸的部分BSPX,与各单元EAU1具有的半导体装置PAC2的集电极端子CT(参照图22)分别连接。

[0179] 另外,如图21及图22所示,俯视时,母线BSN的部分BSNX(参照图22)和母线BSP的部分BSPX(参照图22)重叠。换言之,在厚度方向上,母线BSN的部分BSNX和母线BSP的部分BSPX彼此相对。这样,在母线BSN的部分BSNX和母线BSP的部分BSPX重叠的情况下,在以下方面是有利的。即,如图22中作为路径PTHN及路径PTHP而示出的那样,在部分BSNX和部分BSPX重叠的情况下,路径PTHN及路径PTHP分别成为沿着X方向彼此并排的状态。另外,路径PTHN及路径PTHP的分开距离通过母线BSP、母线BSN、及绝缘膜IF2的厚度规定,成为大致固定的值。换言之,部分BSNX和部分BSPX彼此以大致平行的状态配置。该情况下,在路径PTHN和路径PTHP之间产生耦合,因该耦合的影响,能够降低各路径的电感。

[0180] 此外,上述的大致固定或者大致平行不限于严格意义上的固定或者平行。如果在得到在路径PTHN和路径PTHP之间产生耦合而使电感降低的效果的范围内,则即使存在稍微的误差,也能够看做是固定或者平行。

[0181] 另外,通过路径PTHN和路径PTHP并行,电感降低的效果例如即使在由图22所示的一个单元EAU1构成的单相的逆变器的情况下也能够获得。但是,路径PTHN和路径PTHP的并行距离越长,上述的电感的降低效果越高。因此,如本实施方式,若应用于将3个单元EAU1以沿着X方向并排的方式排列的电子装置EA1,则特别有效。

[0182] 另外,如图21所示,俯视时,多个半导体装置PAC1及多个半导体装置PAC2分别沿着X方向以半导体装置PAC1和半导体装置PAC2彼此相邻的方式交替排列。因此,从使母线BSP

和半导体装置PAC2的连接部分的面积、及母线BSN和半导体装置PAC1的连接部分的面积最大化的观点考虑,部分BSNX和部分BSPX优选配置在不与多个半导体装置PAC1及多个半导体装置PAC2分别重叠的位置。

[0183] 但是,在本实施方式1中,如图21及图22所示,俯视时,母线BSN的部分BSNX(参照图22)及母线BSP的部分BSPX(参照图22)分别与多个半导体装置PAC1及多个半导体装置PAC2分别重叠。该情况下,由于能够缩短母线BSN及母线BSP的延伸距离(引绕距离),所以能够使电子装置EA1小型化。

[0184] 另外,如图5所示,在端子NTE及端子PTE分别各设置一个的情况下,根据单元EAU1的位置,有时图22所示的路径PTHN及路径PTHP的距离很长。例如,就图5所示的3个单元中的、配置于距端子PTE及端子NTE最远的位置的单元EAU1的图22所示的路径PTHN及路径PTHP的距离与其它单元EAU1相比,特别长。

[0185] 因此,为了补偿因路径PTHN及路径PTHP的距离变长使得电感降低,优选母线BSN的部分BSNX及母线BSP的部分BSPX的厚度非常厚。在图22所示的例子中,就部分BSNX及部分BSPX的厚度而言,分别比导体图案MP1的厚度厚。

[0186] <半导体装置的制造方法>

[0187] 接着,对图5所示的电子装置EA1上搭载的、半导体装置PAC1及半导体装置PAC2的制造方法进行说明。但是,如上述,半导体装置PAC1和半导体装置PAC2具备相同的结构。因此,以下,在半导体装置PAC1及半导体装置PAC2的制造方法的说明中,彼此共用的部分作为半导体装置PAC进行说明。图23、图24及图25是表示图14及图15所示的半导体装置的组装流程的说明图。此外,图23~图25中,在各步骤的附近标注表示各步骤的概要的俯视图。在以下的说明中,作为原则,参照图23~图25记载的俯视图及已说明的图(例如图14或图15等)进行说明。

[0188] <基材准备>

[0189] 首先,在图23所示的步骤S1(基材准备工序)中,准备用于搭载半导体芯片的作为基材的芯片焊盘DP。此外,作为相对于本实施方式的变形例,在芯片焊盘DP与引线架LF(参照步骤S3的俯视图)一体形成的情况下,在步骤S1中,也可以准备将芯片焊盘DP及多个引线LD形成为一体的引线架LF。

[0190] 如图15所示,本实施方式的芯片焊盘DP的厚度比引线LD或引线LDC的厚度厚。该情况下,能够提高经由芯片焊盘DP的散热路径的散热效率。但是,由于芯片焊盘DP的厚度比引线LD厚,所以芯片焊盘DP被作为与引线架LF(参照图23)独立的部件制造。因此,在本实施方式的情况下,在步骤S1中,准备作为芯片搭载部的芯片焊盘DP。芯片焊盘DP由例如以铜为主成分的金属材料形成。

[0191] <芯片搭载>

[0192] 接着,在图23所示的步骤S2(芯片搭载工序)中,在芯片焊盘DP上搭载半导体芯片CHP1及半导体芯片CHP2。如图15所示,在本工序中,半导体芯片CHP1以形成于半导体芯片CHP1的背面CHPb的集电极CP和芯片焊盘DP相对的方式经由导电性粘接材料ADH1搭载。另外,半导体芯片CHP2以形成于半导体芯片CHP2的背面CHPb的阴极电极CDP和芯片焊盘DP相对的方式经由导电性粘接材料ADH1搭载。

[0193] 本工序中,在芯片焊盘DP上,在搭载半导体芯片CHP1的预定区域(芯片搭载区域)

和搭载半导体芯片CHP2的预定区域(芯片搭载区域)分别配置膏状的导电性粘接材料ADH1。之后,将半导体芯片CHP1及半导体芯片CHP2各自的背面CHPb(参照图7及图10)侧按压于导电性粘接材料ADH1,将半导体芯片CHP1及半导体芯片CHP2分别搭载于芯片焊盘DP上。

[0194] 此外,在图15所示的导电性粘接材料ADH1、ADH2、ADH3分别使用焊锡的情况下,在步骤S2不进行加热处理(回流焊),而在作为步骤S4示出的夹片搭载工序之后进行回流焊。另一方面,在导电性粘接材料ADH1、ADH2、ADH3分别使用例如热固化性树脂中含有银(Ag)等金属粒子的导电性树脂的情况下,在步骤S2中,也可以进行使导电性粘接材料ADH1固化的温度下的加热处理(烘培处理)。另外,在导电性粘接材料ADH1、ADH2、ADH3分别使用导电性树脂的情况下,也可以在作为步骤S4示出的夹片搭载工序之后实施烘培处理。

[0195] 在使用熔点按导电性粘接材料ADH1、ADH2、ADH3的顺序高的焊锡的情况下,也可以在本工序中实施回流焊。但是,在实施了回流焊后,需要进行清洗处理,除去助焊剂成分的残渣。但是,从提高制造效率的观点出发,优选回流焊的次数少。

[0196] <金属板搭载>

[0197] 接着,在图23所示的步骤S3(金属板搭载工序)中,在半导体芯片CHP1上搭载金属板MPL1,在半导体芯片CHP2上搭载金属板MPL2。详细而言,金属板MPL1经由导电性粘接材料ADH2(参照图15)搭载于半导体芯片CHP1的发射极EP上。另外,金属板MPL2经由导电性粘接材料ADH2搭载于半导体芯片CHP2的阳极电极ADP上。

[0198] 本工序中,在半导体芯片CHP1的发射极EP上及半导体芯片CHP2的阳极电极ADP上分别配置膏状的导电性粘接材料ADH2。之后,将金属板MPL1、MPL2各自的一面按压于导电性粘接材料ADH2,搭载金属板MPL1、MPL2。

[0199] 根据图15所示的导电性粘接材料ADH1、ADH2、ADH3各自所使用的材料来实施加热处理(回流焊或烘培处理)的定时不同已进行了说明。由于在本工序中也是同样的,所以省略重复的说明。

[0200] 另外,本工序是伴随将夹片CLP与引线架LF一体形成而实施的工序。在将夹片CLP与引线架LF分体形成的情况下,能够省略本工序。另外,在对夹片CLP的一部分实施弯曲加工,且不使用金属板MPL1及MPL2的情况下,能够省略本工序。

[0201] <夹片搭载>

[0202] 接着,在图23所示的步骤S4(夹片搭载工序)中,在半导体芯片CHP1及半导体芯片CHP2上搭载夹片CLP。详细而言,夹片CLP经由导电性粘接材料ADH3(参照图15)搭载于金属板MPL1上及金属板MPL2上。

[0203] 在本工序中,首先,在金属板MPL1及金属板MPL2各自的上表面上配置膏状的导电性粘接材料ADH3。之后,准备将夹片CLP和多个引线LD形成为一体的引线架LF,并将夹片CLP的下表面以覆盖半导体芯片CHP1及半导体芯片CHP2的表面CHPt(参照图6及图9)的方式进行对位。如本实施方式,在夹片CLP与引线架LF形成为一体的情况下,通过进行引线架LF与芯片焊盘DP(或引线架与半导体芯片)的对位,能够容易地进行多个引线LD及夹片CLP的对位。

[0204] 而且,将夹片CLP的下表面按压于导电性粘接材料ADH3,将夹片CLP搭载于半导体芯片CHP1及半导体芯片CHP2上。

[0205] 另外,夹片CLP与具有多个引线LD的引线架LF形成为一体。因此,在本工序中,在芯

片焊盘DP的周围配置多个引线LD。本工序也可以看做是引线架搭载工序。此外,在将夹片CLP及芯片焊盘DP这两者与引线架LF分体形成的情况下,引线架LF优选与芯片焊盘DP或夹片CLP中的任一方预先粘接固定。

[0206] <导线接合>

[0207] 接着,在图24所示的步骤S5(导线接合工序)中,将半导体芯片CHP1的栅电极GP和栅极端子GT即引线LD经由导线BW电连接。另外,在本工序中,将图14所示的发射极EP和信号端子ST及引线LD经由导线BW电连接。

[0208] 本工序中,例如,在将导线BW的一端部与半导体芯片CHP1的电极(栅电极GP或发射极EP)连接后,形成导线环。之后,如果在将导线BW与引线LD的一部分(接合区域)连接后,切断导线,则获得图15所示的导线BW。

[0209] 此外,将半导体芯片CHP1的电极和引线LD电连接的方法有各种变形例。例如,也可以代替导线BW而经由带状延伸的金属带连接。

[0210] 接着,在图24所示的步骤S6(封固工序)中,将半导体芯片CHP1、半导体芯片CHP2及导线BW用树脂封固。图26是在图24所示的封固工序中形成了将半导体芯片封固的封固体的状态的放大剖视图。

[0211] 在本实施方式中,在封固工序中,例如通过压铸模方式形成封固体MR。在压铸模方式中,在未图示的成形模内固定了引线架LF的状态下向成形模的腔室内压入树脂。构成封固体MR的树脂例如以环氧系的热固化性树脂作为主成分,例如包含二氧化硅等填料粒子。若向成形模型的腔室内充填树脂,则获得图24及图26所示的封固体MR的形状。在成形模型内加热树脂,只要树脂的一部分固化至某种程度,就能够从成形模型中取出引线架LF。另外,在将引线架从成形模型取出后,在加热炉(烘烤炉)中进一步加热,使树脂成为本固化状态(热固化性树脂成分的整体固化了的状态)时,获得图26所示的封固体MR。

[0212] 但是,在本工序后实施图24所示的抛光工序之前,如图26所示,夹片CLP由封固体MR封固。封固体MR的上表面MRt2为与图15所示的主面MRt不同的面。另一方面,芯片焊盘DP从封固体MR的主面MRb露出。作为相对于本实施方式的变形例,在封固工序中也能够以夹片CLP从封固体MR露出的方式形成封固体MR。

[0213] 如本实施方式,在封固工序中通过树脂封固夹片CLP在以下发面有利。即,为了在封固工序中使夹片CLP的上表面露出,以使成形模型的腔室的一部分(或者贴附于腔室的树脂带的一部分)与夹片CLP接触的状态压入树脂。此时,在导线BW的导线环的顶点至腔室的距离短的情况下,可能因所供给的树脂的压力的影响而使导线BW发生变形。在厚度方向上,通过减小导线BW的导线环的顶点和夹片CLP的上表面的高低差,能够使半导体装置薄型化。

[0214] 如本实施方式,在封固工序中将夹片CLP由封固体MR封固的情况下,即使在上述导线环的顶点和夹片CLP的上表面的高低差小的情况下,也能够使导线BW的导线环的顶点和腔室充分分开。因此,能够抑制封固工序中的导线BW的变形。但是,在未使用导线BW的情况或者例如充分确保上述高低差、导线BW变形的可能性低的情况下,在本工序中,也可以使夹片CLP的上表面露出。

[0215] 另外,在封固体MR的主面MRb侧,没有上述那样的理由。因此,在本工序中,如图26所示,以芯片焊盘DP的下表面从封固体MR的主面MRb露出的方式形成封固体MR。

[0216] <抛光>

[0217] 接着,在图24所示的步骤S7(抛光工序)中,对位于封固体MR的主面MRb(参照图26)的相反侧的上表面(主面)MRt2进行抛光,使夹片CLP的上表面成封固体MR的主面MRt露出。

[0218] 在本工序中,例如使用磨石对图26所示的封固体MR的上表面MRt2侧进行机械抛光。此外,研磨方法有各种变形例,除机械研磨的方法外,也可以进行化学机械研磨(CMP: Chemical Mechanical Polishing)。通过本工序,如图15所示,夹片CLP的上表面在封固体MR的主面MRt露出。

[0219] 此外,如上述,在封固工序中,在以夹片CLP的上表面从封固体MR露出的方式形成封固体MR的情况下,能够省略本工序。

[0220] <镀敷>

[0221] 接着,在图25所示的步骤S8(镀敷工序)中,如图15所示,在从封固体MR露出的夹片CLP的上表面、芯片焊盘DP的下表面、引线LD及引线LDC的从封固体MR的露出部分形成金属膜。

[0222] 在本工序中,将引线架LF(参照图25)浸入例如含有焊锡材料的电解液即镀液(省略图示),将引线架LF作为阴极电极,流通电流。由此,在引线架LF中的、从树脂即封固体MR露出的金属部分选择性地形成金属膜SDF。

[0223] 本工序中形成的金属膜SDF具有在使用焊锡作为将半导体装置PAC搭载于例如图18所示的电子装置EA1时的连接部件BND1的情况下使焊锡的润湿性提高的功能。在连接部件BND1是焊锡的情况下,金属膜SDF和连接部件BND1彼此熔融、一体化。另外,在连接部件BND1是导电性树脂的情况下,也可以不形成金属膜SDF。

[0224] <单片化>

[0225] 接着,在图25所示的步骤S9(单片化工序)中,从引线架LF的框部LFF切下每一个封固体MR的封装。此外,在图23~图25中,示出在一个引线架上形成一个封装PKG的例子。当然,实际上也能够以图23~图25所示的方式制造半导体装置PAC。但是,从提高制造效率的观点出发,多从一个引线架LF取得多个封装PKG。该情况下,通过从引线架的框部LFF切下封装PKG,将多个封装PKG彼此分离,使其单片化。

[0226] 本工序中,将多个引线LD、LDC各自的框部LFF侧的一部分切断。另外,在本工序中,将多个引线LD及多个引线LDC彼此连结,且将与框部LFF连接的连筋TB切断。由此,封装PKG被从框部LFF分离,且多个引线LD及多个引线LDC分别彼此分离。

[0227] 此外,图25中,分开表示单片化工序和引线成形工序,但也可以一并进行单片化工序和引线成形工序。

[0228] <引线成形>

[0229] 接着,在图25所示的步骤S10(引线成形工序)中,相对于多个引线LD实施弯曲加工,获得图18所示的半导体装置PAC1的引线LD的形状、或图19所示的半导体装置PAC2的引线LD的形状。引线LD的弯曲方向如下。

[0230] 即,图18所示的半导体装置PAC1的引线LD以在半导体装置PAC1的厚度方向上引线LD的前端比封固体MR的主面MRb更接近主面MRt的方式折弯。另外,图19所示的半导体装置PAC2的引线LD以在半导体装置PAC2的厚度方向上引线LD的前端比封固体MR的主面MRt更接近主面MRb的方式折弯。

[0231] 另外,在本实施方式中,多个引线LD中的、未使用的引线LD在封固体MR的侧面MRs

的附近被切断。另外,在本实施方式中,多个引线LDC未用作为半导体装置PAC的端子。因此,多个引线LDC在封固体MR的侧面MRs的附近被切断。

[0232] <检查>

[0233] 接着,在图25所示的步骤S11(检查工序)中,对半导体装置PAC实施外观检查或电气试验等必要的试验。检查的结果是,被判定为合格的PAC被安装于图5所示的电子装置EA1。或者,在其它场所组装电子装置EA1的情况下,将被判断为合格的半导体装置PAC作为产品出厂。

[0234] (实施方式2)

[0235] 接着,作为实施方式2,对具有构成使用图3说明的桥臂LG1、桥臂LG2、及桥臂LG3中的任一个的单层的逆变器电路的电子装置的实施方式进行说明。图27是表示本实施方式2的电子装置的电路结构例的电路图。图27中,示出着眼于图3所示的逆变器电路INV的桥臂LG1~桥臂LG3中的、由单位桥臂LG1A和单位桥臂LG1B构成桥臂LG1,桥臂LG1的例子。此外,在本实施方式2中,以与上述实施方式1的不同点为中心进行说明,但与上述实施方式1重复的部分原则上省略。

[0236] 例如,如图3所示的逆变器电路INV,在一般的逆变器电路中,桥臂LG1~桥臂LG3分别由一个上桥臂和一个下桥臂构成。但是,有时因流经逆变器电路的电流值而导致超过流经上桥臂和下桥臂的电流容许量。因此,在本实施方式2中,考虑在逆变器电路流经大电流的情况,例如采用将桥臂LG1~桥臂LG3分别组装于由多个上桥臂和多个下桥臂构成的逆变器电路的电子装置EA2进行说明。

[0237] 图27所示的电子装置EA2具备的电路构成相当于图3所示的桥臂LG1的部分,但在桥臂LG1包含单位桥臂LG1A和单位桥臂LG1B这一点上不同。在电子装置EA2的情况下,将单位桥臂LG1A和单位桥臂LG1B并联连接,因此,即使在桥臂LG1中流通大电流,也能够使电流分散于单位桥臂LG1A和单位桥臂LG1B。即,电子装置EA2成为与图27所示的单元EAU1相比能够流通大电流的结构。

[0238] <电子装置的安装方式>

[0239] 接着,对于图27所示的电路对应的电子装置的安装方式进行说明。图28是表示图27所示的电子装置的外观形状的立体图。图29是表示图28所示的电子装置的内部构造的俯视图。图29中,用虚线表示各个母线BSU、BSN、BSP。图30是沿着图29的A-A线的剖视图。图30中,用虚线表示母线BSU、BSN、BSP的一部分(沿电子装置的厚度方向延伸的部分)。图31是沿着图29的B-B线的剖视图。图32是沿着图29的C-C线的剖视图。

[0240] 如图28所示,本实施方式的电子装置EA2具有长方形的平面形状,具有多个外部端子露出的框体CAS。从框体CAS露出的多个外部端子中包含以下的端子。即,电子装置EA1具有端子PTE及端子NTE。另外,电子装置EA2例如具有U相的输出端子即端子UTE。端子UTE、端子NTE、及端子PTE以俯视时在框体CAS的中央部沿着X方向并排的方式排列。如图30所示,端子UTE、端子NTE、及端子PTE配置在框体CAS中的、覆盖基板WB的上表面WBt的部分。

[0241] 另外,电子装置EA2具有在与半导体装置之间传送信号的多个信号端子SGTE。多个信号端子SGTE包含向半导体装置传送栅极信号的端子GTE1、GTE2。另外,多个信号端子SGTE包含输出用于监视例如温度、电压、或电流等半导体装置的动作状态的信号的、监视端子MTE。在俯视时,多个信号端子SGTE以沿着框体CAS的一短边(沿着Y方向)并排的方式排列。

[0242] 另外,如图29所示,在基板WB的上表面WBt上搭载有半导体装置PAC1A、PAC1B、PAC2A、及PAC2B。该4个半导体装置PAC1A、PAC1B、PAC2A、及PAC2B分别为同样的构造,分别具备图27所示的晶体管Q1和二极管FWD。半导体装置PAC1A及半导体装置PAC2A构成图27所示的单位桥臂LG1A,半导体装置PAC1B及半导体装置PAC2B构成图27所示的单位桥臂LG1B。

[0243] 半导体装置PAC1A及半导体装置PAC1B以沿着X方向彼此相邻的方式排列。另外,如图30所示,半导体装置PAC1A及半导体装置PAC1B的发射极端子ET经由母线BSN彼此电连接,且与端子NTE电连接。另一方面,半导体装置PAC1A及半导体装置PAC1B的集电极端子CT经由导体图案MP1彼此电连接,且经由导体图案MP1及母线BSU与端子UTE电连接。

[0244] 另外,半导体装置PAC2A及半导体装置PAC2B以沿着X方向彼此相邻的方式排列。另外,半导体装置PAC2A及半导体装置PAC2B的集电极端子CT经由母线BSP彼此电连接,且与端子PTE电连接。另一方面,半导体装置PAC2A及半导体装置PAC2B的发射极端子ET经由导体图案MP1彼此电连接,且经由导体图案MP1及母线BSU与端子UTE电连接。

[0245] 根据上述的结构,如图27所示,构成将单位桥臂LG1A和单位桥臂LG1B并联电连接的逆变器电路。

[0246] 另外,如图29所示,半导体装置PAC1A、PAC1B、PAC2A、及PAC2B分别具有的多个引线LD与形成于基板WB的上表面WBt的导体图案MP2、MP3、MP4、或MP5连接。详细而言,半导体装置PAC1A的栅极端子GT及半导体装置PAC1B的栅极端子GT经由俯视时沿着X方向延伸的导体图案(布线图案)MP2与端子GTE1电连接。换言之,栅极端子GT在封固体MR的外部具有弯曲部,经由基板WB与端子GTE1连接。另外,半导体装置PAC2A的栅极端子GT及半导体装置PAC2B的栅极端子GT经由俯视时沿着X方向延伸的导体图案(布线图案)MP3与端子GTE2电连接。换言之,栅极端子GT在封固体MR的外部具有弯曲部,经由基板WB与端子GTE2连接。

[0247] 另外,半导体装置PAC1A的信号端子ST及半导体装置PAC1B的信号端子ST经由俯视时沿着X方向延伸的导体图案(布线图案)MP4与监视端子MTE电连接。另外,半导体装置PAC2A的信号端子ST及半导体装置PAC2B的信号端子ST经由俯视时沿着X方向延伸的导体图案(布线图案)MP5与监视端子MTE电连接。

[0248] 如电子装置EA2那样,在引线LD与基板WB的导体图案连接的情况下,引线LD的弯曲方向与上述实施方式1中说明的半导体装置PAC1及半导体装置PAC2不同。即,如图31所示,半导体装置PAC1A及半导体装置PAC1B所具有的引线LD以在电子装置EA2的厚度方向(图31所示的Z方向)上引线LD的前端比封固体MR的主面MRt更接近主面MRb的方式折弯。另外,如图32所示,半导体装置PAC2A及半导体装置PAC2B所具有的引线LD以在电子装置EA2的厚度方向(图32所示的Z方向)上引线LD的前端比封固体MR的主面MRb更接近主面MRt的方式折弯。

[0249] 另外,电子装置EA1在以下方面与上述实施方式1中说明的电子装置EA1不同。

[0250] 如图30及图31所示,电子装置EA2的母线BSN具有从与半导体装置PAC1A、PAC1B的发射极端子ET的连接部分朝向与端子NTE连接的部分沿电子装置EA2的厚度方向(Z方向)延伸的部分BSNz。另外,如图30及图32所示,电子装置EA2的母线BSP具有从与半导体装置PAC1A、PAC1B的集电极端子CT的连接部分朝向与端子PTE连接的部分沿电子装置EA2的厚度方向(Z方向)延伸的部分BSPz。另外,如图30所示,电子装置EA2的母线(导电性部件、连接部件、导体棒)BSU具有从与导体图案MP1的连接部分朝向与端子UTE连接的部分沿电子装置

EA2的厚度方向(Z方向)延伸的部分BSU_z。

[0251] 像这样,由于母线BSN、BSP、BSU分别具有沿电子装置EA2的厚度方向延伸的部分,从而能够将母线延伸至外部端子的近前。如上述实施方式1中所说明的那样,母线BSN及母线BSP(及母线BSU)是配置在将半导体装置的端子和电子装置的外部端子电连接的路径中的棒状的导电性部件,是具有用去降低传送损耗的充分的路径截面积的导体棒(导电性部件)。因此,在电子装置EA2的情况下,与上述实施方式1中所说明的电子装置EA1相比,能够进一步降低传送损耗。

[0252] 另外,如图30所示,母线BSN在Z方向(电子装置EA2的厚度方向)上的延伸距离VL1及母线BSP在Z方向上的延伸距离VL2分别比母线BSU在Z方向上的延伸距离VL3更短。因此,电子装置EA2特别能够降低与端子NTE连接的路径和与端子PTE连接的路径的电感。

[0253] <变形例1>

[0254] 以上,基于实施方式对由本发明人创建的发明进行了具体说明,但本发明不限于上述实施方式,当然在不脱离其宗旨的范围内能够进行各种变更。此外,在上述实施方式中也对几个变形例进行了说明,但眼下对上述实施方式中说明的变形例以外的代表性的变形例进行说明。

[0255] 例如,在上述实施方式1及上述实施方式2中,对作为构成开关元件的晶体管Q1使用IGBT的例子进行了说明。但是,作为变形例,也可以使用功率MOSFET作为逆变器电路的开关元件。在功率MOSFET的情况下,在构成晶体管的半导体元件内形成作为寄生二极管的体二极管。该体二极管实现图17即图27所示的二极管(续流二极管)FWD的功能。因此,如果使用具备功率MOSFET的半导体芯片,则在该半导体芯片的内部内置体二极管。因此,在使用功率MOSFET的情况下,搭载于一个半导体装置(半导体封装)的内部的半导体芯片也可以是一个。

[0256] 另外,在作为逆变器电路的开关元件使用功率MOSFET的情况下,在上述实施方式1及实施方式2中进行的说明中,能够将记载为发射极的部分改称为源极,将记载为集电极的部分改称为漏极来运用。因此,省略重复的说明。

[0257] <变形例2>

[0258] 另外,例如,在上述实施方式1和上述实施方式2中,采用具有互不相同的形状的外部端子的电子装置进行了说明。关于电子装置的外部端子的形状及设计,有各种变形例。因此,上述实施方式1及上述实施方式2中说明的外部端子的形状是一例,不限于于此。例如,作为相对于上述实施方式1及上述实施方式2的变形例,在母线BSN或母线BSP的一部分贯穿框体CAS露出到外部的情况下,能够将该露出的部分用作外部端子。另外,作为相对于上述实施方式1及上述实施方式2的变形例,在半导体装置的引线LD的一部分贯穿框体CAS露出到外部的情况下,能够将该露出的部分用作外部端子。

[0259] <变形例3>

[0260] 另外,例如,在上述实施方式1及上述实施方式2中,对利用夹片CLP作为发射极端子ET且利用芯片焊盘DP作为集电极端子CT的实施方式进行了说明。但是,发射极端子ET及集电极端子CT的构造或形状有各种变形例。例如,也可以使图15所示的金属板MPL1的上表面在封固体MR的主面MR_t露出,将其用作发射极端子。另外,也可以使半导体芯片CHP1的发射极EP在封固体MR的主面MR_t露出,将其用作发射极端子。

[0261] 但是,从增大发射极端子的露出面积的观点考虑,如上述实施方式1中所说明的那样,优选利用夹片CLP作为发射极端子。

[0262] <变形例4>

[0263] 另外,例如,在上述实施方式1及上述实施方式2中,对在半导体装置的端子上连接母线且基板WB被框体覆盖的电子装置进行了说明。但是,电子装置的方式有各种变形例。例如,也有时在基板WB上搭载多个半导体装置,以被框体CAS覆盖之前的状态作为产品出厂。进而,也有时在半导体装置上连接母线之前的状态作为产品出厂。该情况下,如图20所示,半导体装置PAC1的集电极端子CT和半导体装置PAC2的发射极端子ET经由导体图案MP1彼此电连接。因此,能够降低将半导体装置PAC1的集电极端子CT和半导体装置PAC2的发射极端子ET电连接的路径的电感。

[0264] <变形例5>

[0265] 另外,例如,如上述,对各种变形例进行了说明,但能够将上述说明的各变形例彼此组合来应用。

[0266] 附图标记说明

[0267] ADH1、ADH2、ADH3导电性粘接材料(芯片焊接材料、导电性部件、连接部件、接合材料)

[0268] ADP阳极电极(阳极电极焊盘、表面电极)

[0269] BMS基材(金属基材、金属板)

[0270] BND1、BND2、BND3连接部件(导电性部件、导电性粘接材料、接合材料)

[0271] BSN、BSP、BSU母线(导电性部件、连接部件、导体棒)

[0272] BSNx、BSNz、BSPx、BSPz、BSUz部分

[0273] BW导线(导电性部件)

[0274] CAP电容元件

[0275] CAS框体

[0276] CDP阴极电极(阴极电极焊盘、背面电极)

[0277] CHP1、CHP2半导体芯片

[0278] CHPb背面(面、下表面、主面)

[0279] CHPt表面(面、上表面、主面)

[0280] CLP夹片(导电性部件、金属板、电极连接部件)

[0281] CP集电极(集电极焊盘、背面电极)

[0282] CT集电极端子(封装端子、背面端子)

[0283] DP芯片焊盘(芯片搭载部、金属板、接头片、散热器)

[0284] E直流电源

[0285] EA1、EA2电子装置(半导体模块、功率模块)

[0286] EAU1单元(电子装置单元)

[0287] EP发射极(发射极焊盘、表面电极)

[0288] ER、NR1、NR2、NR3、NR4、PR1、PR2、PR3、PR4半导体区域

[0289] ET发射极端子(封装端子、表面端子)

[0290] FWD二极管(续流二极管)

- [0291] GC栅极控制电路
- [0292] GE、GP栅电极(栅电极焊盘、表面电极)
- [0293] GOX栅极绝缘膜
- [0294] GT栅极端子
- [0295] GTE1、GTE2、NTE、PTE、UTE、VTE、WTE端子(外部端子)
- [0296] IF1、IF2、IF3绝缘膜
- [0297] INV逆变器电路
- [0298] LD、LDC引线(端子)
- [0299] LF引线架
- [0300] LFF框部
- [0301] LG1、LG2、LG3桥臂
- [0302] LG1A、LG1B单位桥臂
- [0303] LS1、LS2长边
- [0304] MB1、MLP1、MLP2金属板(导电性部件)
- [0305] MP1导体图案(金属图案)
- [0306] MP2、MP3、MP3、MP4、MP5(布线图案)
- [0307] MR封固体(树脂体)
- [0308] MRb主面(下表面、背面)
- [0309] MRs侧面
- [0310] MRt主面(上表面、表面)
- [0311] MRt2上表面(主面)
- [0312] MT 3相感应电机
- [0313] MTE监视端子
- [0314] NT负电位端子(低压侧端子)
- [0315] PAC半导体措置
- [0316] PAC半导体芯片
- [0317] PAC、PAC1、PAC1A、PAC1B、PAC2、PAC2A、PAC2B半导体装置(半导体封装)
- [0318] PKG封装
- [0319] PT正电位端子(高压侧端子)
- [0320] PTH1、PTH2、PTH3、PTHN、PTHP路径(传送路径)
- [0321] Q1晶体管
- [0322] RT转子
- [0323] S1~S11步骤
- [0324] SDF金属膜
- [0325] SGTE信号端子
- [0326] SS3、SS4短边
- [0327] ST信号端子
- [0328] SW1~SW6开关
- [0329] TB连筋

- [0330] THH贯穿孔
- [0331] TR沟道
- [0332] VL1、VL2、VL3延伸距离
- [0333] WB基板
- [0334] WBb下表面(背面、面)
- [0335] WBt上表面(表面、面)

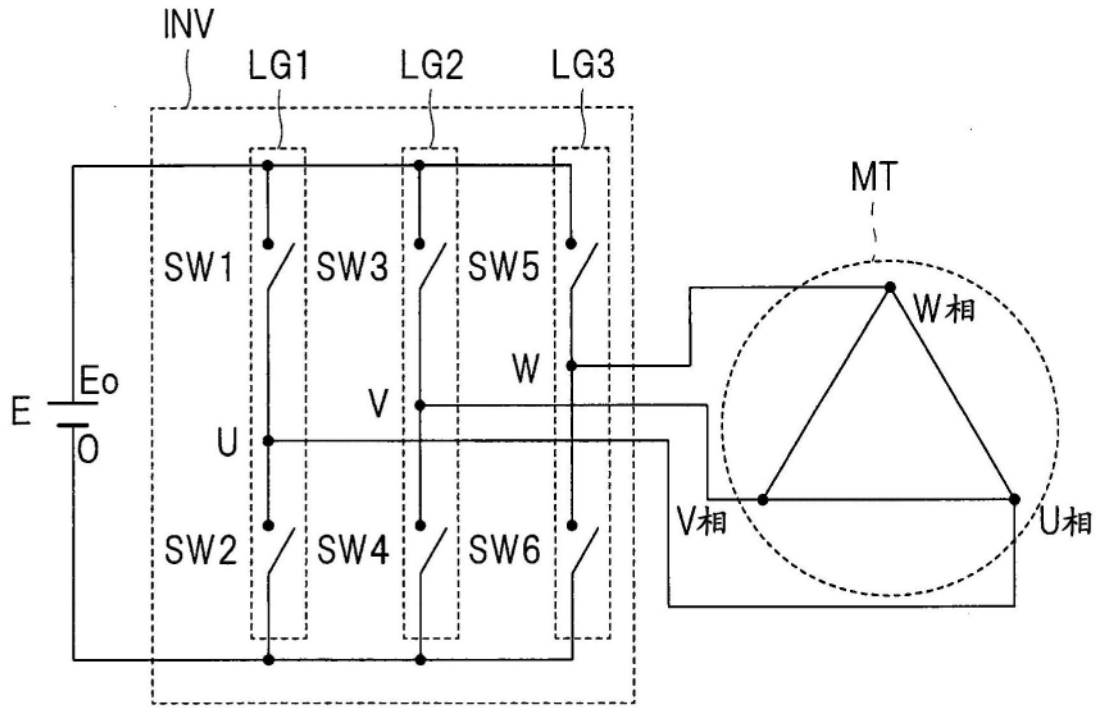


图1

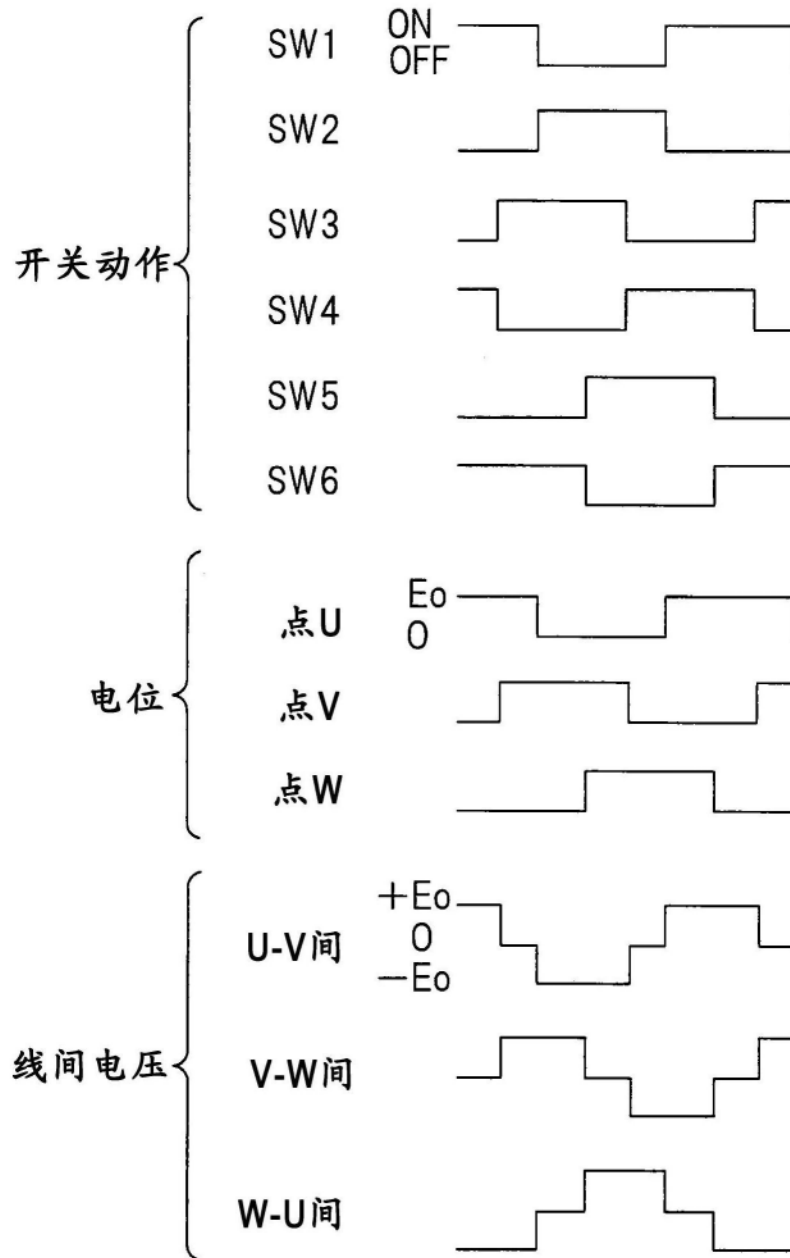


图2

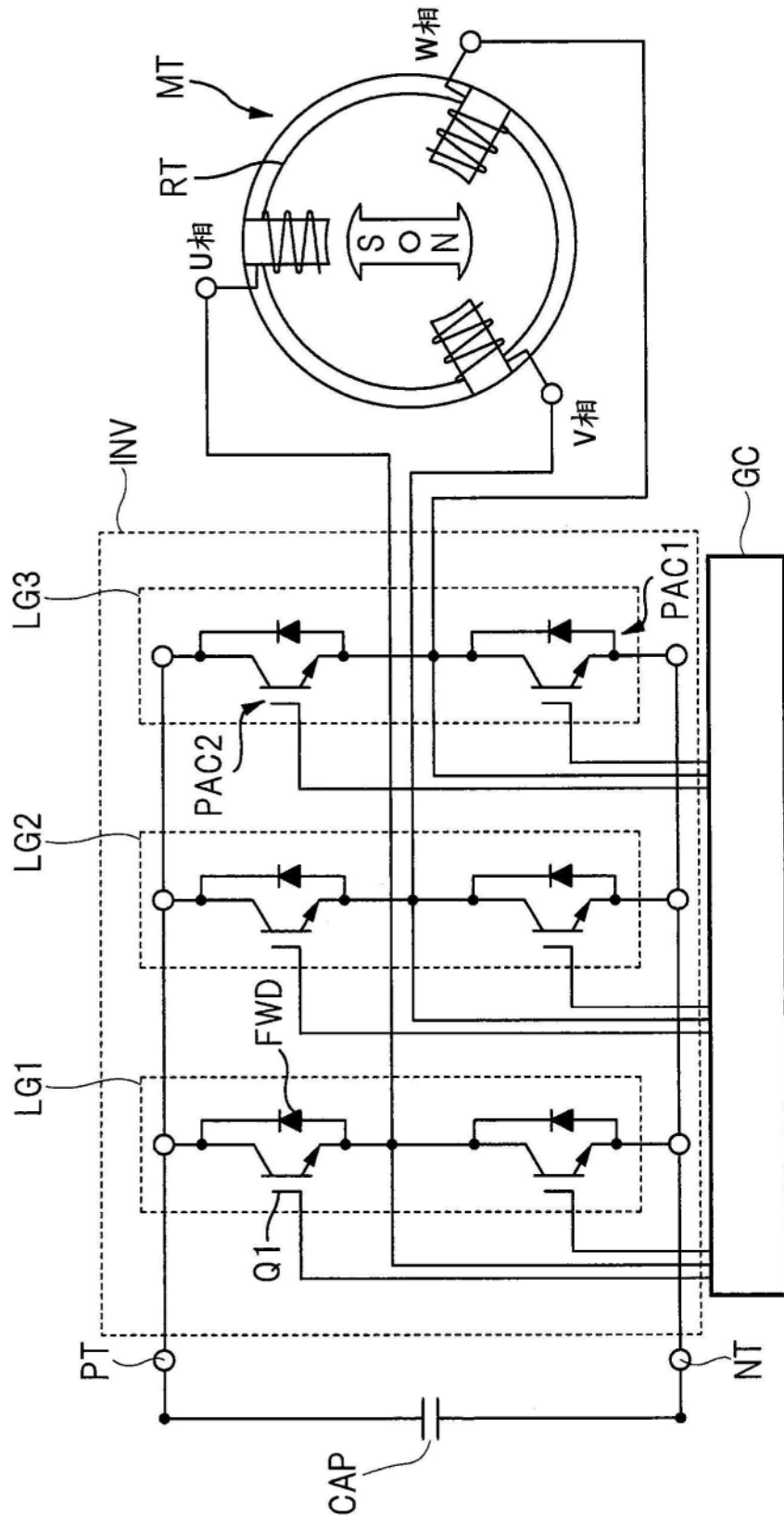


图3

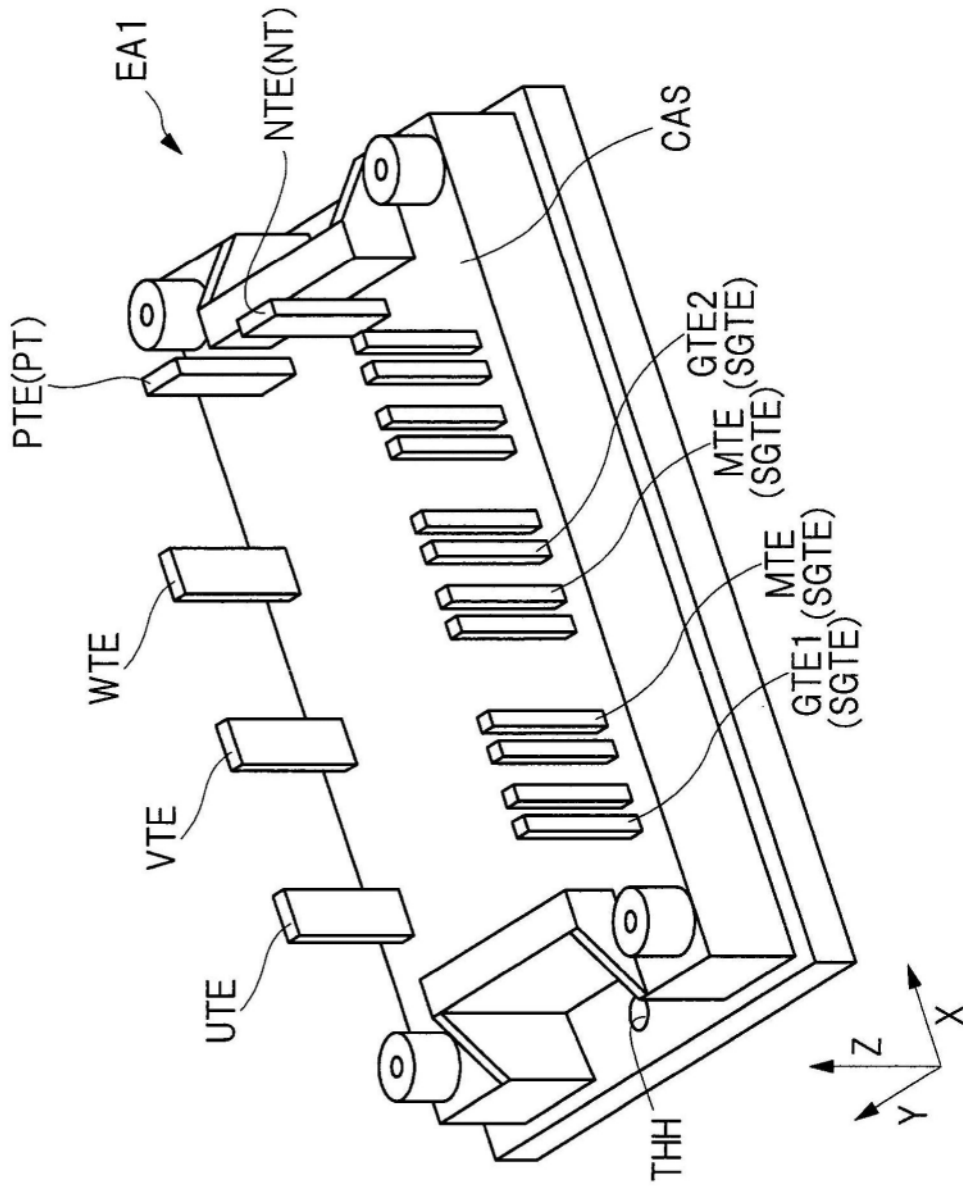


图4

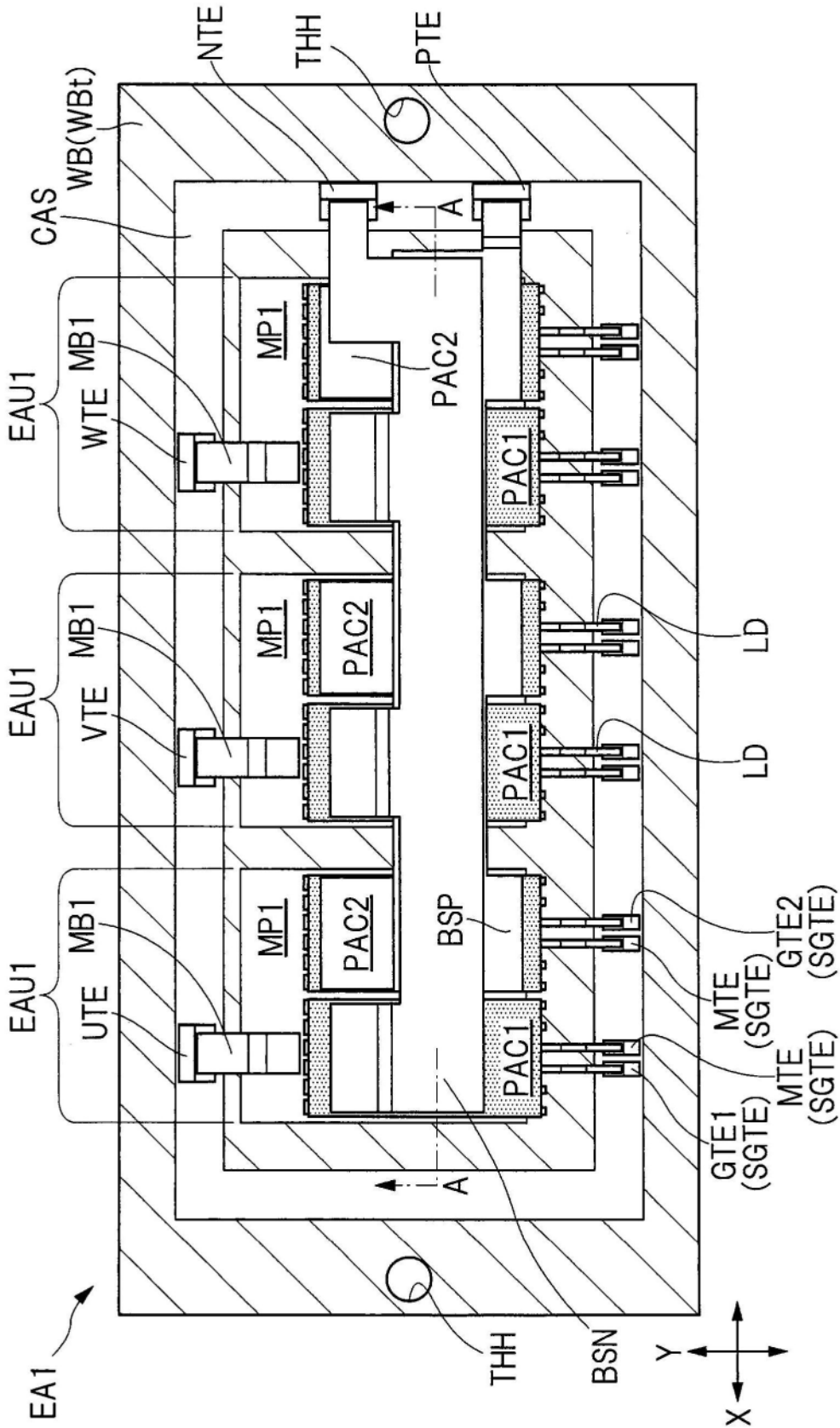


图5

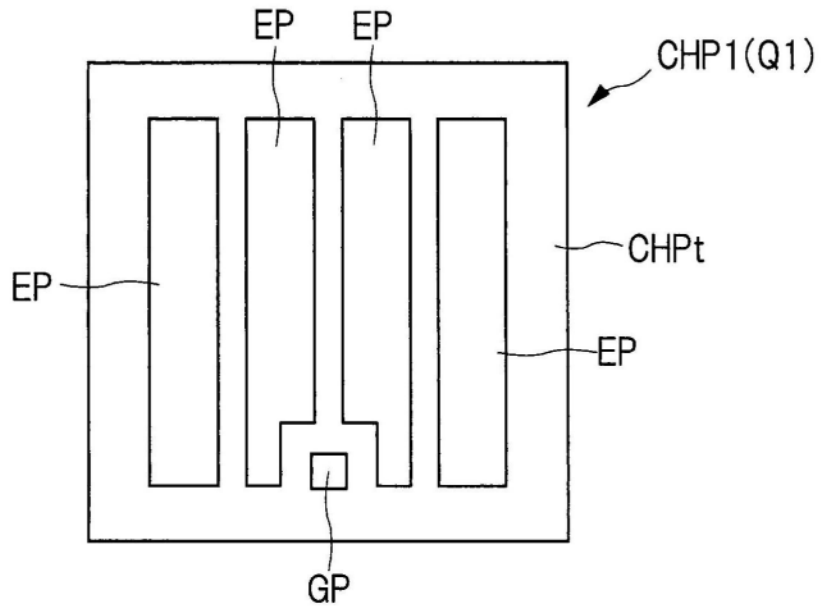


图6

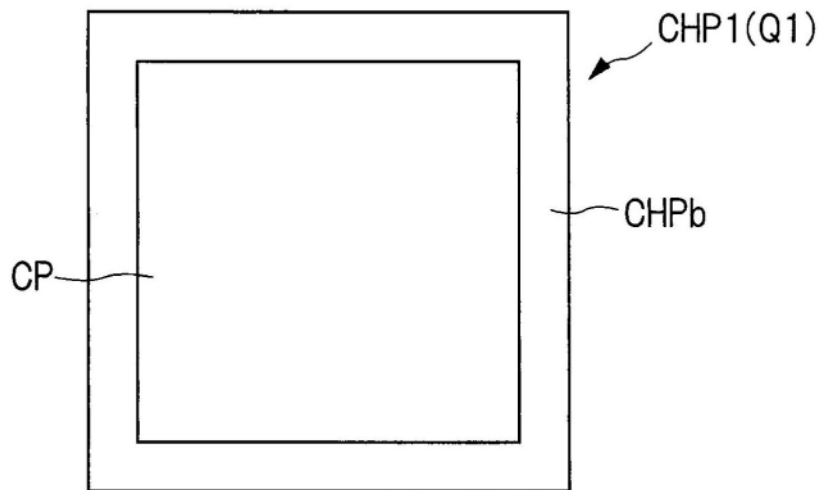


图7

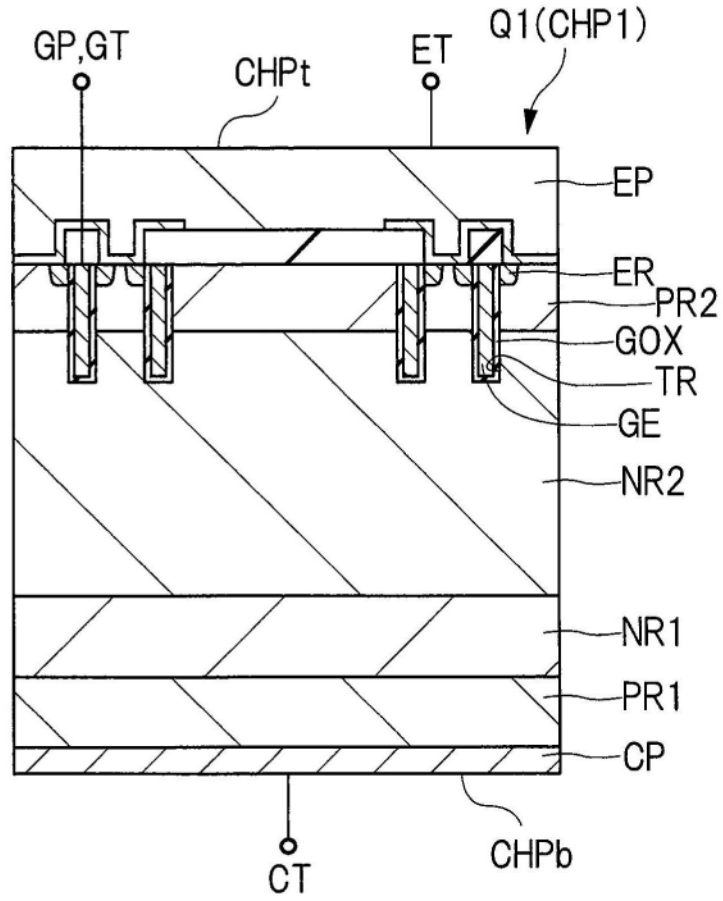


图8

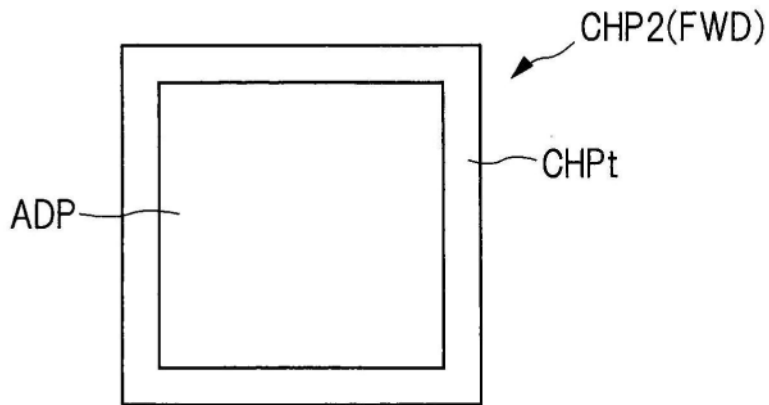


图9

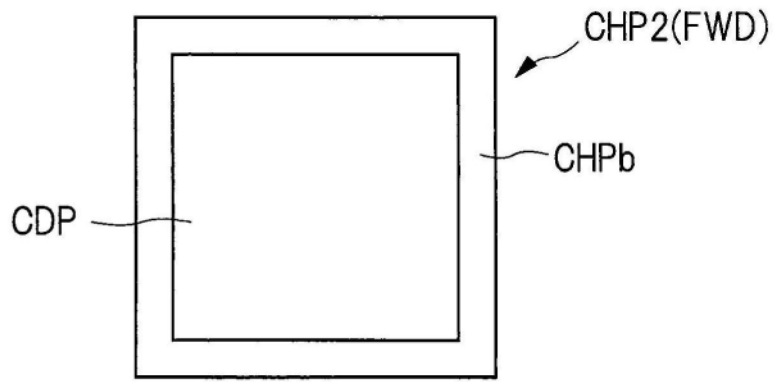


图10

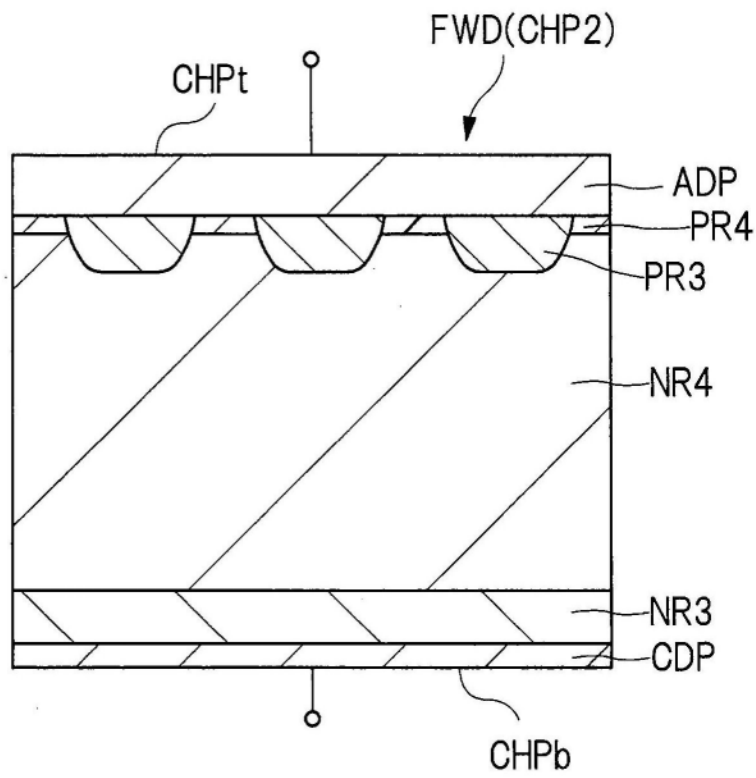


图11

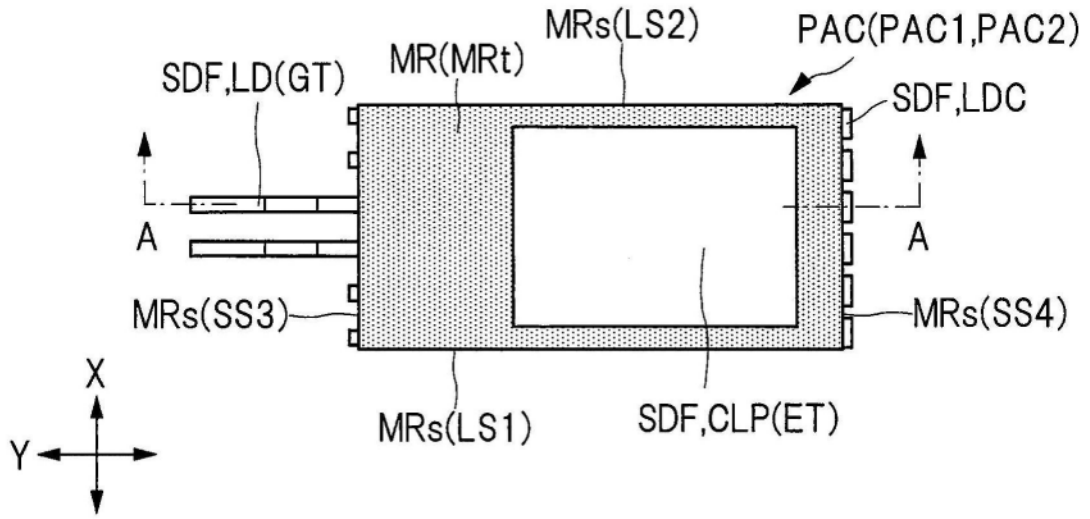


图12

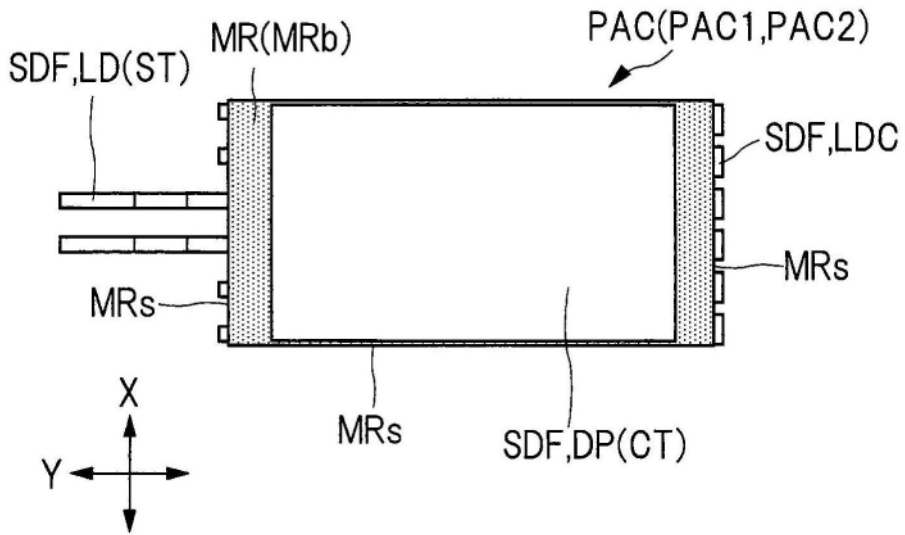


图13

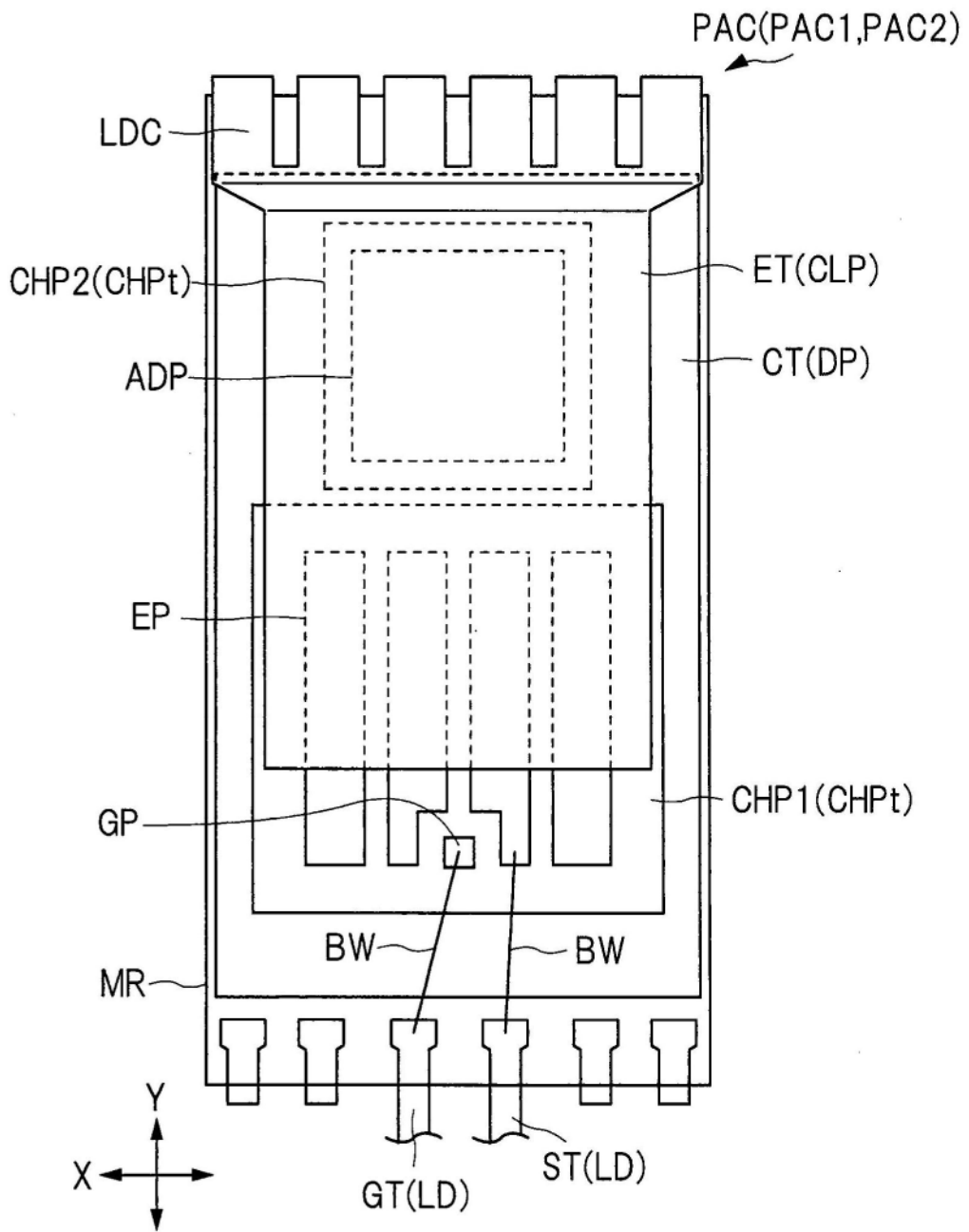


图14

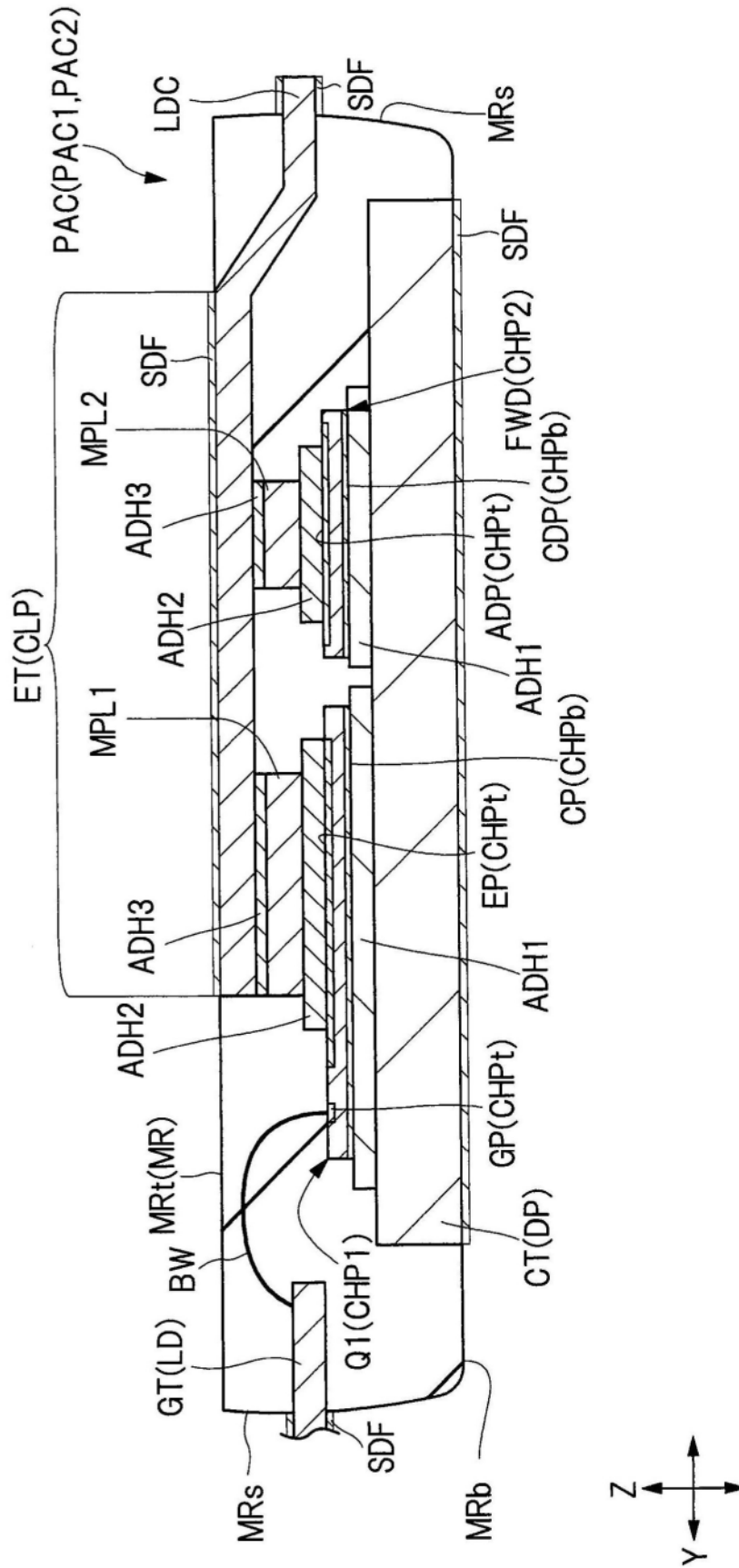


图15

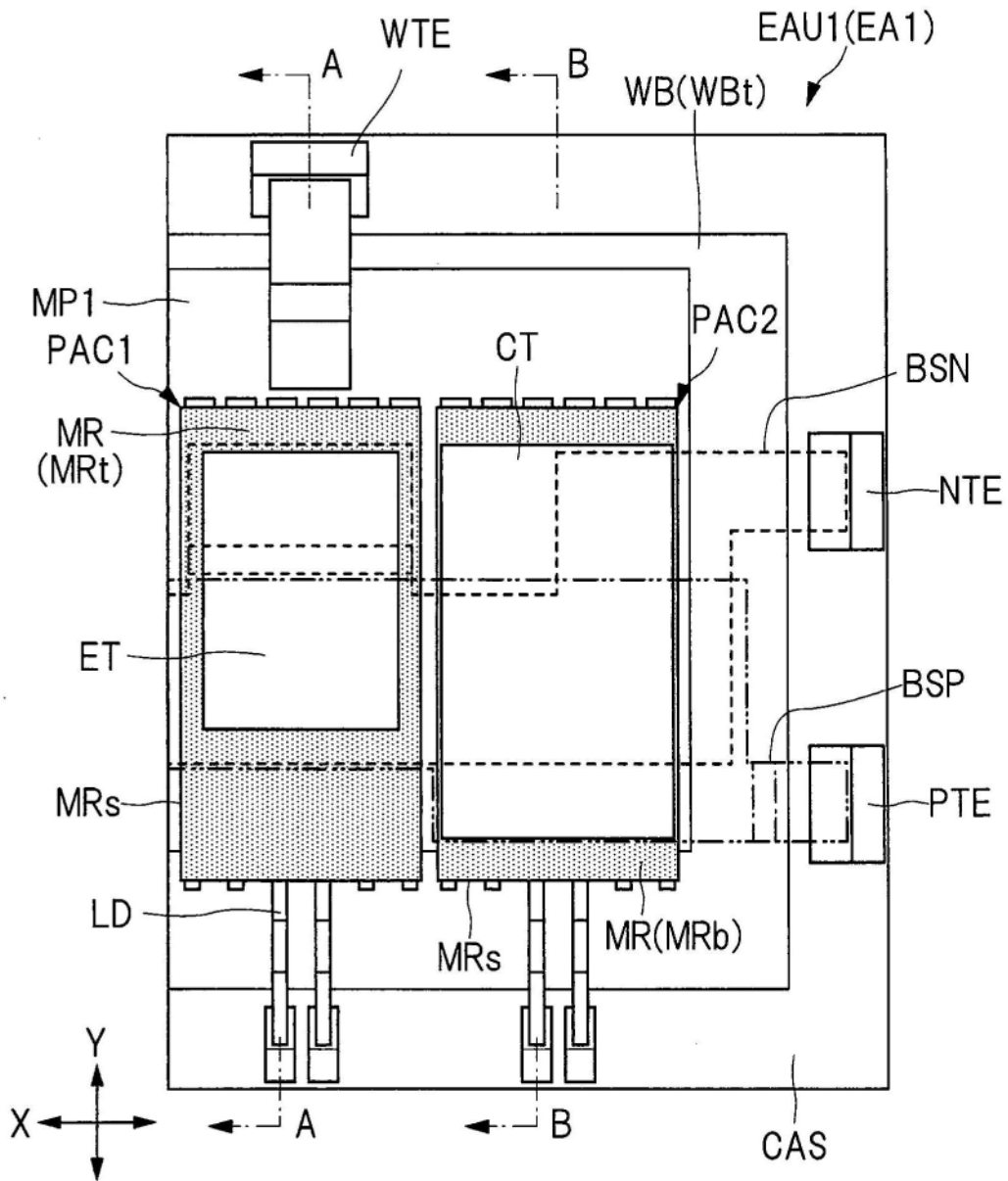


图16

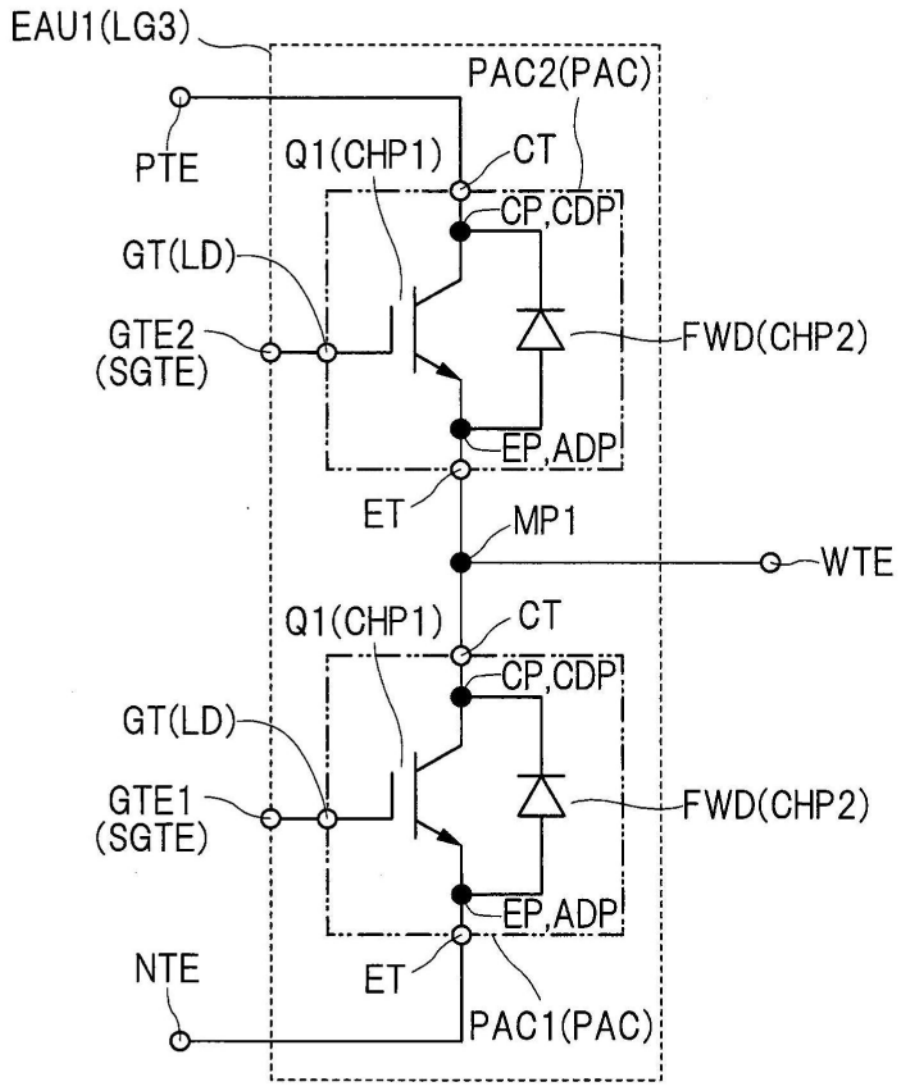


图17

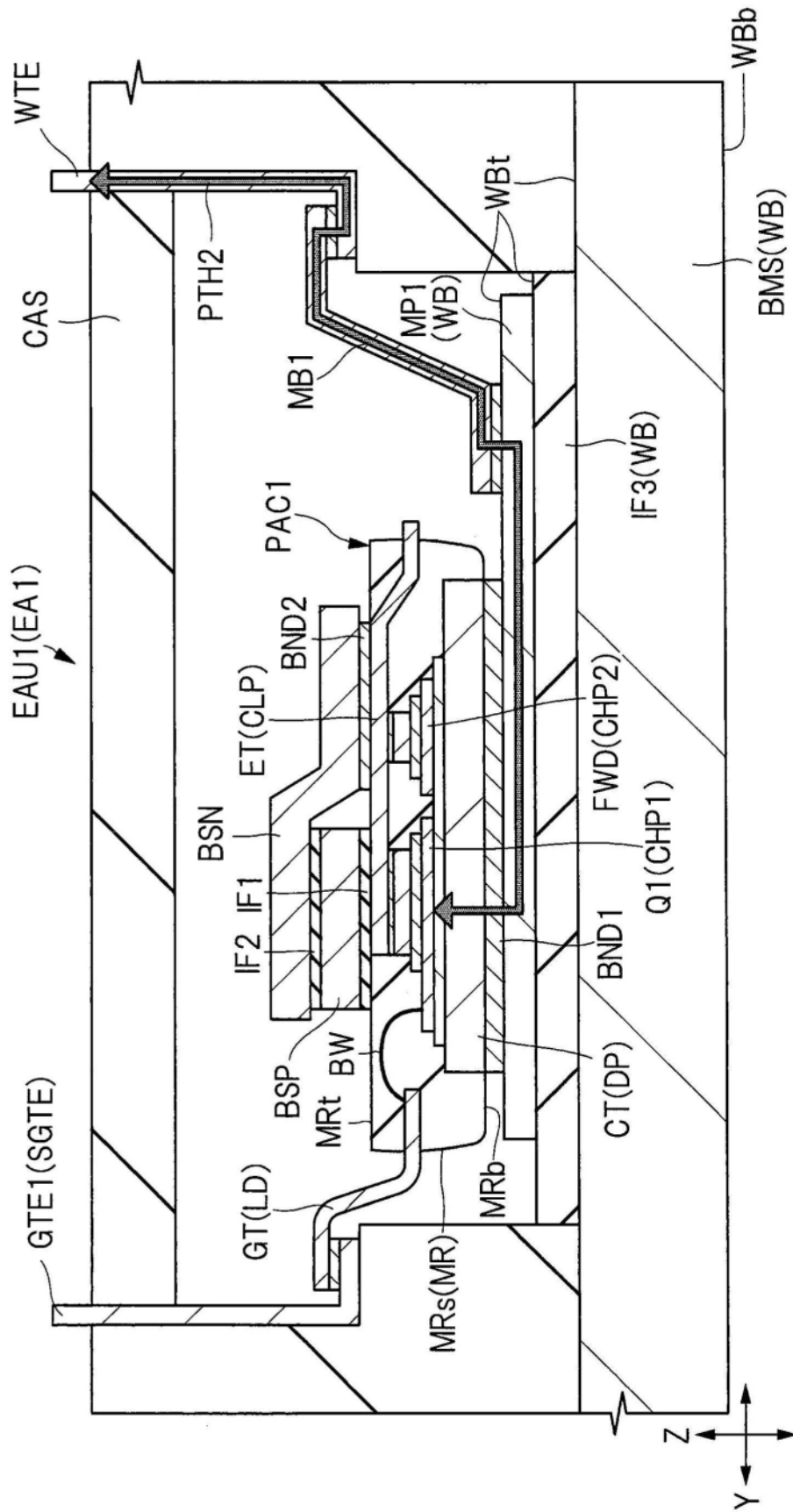


图18

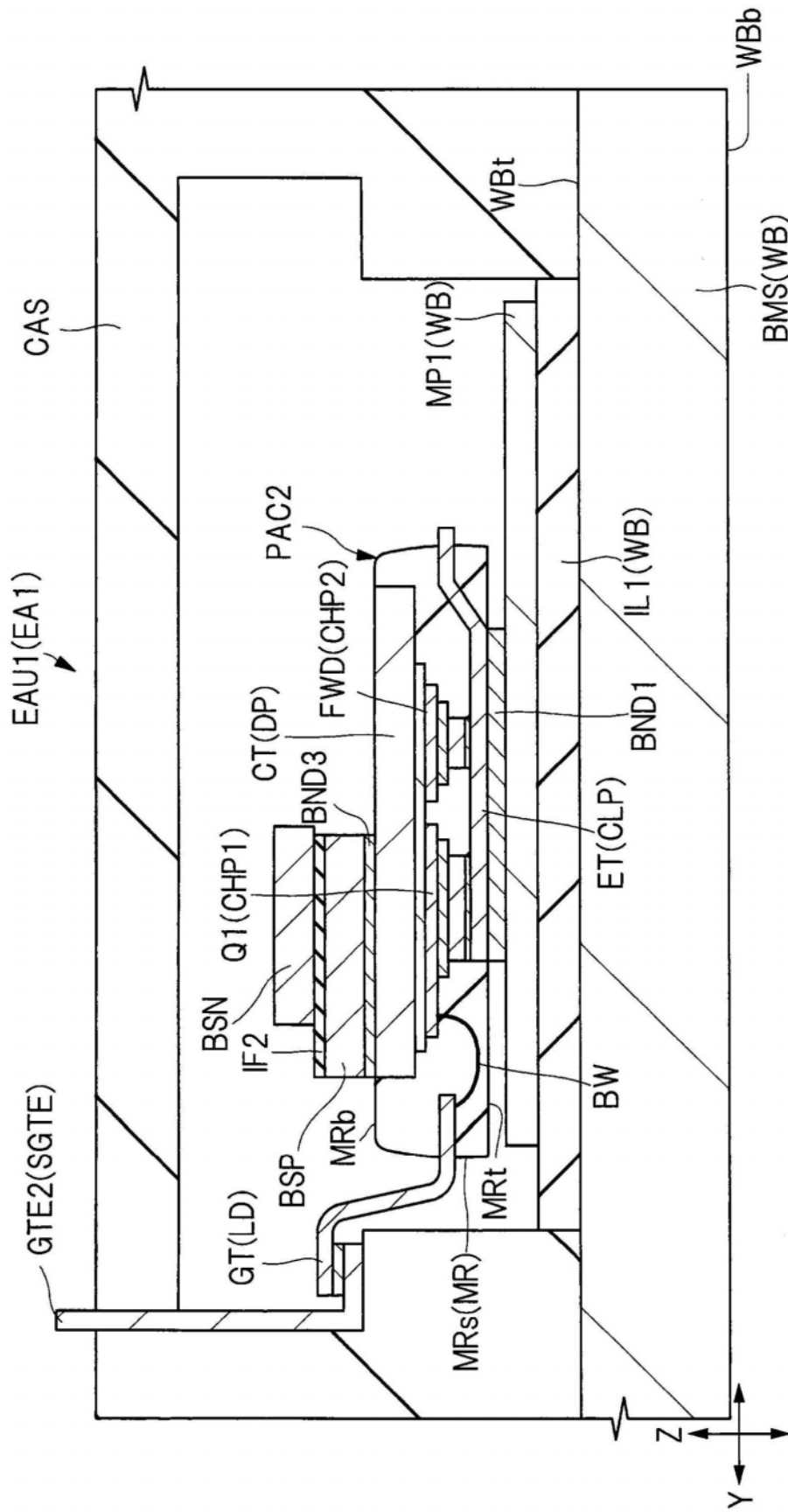


图19

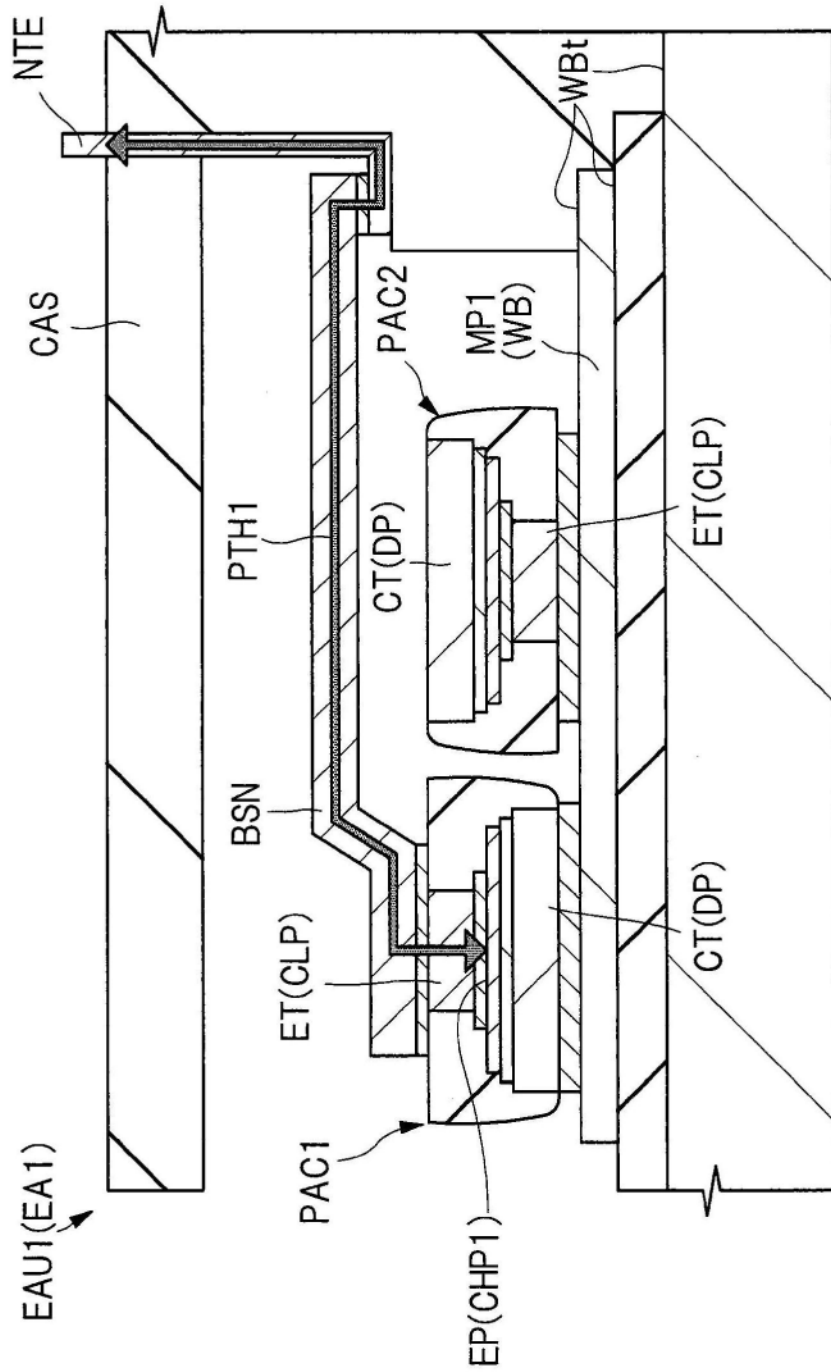


图20

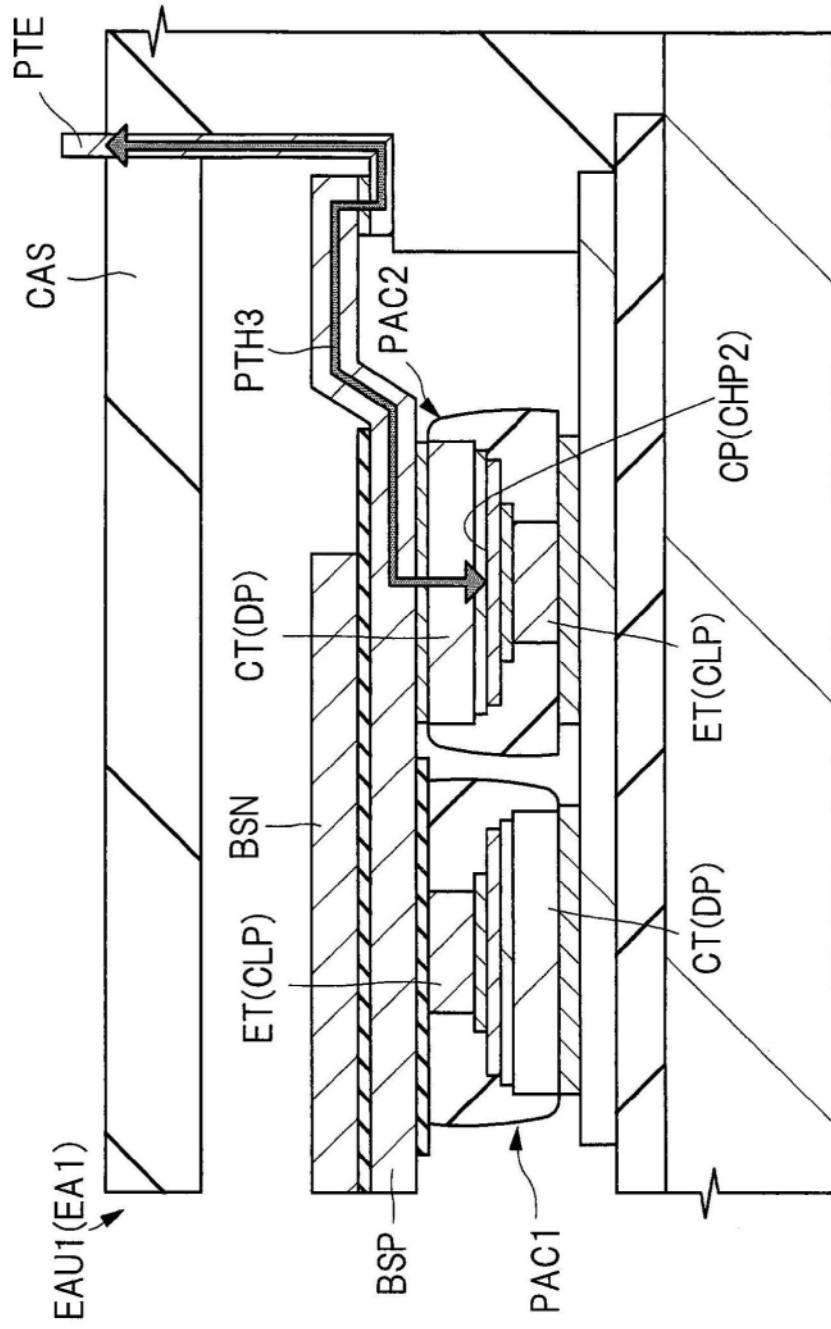


图21

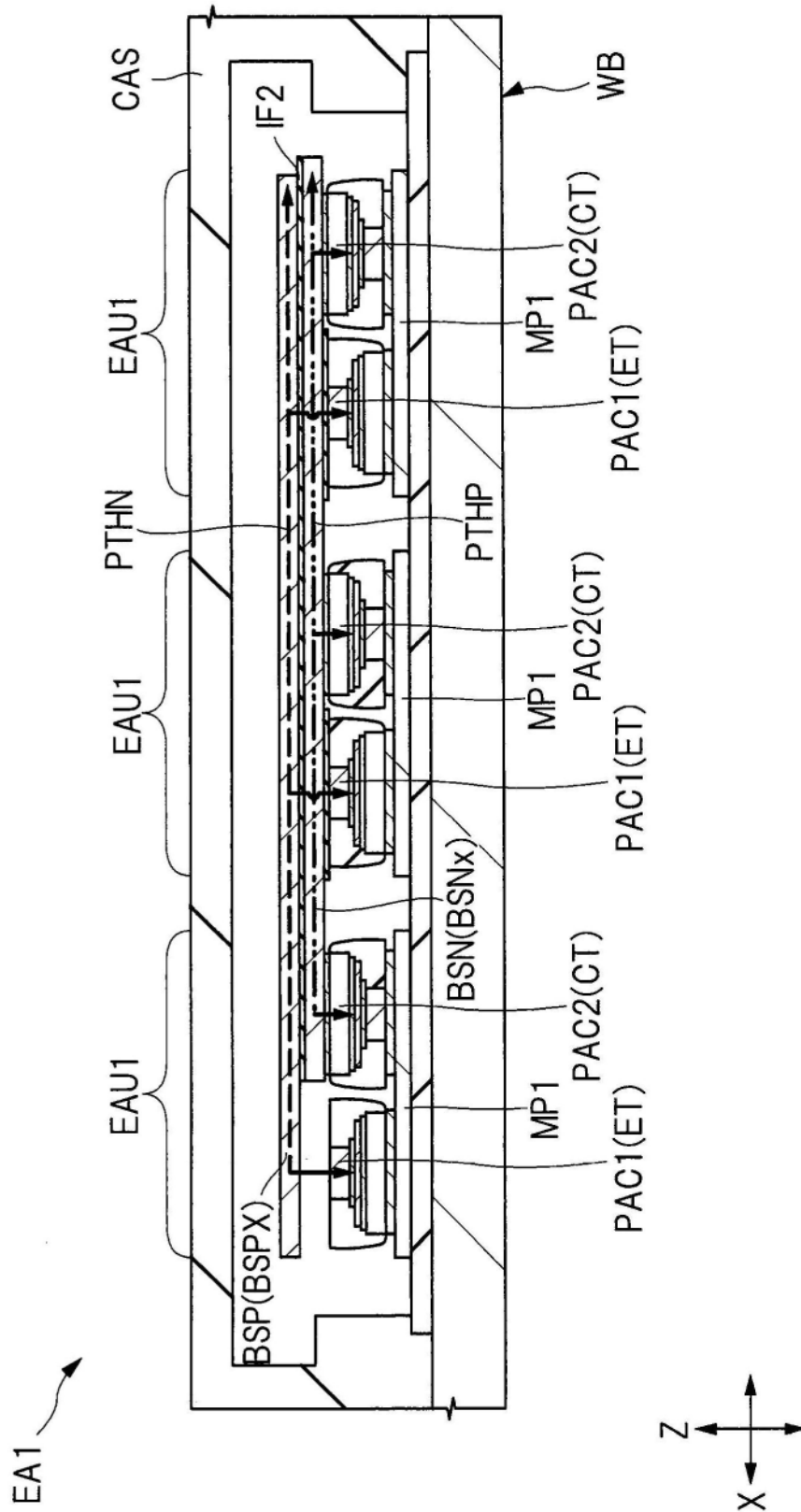


图22

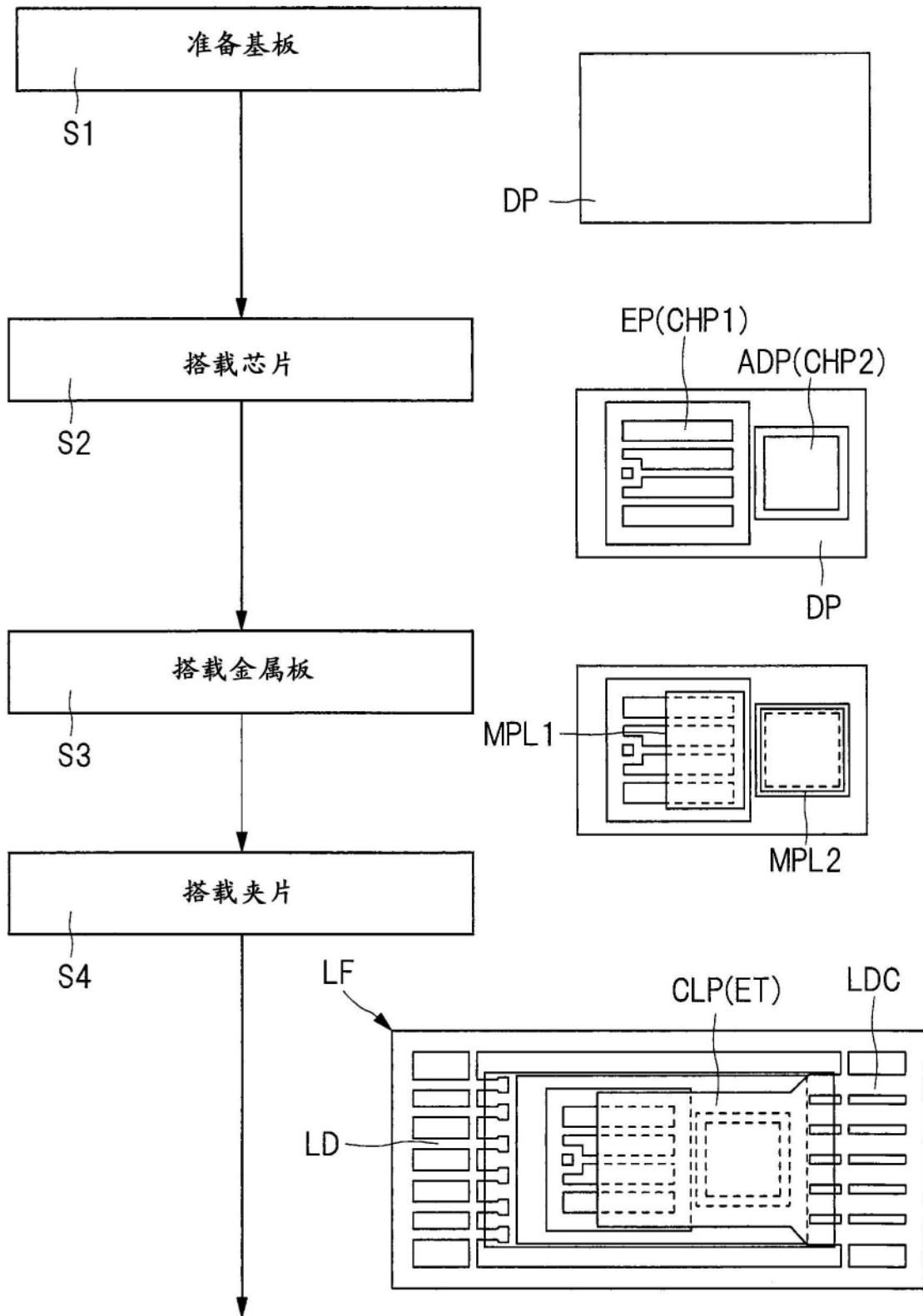


图23

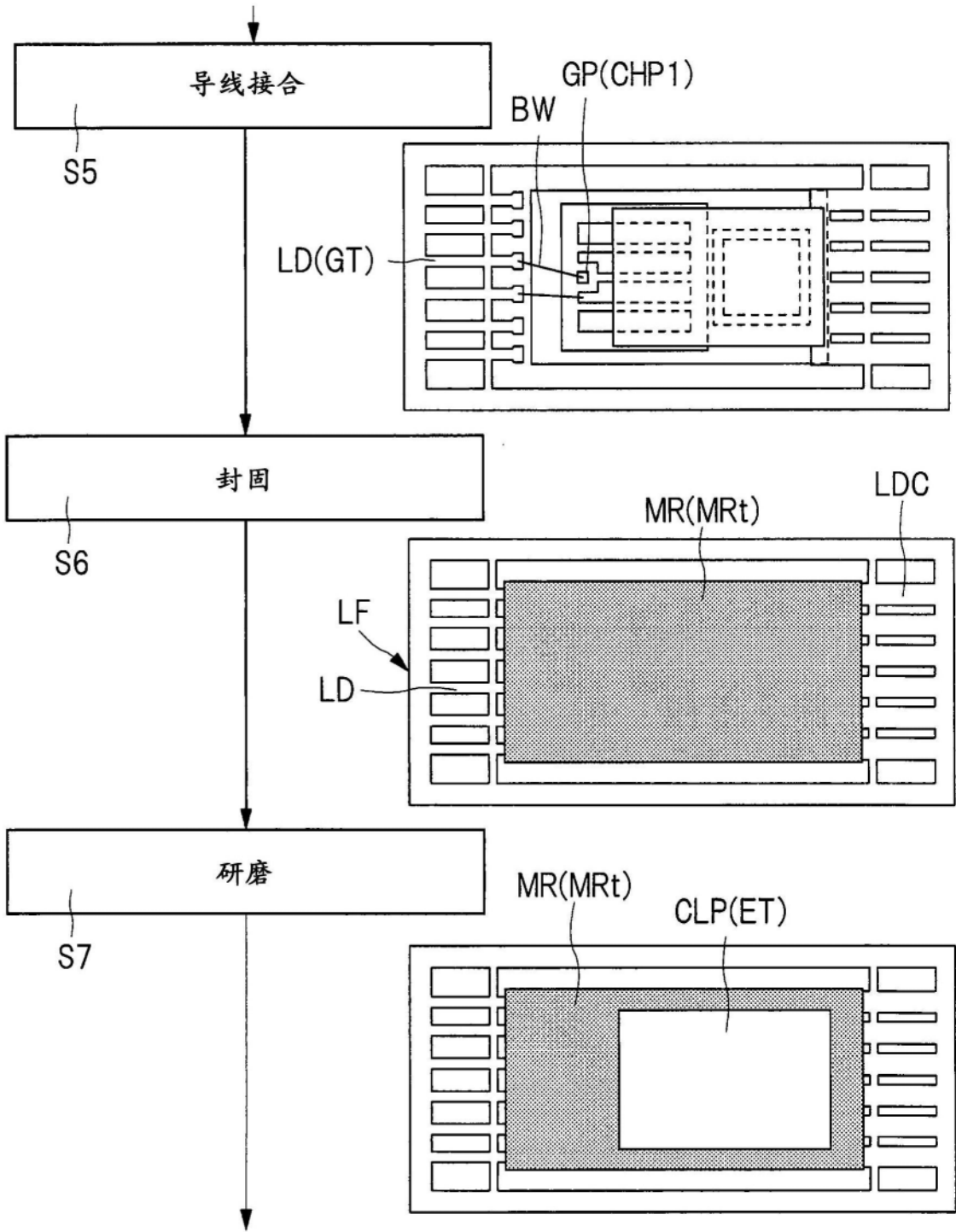


图24

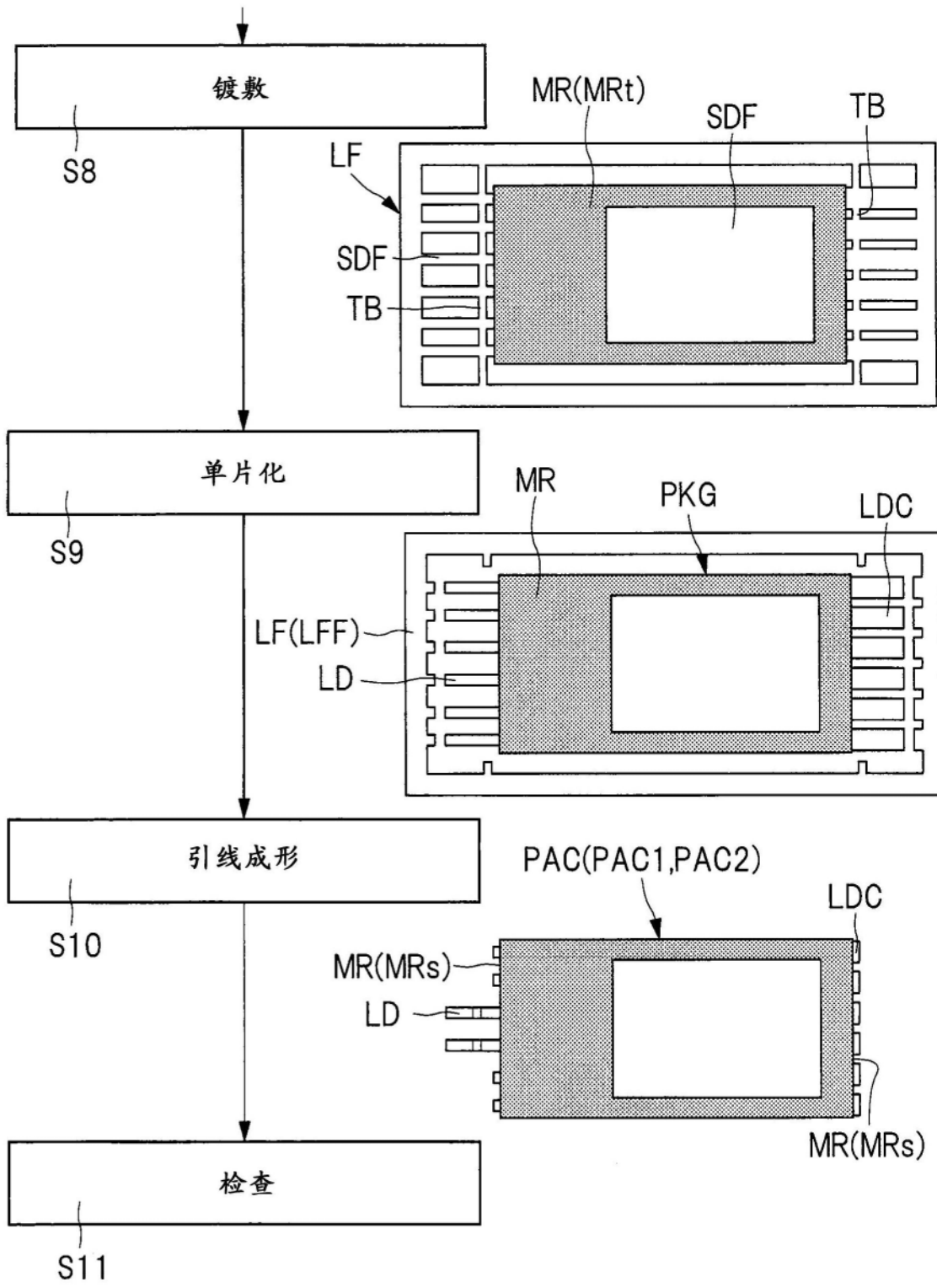


图25

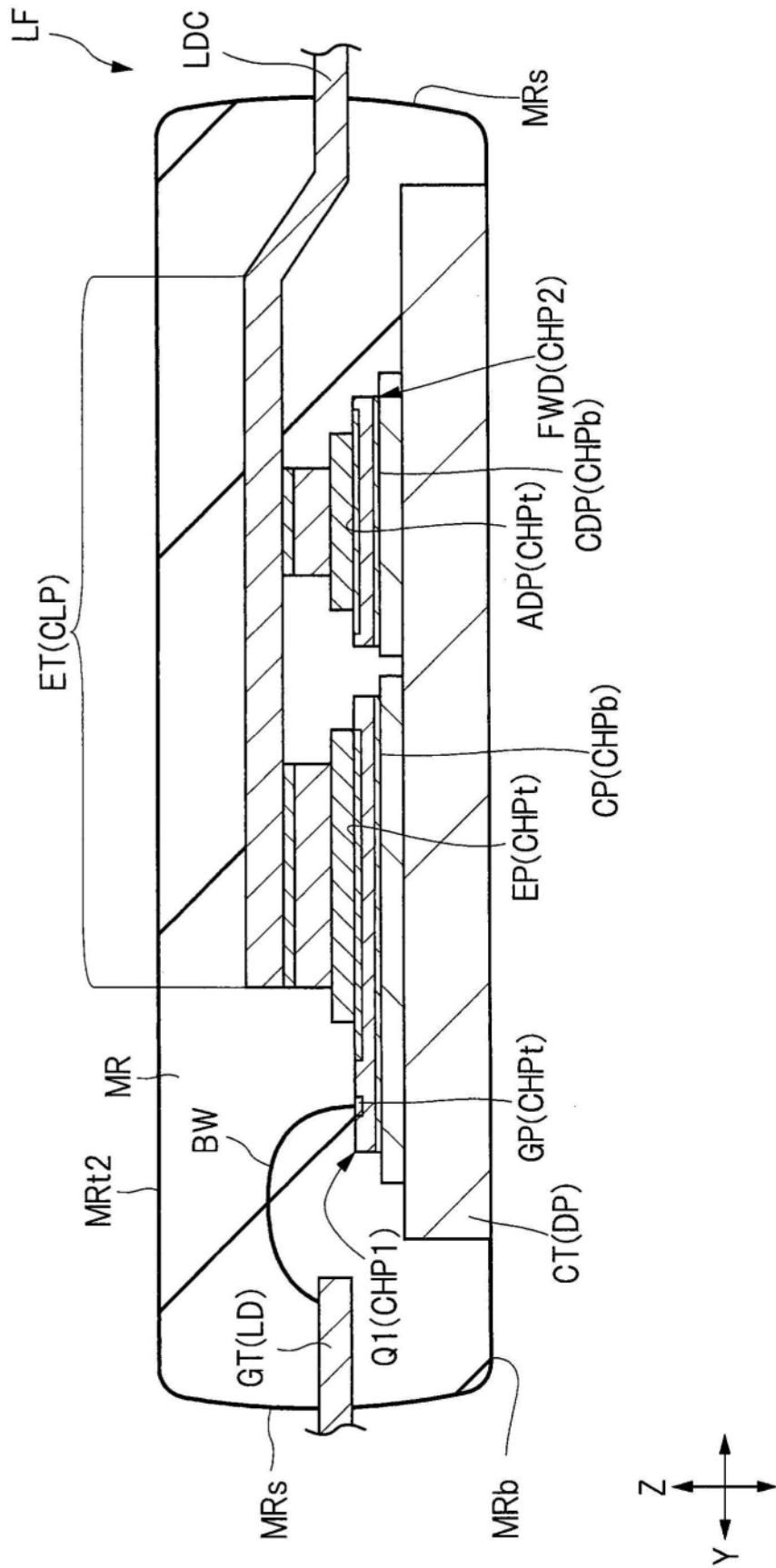


图26

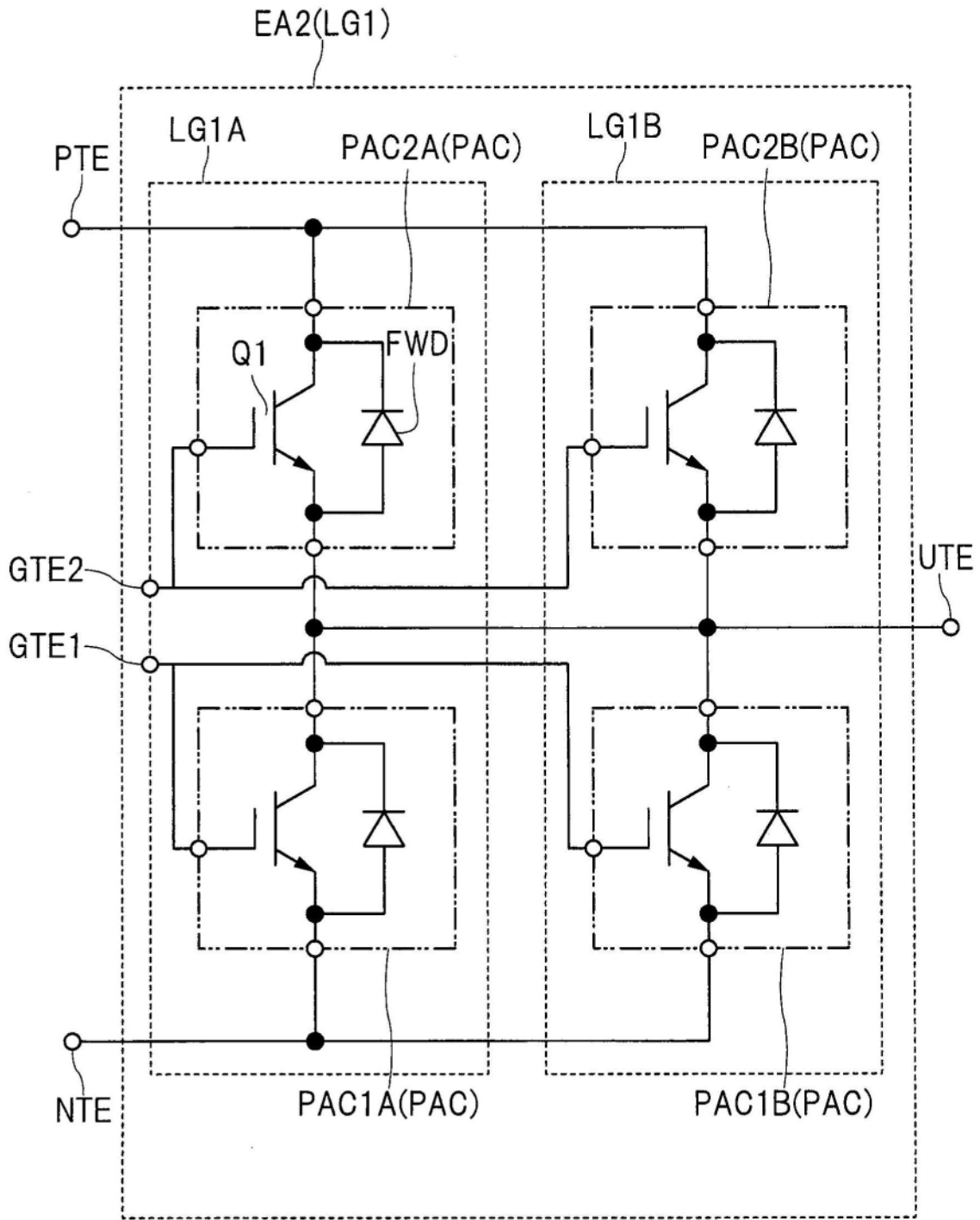


图27

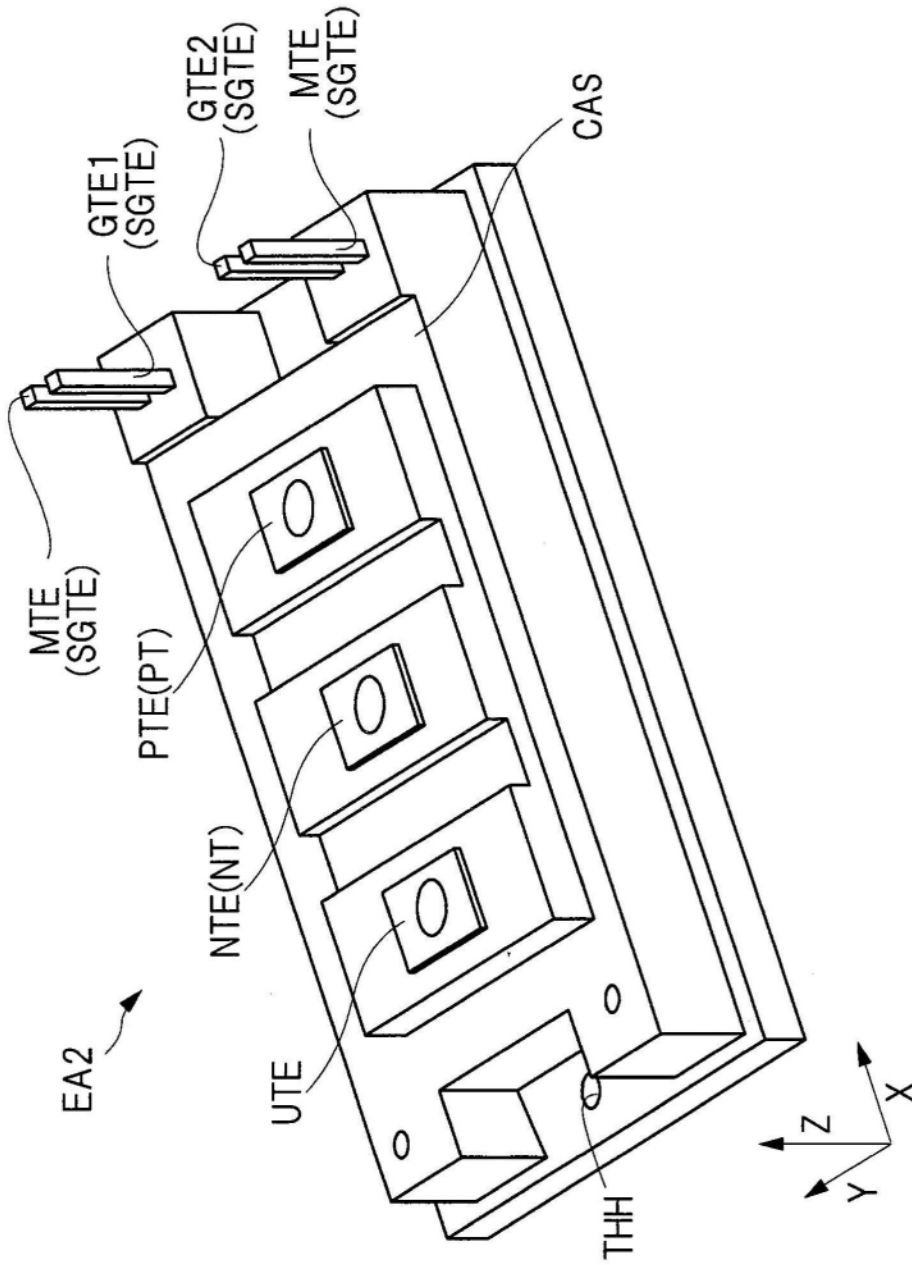


图28

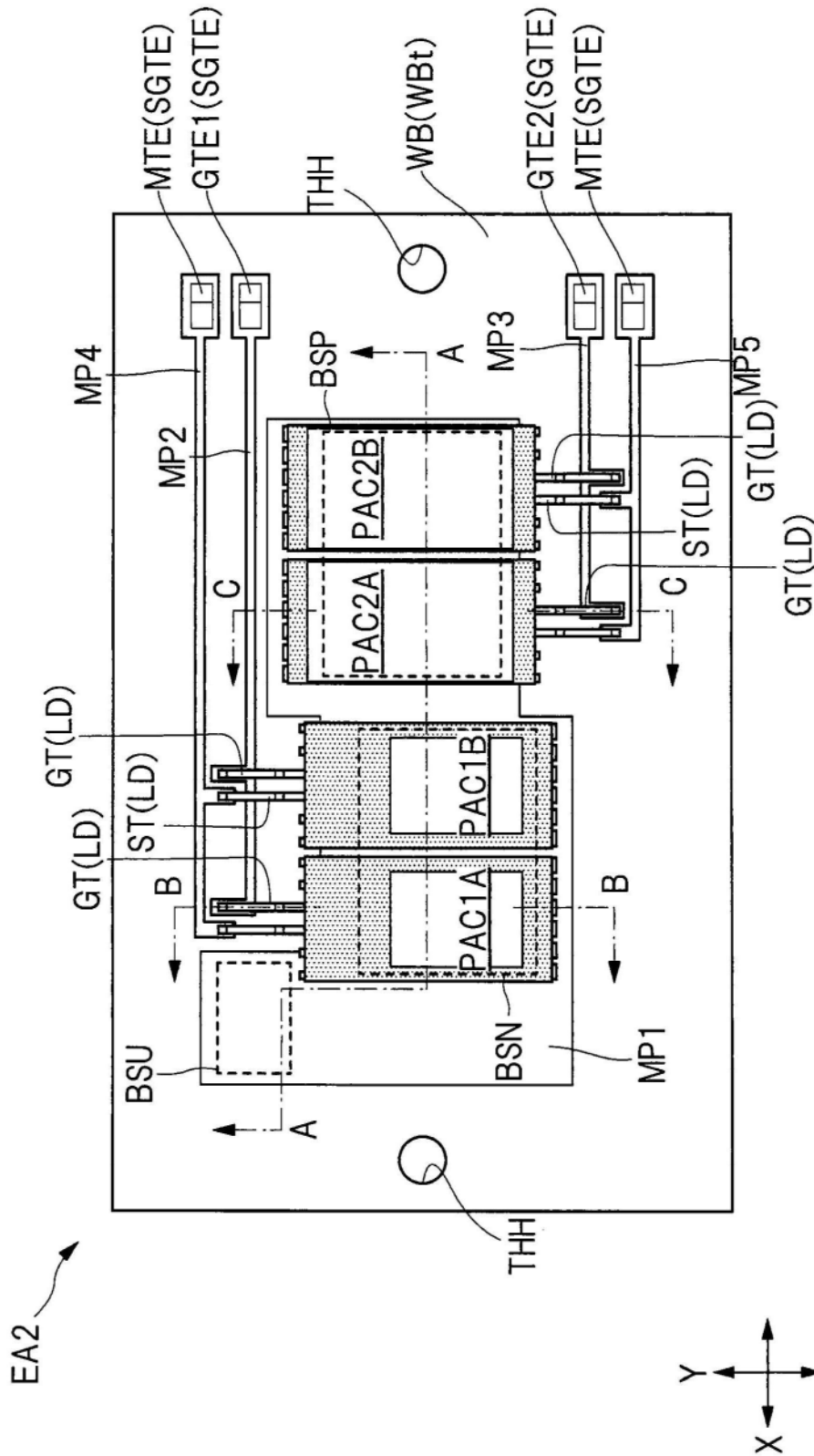


图29

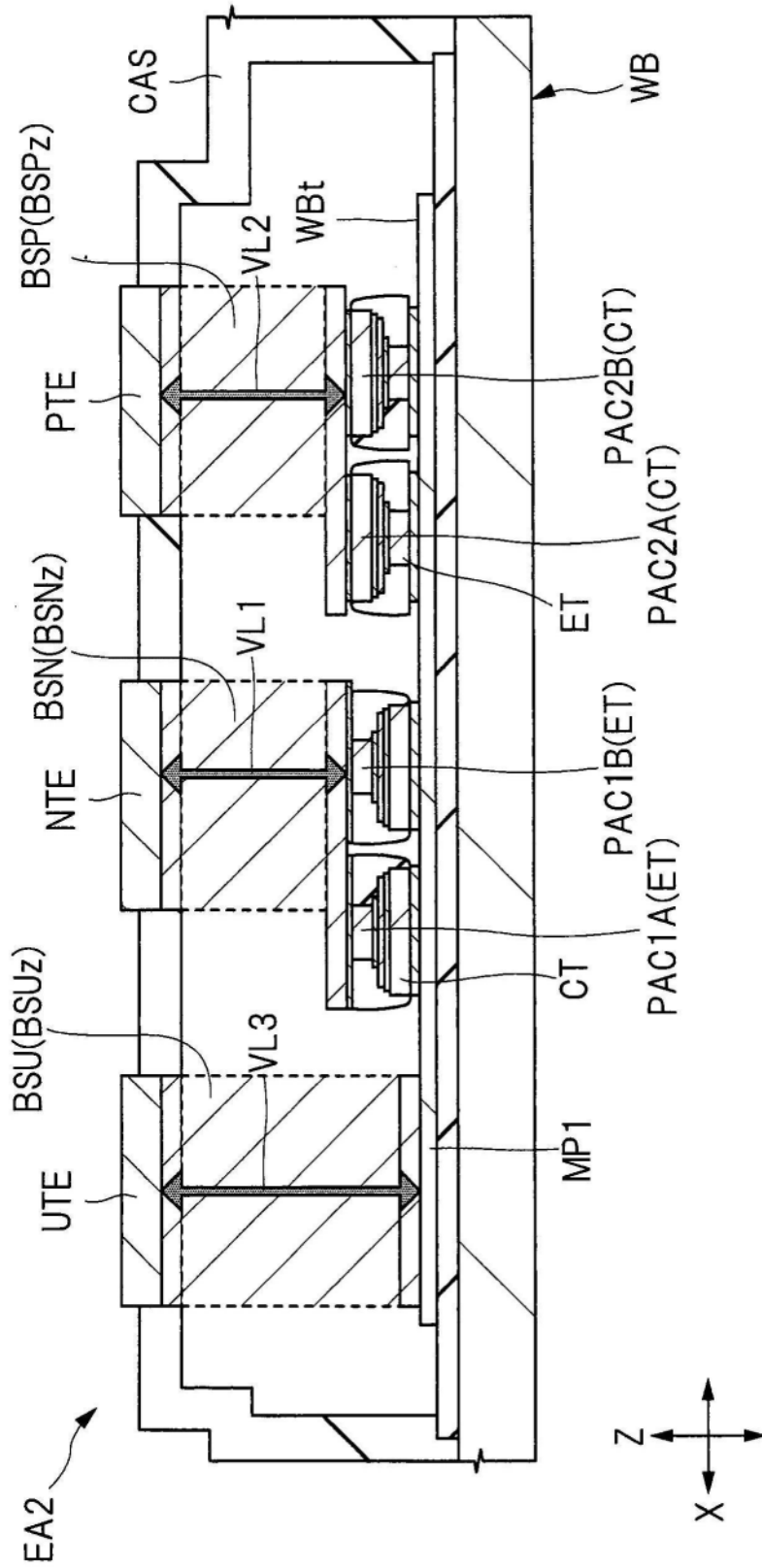


图30

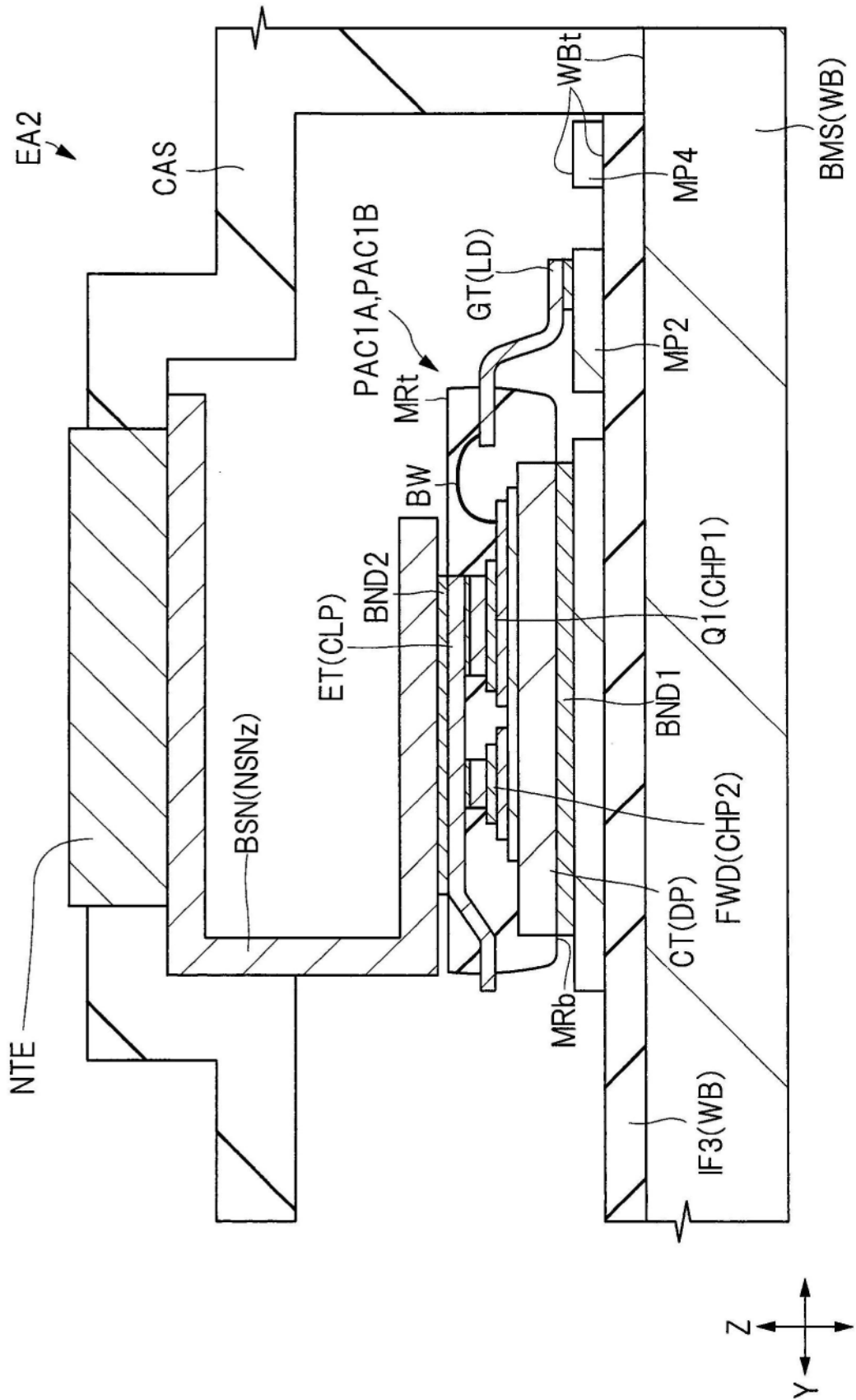


图31

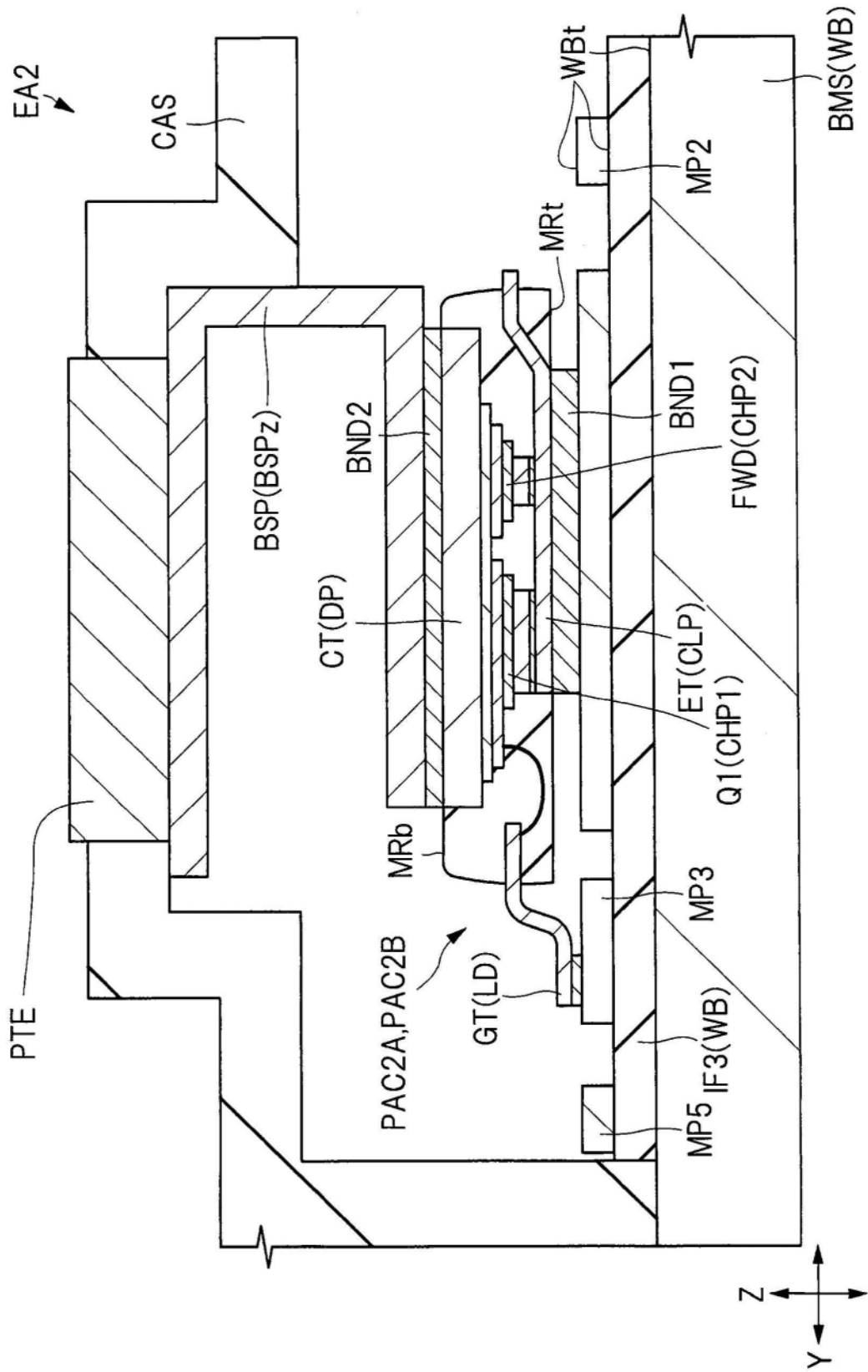


图32