

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3586972号  
(P3586972)

(45) 発行日 平成16年11月10日(2004.11.10)

(24) 登録日 平成16年8月20日(2004.8.20)

(51) Int. Cl.<sup>7</sup>

F I

GO 1 R 31/28

GO 1 R 31/28

G

GO 1 R 31/316

GO 1 R 31/28

C

請求項の数 9 (全 17 頁)

<p>(21) 出願番号 特願平8-146974                  (22) 出願日 平成8年6月10日(1996.6.10)                  (65) 公開番号 特開平9-329647                  (43) 公開日 平成9年12月22日(1997.12.22)                  審査請求日 平成13年2月28日(2001.2.28)</p>	<p>(73) 特許権者 000005821                  松下電器産業株式会社                  大阪府門真市大字門真1006番地                  (74) 代理人 100097445                  弁理士 岩橋 文雄                  (74) 代理人 100103355                  弁理士 坂口 智康                  (74) 代理人 100109667                  弁理士 内藤 浩樹                  (72) 発明者 濱田 正紀                  大阪府門真市大字門真1006番地 松下                  電器産業株式会社内                    審査官 堀 圭史</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体集積回路及びそのテスト方法

(57) 【特許請求の範囲】

【請求項1】

主電源の異なる複数の集積回路デバイスがプリント基板上に構成される半導体集積回路において、

前記複数の集積回路デバイスのそれぞれがバウンダリ・スキャン・セル部と、アナログ回路と、前記アナログ回路に第一の電源を供給する第一の端子と、前記バウンダリ・スキャン・セル部に第二の電源を供給する第二の端子とを備え、

前記複数の集積回路デバイスの第二の電源の全てが、前記複数の集積回路デバイスの第一の電源のうち最も低い電位と同じ、またはそれより低いことを特徴とする半導体集積回路。

【請求項2】

接地側の電位の異なる複数の集積回路デバイスがプリント基板上に構成される半導体集積回路において、

前記複数の集積回路デバイスのそれぞれがバウンダリ・スキャン・セル部と、アナログ回路と、前記アナログ回路に第一の接地側の電位を供給する第一の端子と、前記バウンダリ・スキャン・セル部に第二の接地側の電位を供給する第二の端子とを備え、

前記複数の集積回路デバイスの第二の接地側の電位の全てが、前記複数の集積回路デバイスの第一の接地側の電位のうち最も高い電位と同じ、またはそれより高いことを特徴とする半導体集積回路。

【請求項3】

主電源の異なる複数の集積回路デバイスがプリント基板上に構成される半導体集積回路において、

前記複数の集積回路デバイスのそれぞれがバウンダリ・スキャン・セル部と、アナログ回路と、前記アナログ回路に第一の電源を供給する第一の端子と、前記バウンダリ・スキャン・セル部に第二の電源を供給する手段とを備え、

前記複数の集積回路デバイスの第二の電源の全てが、前記複数の集積回路デバイスの第一の電源のうち最も低い電位と同じ、またはそれより低いことを特徴とする半導体集積回路。

【請求項 4】

接地側の電位の異なる複数の集積回路デバイスがプリント基板上に構成される半導体集積回路において、

前記複数の集積回路デバイスのそれぞれがバウンダリ・スキャン・セル部と、アナログ回路と、前記アナログ回路に第一の接地側の電位を供給する第一の端子と、前記バウンダリ・スキャン・セル部に第二の接地側の電位を供給する手段とを備え、

前記複数の集積回路デバイスの第二の接地側の電位の全てが、前記複数の集積回路デバイスの第一の接地側の電位のうち最も高い電位と同じ、またはそれより高いことを特徴とする半導体集積回路。

【請求項 5】

バウンダリ・スキャン・セル部を構成するデジタル変換器に供給される基準電圧が可変であることを特徴とする請求項 1 または、請求項 2 記載の半導体集積回路。

【請求項 6】

バウンダリ・スキャン・セル部を構成するデジタル変換器の基準電圧を供給する端子と、半導体集積回路の外部のアナログバスとがスイッチ手段を介して接続されていることを特徴とする請求項 5 記載の半導体集積回路。

【請求項 7】

プリント基板上に構成され、それぞれがバウンダリ・スキャン・セル部、アナログ回路、デバイス端子とを備えている複数の集積回路デバイスの相互接続テストであって、通常動作時には、第一の電源で前記アナログ回路を動作させ、相互接続テスト時には、前記バウンダリ・スキャン・セル部を第二の電源で動作させ、

前記複数の集積回路デバイスの第二の電源の全てが、前記複数の集積回路デバイスの第一の電源のうち最も低い電位、またはそれより低いことを特徴とする集積回路のテスト方法。

【請求項 8】

プリント基板上に構成され、それぞれがバウンダリ・スキャン・セル部、アナログ回路、デバイス端子とを備えている複数の集積回路デバイスの相互接続テストであって、通常動作時には、第一の電源で前記アナログ回路を動作させ、相互接続テスト時には、前記バウンダリ・スキャン・セル部を第二の電源で動作させ、かつ、前記バウンダリ・スキャン・セル部のデジタル変換器に前記集積回路デバイスの外部のアナログバスを介して基準電圧を与えることを特徴とする半導体集積回路のテスト方法。

【請求項 9】

プリント基板上に構成され、それぞれがバウンダリ・スキャン・セル部、アナログ回路、デバイス端子とを備えている複数の集積回路デバイスの相互接続テストであって、相互接続テスト時に、前記バウンダリ・スキャン・セル部のアナログ変換器の基準電圧を前記集積回路デバイスの入力端子へ入力される "H" レベルの電位の 2 分の 1 程度にすることを特徴とする半導体装置のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アナログまたは、アナログ・デジタル混在の半導体集積回路及びそのテスト方法に関するものである。

10

20

30

40

50

## 【 0 0 0 2 】

## 【 従来 の 技 術 】

近年、電子機器の高機能化、小型化が進むにともなって、実装パッケージの小型化、プリント基板の面積の縮小化が進んできている。そのため、プリント基板上に実装されるICやLSI等の半導体装置のピンピッチ幅が狭くなってきているうえ、プリント基板へ実装される半導体装置間の距離が非常に小さくなってきている。

## 【 0 0 0 3 】

上記理由から、検査用電極（以下、プローブと表す）を半導体装置のピンに固定させることが非常に困難となり、多数のプローブを半導体装置のピンに固定する必要があるインサートキット検査やファンクション検査等の実装基板検査を行うのが非常に困難となっ

10

てきている。

## 【 0 0 0 4 】

上記課題を解決するためにより少ない検査プローブでインサートキット検査を行うことができるバウンダリ・スキャン・テスト技術が考案され、この技術は1990年に標準規格（IEEE Standard 1149.1-1990）に規定されている。

## 【 0 0 0 5 】

しかしながら、上記標準規格（IEEE Standard 1149.1-1990）で規定されたテスト技術（以下、デジタル・バウンダリ・スキャン・テスト技術と表す）は、デジタル回路については有効であるが、アナログ回路をテストすることはできなかった。従って、実際の電子機器のプリント基板には、アナログ回路とデジタル回路が混在している半導体装置が実装されている場合が多く、必ずしも上記標準規格で規定されているデジタル・バウンダリ・スキャン・テスト技術で全てのプリント基板上のテストをカバーできなかった。

20

## 【 0 0 0 6 】

そこで、アナログ回路あるいは、デジタル・アナログ混在回路を検査するために、バウンダリ・スキャン・テスト技術（以下、アナログ・バウンダリ・スキャン・テスト技術と表す）が提案されてきている（ITC 1993 Paper 15.2 Structure and Metrology for an Analog Testability Bus, Kenneth P. Parker 他、および、特開平6-347517号公報）。

30

## 【 0 0 0 7 】

このアナログ・バウンダリ・スキャン・テスト技術により、デジタル・アナログ混在の半導体装置についても、デバイスの相互接続やデバイス間に存在するアナログディスクリット部品の検査に、従来のような、同時に数多くの検査用プローブを用いなくてもすむようになった。

## 【 0 0 0 8 】

次に、従来のアナログ・バウンダリ・スキャン・テストについて、図4、図5を参照しながら簡単に説明する。

## 【 0 0 0 9 】

図4は、バウンダリ・スキャン・テストを行うために、バウンダリ・スキャン・セル部100及び101が内部に構成されている半導体集積回路の構成を示す図である。

40

## 【 0 0 1 0 】

図4に示すように、50は集積回路デバイスで、内部に主アナログ回路120を有している。59、157はデバイス端子で、集積回路デバイス50のアナログ信号の入力用または出力用の端子である。そして、デバイス端子157はスイッチ121、主アナログ回路120、スイッチ82を順次介してデバイス端子59と接続されている。

## 【 0 0 1 1 】

155は第1のアナログバスで、スイッチ112を介してデバイス端子157に、スイッチ152を介してデバイス端子59に接続されている。156は第2のアナログバスで、スイッチ113を介してデバイス端子157に、スイッチ153を介してデバイス端子5

50

9に接続されている。また、デバイス端子157はスイッチ110を介してVDD(電源)に接続され、スイッチ111を介してVSSに接続(接地)されている。デバイス端子59はスイッチ150を介してVDD(電源)に接続され、スイッチ151を介してVSSに接続(接地)されている。

【0012】

また、100はバウンダリ・スキャン・セル部で、デバイス端子157とスイッチ121とを接続する配線に接続されており、デジタル変換器、バウンダリ・スキャン・セル、論理回路(図示せず)を有しており、バウンダリ・スキャン・セル部100からの出力はスイッチ110~113のオン・オフを制御する。101もバウンダリ・スキャン・セル部で、デバイス端子59とスイッチ82とを接続する配線に接続されており、バウンダリ・スキャン・セル部100と同様にデジタル変換器、バウンダリ・スキャン・セル、論理回路(図示せず)を有しており、バウンダリ・スキャン・セル部101からの出力はスイッチ150~153のオン・オフを制御する。

10

【0013】

次に、バウンダリ・スキャン・セル部100の構成について、バウンダリ・スキャン・セル部の構成を示す図5を参照しながら、さらに詳細に説明する。

【0014】

なお、図4に示した半導体集積回路の構成と同様の構成については、同一の符号を付して説明を省略する。

【0015】

図5に示すように、106、107、108、109はバウンダリ・スキャン・セルで、それぞれのバウンダリ・スキャン・セルはデータ取り込み用フリップ・フロップ(以下、キャプチャフリップ・フロップと表し、図5にはCで表す)とデータ更新用フリップ・フロップ(以下、アップデートフリップ・フロップと表し、図5にはUで表す)で構成されている。そして、バウンダリ・スキャン・セル106、107、108、109は、それぞれのキャプチャフリップ・フロップのスキャン入力とスキャン出力がチェーン状につながったスキャン・チェーン構造をなしている。そして、さらにそれぞれのキャプチャフリップ・フロップは、対応するアップデートフリップ・フロップとスキャン・チェーンでつながり、最終的に、集積回路デバイス50(図5には図示せず)のシリアルテストデータ入力端子TDIからシリアルテストデータ出力端子TDOまで全てのバウンダリ・スキャン・セル106~109のフリップ・フロップがスキャン・チェーンでつながっている。105はデジタル変換器で、アナログのデバイス端子157の信号電圧レベルを基準電圧(スレシヨルド電圧)VTと比較して" H "レベルまたは" L "レベルのデジタル信号に変換し、その変換結果をバウンダリ・スキャン・セル106のキャプチャフリップ・フロップに供給し、アナログデバイス端子157につながるノードの電位をTDOからデジタル信号で集積回路デバイス50の外部に出力できる。

20

30

【0016】

74及び75は論理ゲートで、バウンダリ・スキャン・セル106、107のアップデートフリップ・フロップの出力によりスイッチ110、111の開閉の制御を行うものである。また、バウンダリ・スキャン・セル108、109のアップデートフリップ・フロップの出力はそれぞれスイッチ112および113を制御する。

40

【0017】

なお、バウンダリ・スキャン・セル106~109の構成は、IEEE1149.1に定められたものである。

【0018】

次に、図4及び図5を参照しながら、集積回路デバイス50の動作について説明する。

【0019】

まず主アナログ回路120が本来の動作を行う通常動作について説明する。

【0020】

通常動作時には、スイッチ82、121のみ閉じ、その他のスイッチ110~113、1

50

50～153は解放状態にする。この時、デバイス端子157からアナログ信号が入力されると、スイッチ121を介して主アナログ回路120に入力され、主アナログ回路120からの出力信号は、スイッチ82を通してデバイス端子59から出力される。

【0021】

次に、バウンダリ・スキャン・テストを行う時の動作について説明する。

【0022】

まず、バウンダリ・スキャン・セル106～109には、スイッチ110～113のオン、オフを制御するためのコントロール信号がTDIよりシリアルに入力され、バウンダリ・スキャン・セル106～109のそれぞれのキャプチャフリップ・フロップにデータが順次取り込まれる。その後、アップデートフリップ・フロップにスイッチ制御用のデータが引き渡され、アップデートフリップ・フロップのデータが更新されるまで、スイッチを同じ状態に保持する。この一連の動作によりスイッチ110～113のうち、必要なスイッチをオンする事ができる。

10

【0023】

続いて、アナログデバイス端子157につながるノードの電位をデジタル変換器105でデジタル信号に変換し、その結果をバウンダリ・スキャン・セル106のキャプチャフリップ・フロップからTDOを介して集積回路デバイスの外部に出力する事ができる。

【0024】

上記説明からも明らかなように、アナログ・バウンダリ・スキャン・テスト技術を用いることで、デバイス端子157にプローブを固定することなく、集積回路デバイスのテスト専用端子であるTDOよりデジタル信号化されたデバイス端子157の状態を出力することができ、アナログ・バウンダリ・スキャン・テストを実行することができる。

20

【0025】

なお、バウンダリ・スキャン・セル部101の動作については、バウンダリ・スキャン・セル部100と同様の構成であるので、説明を省略する。但し、バウンダリ・スキャン・セル部100がデバイス端子157のノードの電圧をデジタル信号化し、TDOから出力できるのに対し、バウンダリ・スキャン・セル部101では、デバイス端子59のノードの電圧をデジタル信号化し、TDOから出力できる。

【0026】

次に集積回路デバイスが2個連結した構成について、図6を参照しながら説明する。

30

【0027】

図6は、図4及び図5を参照しながら説明した集積回路デバイスと同様の集積回路デバイス40及び集積回路デバイス60をアナログディスクリート部品を介してプリント基板上で接続させた例を示している。

【0028】

まず、図6を参照しながら、集積回路デバイスが2個接続された従来の半導体集積回路の第一の例について説明する。

【0029】

図6に示すように、集積回路デバイス40及び60は、アナログディスクリート部品18を介して接続されており、アナログディスクリート部品18の一例に抵抗体を挙げる事ができる。

40

【0030】

集積回路デバイス40及び60は、図4及び図5を参照しながら説明した集積回路デバイス50と同様のものであり、同様の構成については、同一の符号を付して説明を省略する。

【0031】

図4では開示を省略したが、図6に示すように集積回路デバイス40のデバイス端子157aには、サージ保護ダイオード116a、117aが構成されサージ保護が施されている。具体的には、サージ保護ダイオード116aがデバイス端子157aと電源端子VDDとの間に接続され、サージ保護ダイオード117aがデバイス端子157aと接地端子

50

VSSとの間に接続されている。また、主アナログ回路120a、バウンダリ・スキャン・セル106a～109a、デジタル変換器105aは、VDD端子とVSS端子につながり電源の供給を受けている。

【0032】

また、集積回路デバイス60のシリアルテストデータ入力端子TDIには、サージ保護ダイオード123、124が構成され、サージ保護が施されている。

【0033】

なお、デバイス端子157a、157b及び集積回路デバイス60のシリアルテストデータ入力端子TDI以外のデバイス端子についても、2つのサージ保護ダイオードを1組としてサージ保護が施されているのが一般的であるが、図6ではその他のデバイス端子のサージ保護ダイオードについての開示は省略する。

10

【0034】

集積回路デバイス40と集積回路デバイス60との相違点は、集積回路デバイス40の電源端子VDDからは5V電源が供給されているのに対し、集積回路デバイス60の電源端子VDDからは3V電源が供給されている点である。

【0035】

次に、以上の様に構成された半導体集積回路の動作について説明する。

【0036】

通常動作時は、図4を参照しながら上記で説明した集積回路デバイス50と同様に、スイッチ121aのみがオン状態であり、その他のスイッチ110a～113aはオフ状態である。

20

【0037】

なお、集積回路デバイスのスイッチ状態については、集積回路デバイス40についてのみ説明し、集積回路デバイス60については集積回路デバイス40のスイッチ状態と同様であるので説明を省略する。

【0038】

一方、2個の集積回路デバイス40及び60の相互接続をテストする時は、IEEE1149.1の標準バウンダリ・スキャン・テスト手法に従う。

【0039】

具体例を挙げて説明すると、まず、スイッチ制御用のシリアルテストデータを集積回路デバイス40のTDIから入力し、バウンダリ・スキャン・セル109a、108a、107a、106a、109b、108b、107b、106bのキャプチャフリップ・フロップに順次与え、続いてキャプチャフリップ・フロップに入力されたテストデータは対応するアップデートフリップ・フロップに送られ、必要なスイッチのみオンさせる(なお、ここでは、スイッチ110aだけがオンするものとして、以下説明する。)。すると、集積回路デバイス40の電源電位VDDの電圧がスイッチ110a、デバイス端子157a、ディスクリット部品18、デバイス端子157bを介して集積回路デバイス60へ入力される。すると、デバイス端子157bの電圧がデジタル変換器105bで、デバイス固定の基準電圧VTと比較され変換後のデジタルデータが、バウンダリ・スキャン・セル106bのアップデートフリップ・フロップに取り込まれる。そしてバウンダリ・スキャン・セルのデータシフト動作により最終的に集積回路デバイス60のTDOからテスト結果のデータとして出力される。そして、デジタル自動検査装置(デジタルテスター)等により、予め用意された期待値データとTDOから出力されるテストデータとを比較判定(GO/NOGO判定)する事で、相互接続テストができる。

30

40

【0040】

【発明が解決しようとする課題】

ところが、図6を参照しながら説明した従来の半導体集積回路では、集積回路デバイス40と集積回路デバイス60とでは、電源電位VDDの電位が5Vと3Vとで異なるため、以下のような問題が発生する。例えば、スイッチ110aだけをオンさせ、相互テストをする場合、図6に点線で示すように、スイッチ110aを閉じデバイス端子157aに集

50

積回路デバイス40の電源VDD(5V)を印加すると、アナログディスクリート部品18、デバイス端子157b、サージ保護ダイオード116bを介して集積回路デバイス60の電源VDD(3V)に5Vの電圧が加えられる。しかしながら、集積回路デバイス60は3V電源で動作しているため、集積回路デバイス40から集積回路デバイス60に異常電流が流れることになる。

【0041】

また、バウンダリ・スキャンテスト信号を集積回路デバイス40のTDOから集積回路デバイス60のTDIに伝える場合にも次のような問題が発生する。集積回路デバイス40のTDOから出力されるデジタル信号の" H "レベルは、電源VDD(5V)からの供給に基づいているので、集積回路デバイス40のTDOから" H "レベルの信号が出力されると、先ほどと同様に、集積回路デバイス60のTDI端子、サージ保護ダイオード123を介して集積回路デバイス60の電源VDD(3V)に集積回路デバイス40の電源VDD(5V)が加わり異常電流が流れることになる。

10

【0042】

また、別の例として図7に示すように、集積回路デバイスを接続する配線上で電圧降下が発生する構成をとっている場合も、誤動作が発生するという問題があった。

【0043】

なお、図7に示した第二の例の従来の半導体集積回路の構成は、ディスクリート部品28がデバイス端子157aとデバイス端子157bの間に配置されており、かつ、一端が接地され、他端がディスクリート部品28とデバイス端子157bを接続する配線に接続されてるディスクリート部品29を備えている。その他の構成については図6に示した半導体集積回路と同様である。図7に示す半導体集積回路ではデバイス端子157aからデバイス端子157bに信号が出力されると、ディスクリート部品28及び29によって出力信号が分圧されるので、デバイス端子157aから出力された信号がそのままデバイス端子157bに伝達されず、電圧降下が発生する。

20

【0044】

図7に示す半導体集積回路の相互接続テスト時には、図6を参照しながら説明した半導体集積回路と同様に、集積回路デバイス40のスイッチ110aを閉じデバイス端子157aに集積回路デバイス40の電源電圧VDD(5V)が印加される。しかしながら、デバイス端子157aとデバイス端子157bの間では電圧降下が発生するので、実際の電位(5V)より低い電位がデバイス端子157bに入力されることになる。デバイス端子157bを介して集積回路デバイス60に供給される電位は、デジタル変換器105bで基準電圧VTと比較され" H "または、" L "のデジタル値に変換されるが、実際の値よりデバイス端子105bに入力される電圧の方が低くなるので、デバイス端子157aから" H "レベルに相当するアナログ信号が出力されていたとしても、デジタル変換器105bの結果が、" L "レベルとなるという誤動作が発生した。

30

【0045】

本発明は、上記従来の問題点を解決するもので、バウンダリ・スキャンを利用し、アナログ回路を含む集積回路デバイス及び、デバイス間のテストにおいて、正確なテスト結果を得ることができる半導体集積回路及び、そのテスト方法の提供を目的とする。

40

【0046】

【課題を解決するための手段】

この課題を解決するために本発明の半導体集積回路は、集積回路デバイス間の相互接続テストを行うために、集積回路デバイスの電源電圧より、低い電圧にできる高電圧印加手段や、集積回路デバイスの接地電圧より高い電圧にできる、低電圧印加手段を有している。また、集積回路デバイス間の相互接続テストを行うために、端子電圧を基準電圧と比較判定するデジタル変換器に供給する基準電圧を可変にできる手段を有している。

【0047】

また、この課題を解決するために本発明の半導体集積回路のテスト方法は、集積回路デバイス間の相互接続テストを行う際に、集積回路デバイスの電源電圧より、低い電圧にでき

50

る高電圧印加ステップや、集積回路デバイスの接地電圧より高い電圧にできる、低電圧印加ステップを有している。また、基準電圧を変化させテストを行うステップを有している。

【0048】

これらの本発明によれば、集積回路デバイス間の相互接続テストを行う際に、それぞれの集積回路デバイスの主電源電圧及び主接地電圧の異なる場合でも電圧を印加される側の集積回路デバイスに異常電流が流れることがなく、更に異常電流の長期化によるデバイス破壊といった問題を発生することもない安全なテストの実現が得られる。また、本発明によれば、集積回路デバイス間の相互接続テストを行う際に、電圧を印加されるデバイスが、デバイス端子間のアナログディスクリット部品の構成による電圧変化に対応したデジタル変換器での電圧判定が可能となり、いろいろな構成に対してもテストの適用範囲を広げることができる。

10

【0049】

【発明の実施の形態】

本発明は、バウンダリ・スキャン・セル部と、アナログ回路と、前記アナログ回路に第一の電源を供給する第一の端子と、前記バウンダリ・スキャン・セル部に第二の電源を供給する第二の端子とを備えたものである。

【0050】

これにより、主アナログ回路に供給する第一の電源が異なる半導体集積回路において、バウンダリ・スキャン・セル部に供給する第二の電源が少なくとも、全ての半導体集積回路の第一の電源と同じ、または、それより低くすることができるという作用を有する。

20

【0051】

また発明は、基板上に構成され、かつ、接地側の電位の異なる複数の半導体集積回路において、それぞれの半導体集積回路がバウンダリ・スキャン・セル部と、アナログ回路と、前記アナログ回路に第一の接地側の電位を供給する第一の端子と、前記バウンダリ・スキャン・セル部に第二の接地側の電位を供給する第二の端子とを備えているものであり、主アナログ回路に供給する第一の接地側の電位接が異なる半導体集積回路において、バウンダリ・スキャン・セル部に供給する第二の接地側の電位が少なくとも、全ての半導体集積回路の第一の接地電位と同じ、または、それより高くすることができるという作用を有する。

30

【0052】

また本発明は、バウンダリ・スキャン・セル部と、アナログ回路と、前記アナログ回路に第一の電源を供給する端子と、前記第一の電源から第二の電源を発生する手段とを備えたものであり、上記と同様の作用を有する。

【0053】

また本発明は、バウンダリ・スキャン・セル部を構成するデジタル変換器に供給される基準電圧が可変であることを特徴とするものであり、相互接続テスト時に基準電圧をより適切な値に変化させることができる。

【0054】

また本発明は基板上に構成され、それぞれがバウンダリ・スキャン・セル部、アナログ回路、デバイス端子とを備えている複数の半導体集積回路の相互接続テストにおいて、通常動作時には、第一の電源で前記アナログ回路を動作させ、相互接続テスト時には、前記バウンダリ・スキャン・セル部を第二の電源で動作させることを特徴とするものであり、バウンダリ・スキャン・セル部に供給する第二の接地電位が少なくとも、全ての半導体集積回路の第一の接地電位と同じ、または、それより高い状態で、半導体集積回路をテストできるという作用を有する。また、バウンダリ・スキャン・セル部に供給する第二の電源電位が少なくとも、全ての半導体集積回路の第一の電源電位と同じ、または、それより低い状態で、半導体集積回路をテストできるという作用を有する。

40

【0055】

また本発明は基板上に構成され、それぞれがバウンダリ・スキャン・セル部、アナログ回

50



路、デバイス端子とを備えている複数の半導体集積回路の相互接続テストにおいて、通常動作時には、第一の電源で前記アナログ回路を動作させ、相互接続テスト時には、前記バウンダリ・スキャン・セル部を第二の電源で動作させ、かつ、前記バウンダリ・スキャン・セル部のデジタル変換器に前記半導体集積回路の外部のアナログバスを介して基準電圧を与えることを特徴とするものであり、相互接続テスト時に基準電圧をより適切な値に変化させた状態で、半導体集積回路をテストできるという作用を有する。

【0056】

また本発明は基板上に構成され、それぞれがバウンダリ・スキャン・セル部、アナログ回路、デバイス端子とを備えている複数の半導体集積回路の相互接続テストにおいて、相互接続テスト時に、前記バウンダリ・スキャン・セル部のアナログ変換器の基準電圧を前記半導体集積回路の入力端子へ入力される "H" レベルの電位の2分の1程度にすることを特徴とするもので、上記と同様の作用を有する。

10

【0057】

以下、本発明の実施の形態について、図1から図3を用いて説明する。

【0058】

(実施の形態1)

本発明の第一の実施の形態について、図1を参照しながら説明する。

【0059】

以下、図1に示す半導体集積回路の構成について説明する。

【0060】

なお、図1に示す半導体集積回路と、上記で図6を参照しながら説明した従来の半導体集積回路との構成で異なる点は、集積回路デバイス1及び30のそれぞれが、2つの電源端子VDD1(以下、主電源端子と表す)、VDD2(以下、副電源端子と表す)及び、2つの接地端子VSS1(以下、第一の接地端子と表す)、接地端子VSS2(以下、第二の接地端子と表す)を備えている点と、デジタル変換器105a及び105bに与えられる基準電圧VTが第1のアナログバス155、第2のアナログバス156に接続されている点である。図6に示した従来の半導体集積回路と同様の構成については、同一の符号を付して説明を省略する。

20

【0061】

図1に示すように、集積回路デバイス1については、主アナログ回路120aに主電源端子VDD1から5Vの駆動電圧が供給され、デジタル変換器105a、バウンダリ・スキャン・セル106a~109aには副電源端子VDD2から3Vの電源が供給されている。また、デジタル変換器105aにはスイッチ14aを介して基準電圧VTが与えられ、スイッチ15aを介して第1のアナログバス155がデジタル変換器105aに接続されている。

30

【0062】

集積回路デバイス30については、主アナログ回路120bに主電源端子VDD1から3Vの駆動電圧が供給され、デジタル変換器105b、バウンダリ・スキャン・セル106b~109bには副電源端子VDD2から3Vの電圧が供給されている。また、デジタル変換器105bにはスイッチ14bを介して基準電圧VTが与えられ、スイッチ15bを介して第1のアナログバス155がデジタル変換器105aに接続されている。さらに、集積回路デバイス1のスキャン出力TDOと集積回路デバイス30のスキャン入力TDIが接続されている。

40

【0063】

以上のように構成される半導体集積回路の動作について、以下説明する。

【0064】

デバイス相互接続テストをIEEE1149.1の標準バウンダリ・スキャン・テスト手法に従って行う場合、まず、スイッチ制御用のシリアルテストデータを集積回路デバイス1のTDIからバウンダリ・スキャン・セル106a~109aのキャプチャフリップ・フロップに与え、さらに、集積回路デバイス1のTDO、集積回路デバイス30のTDI

50

を介してバウンダリ・スキャン・セル106b~109bのキャプチャフリップ・フロップに与える。そして、各キャプチャフリップ・フロップは対応するアップデートフリップ・フロップにテストデータを送り、スイッチ110a及びスイッチ15bをオンさせる。

【0065】

第1のアナログバス155より、2つの集積回路デバイスの主アナログ回路120aまたは120bに供給されているそれぞれの主電源電圧VDD1のうち低い方の電源電圧(ここでは主アナログ回路120bに供給されている主電源電圧3V)の1/2程度の基準電圧を供給する。すると、集積回路デバイス1には、主電源端子VDD1(5V)より低いハイレベル電圧(3V)が、副電源端子VDD2からスイッチ110aを介して、デバイス端子157aに伝わり、アナログディスクリット部品18(抵抗体)を介して、集積回路デバイス30のデバイス端子157bに伝わる。この電圧が、デジタル変換器105bで、第1のアナログバス155からスイッチ15bを介して供給され基準電圧と比較され、"H"レベルとして、デジタルデータとしてのバウンダリ・スキャン・セル106bのキャプチャフリップ・フロップに取り込まれる。取り込まれたデータは、集積回路デバイス30のVDD2の電源3V動作のバウンダリ・スキャン・セルのデータシフト動作により、集積回路デバイス1のTDOから集積回路デバイス30のTDIに3V/0Vのデジタル信号で伝わり、最終的にテスト結果のデータとして集積回路デバイス30のTDOから出力される。TDOの出力データは、デジタル自動検査装置(デジタルテスター)等により、予め用意された期待値データと比較判定(GO/NOGO判定)する事で、相互接続テストされる。

10

20

【0066】

なお、上記実施の形態では、集積回路デバイス30の主電源電圧VDD1(3V)と、集積回路デバイス1の副電源端子VDD2とを同じにしているが、相互接続テストを行う集積回路デバイスの主電源と同じまたはそれ以下であり、かつ、それぞれの集積回路デバイスのデジタル変換器に供給される基準電圧VTより高ければ、何ら問題はない。

【0067】

以上の説明からも明らかなように、本発明の半導体集積回路では、主電源電圧(VDD1)の異なる集積回路デバイス1及び30の間で、集積回路デバイスの相互接続テストを行っても、副電源端子VDD2から供給される電圧は、主電源電圧より低いので、主電源が高い集積回路デバイスから主電源が低い集積回路デバイスに異常電流が流れるのを防ぐことができる。

30

【0068】

なお、上記実施の形態では、主電源電圧より低い電圧をバウンダリ・スキャン・セル部に供給する手段として、主電源とは別の端子を設けているが、必ずしもそれに限らない。例えば、集積回路デバイス内部に、主電源から副電源を発生させる手段を設ければよい。

【0069】

また、上記実施の形態では、電源電圧についてのみ説明したが、2つの集積回路デバイス間で相互接続テストを行う場合、接地電源VSSが異なっても、電源電圧VDDが異なる場合と同様に、異常電流が発生するものであり、図1に示すように、それぞれ集積回路デバイスに接地電源端子VSSを2つ(VSS1、VSS2)備えることで、電源電圧の場合と同様の効果が得られる。

40

【0070】

なお、接地電源VSSが異なる集積回路デバイス間での動作については、主電源電圧が異なる場合と同様であるので、ここでは説明を省略する。

【0071】

また、デジタル変換器の基準電位VTをアナログバスから供給し、基準電圧を可変にすることができる構成をとることで、さらに、副電源VDD2の電位に汎用性を持たせることができる。

【0072】

例えば、図1を参照しながら説明すると、集積回路デバイス1を通常動作させる時は、主

50

電源VDD1は5Vであるので、デジタル変換器105aの基準電圧VHは約2.5Vに設定されている。

【0073】

しかしながら、相互接続テストを行う時は、副電源VDD2から集積回路デバイス1に、3Vの電源が供給される。しかしながら、基準電圧(2.5V)と電源(3V)の電位が非常に近いため、誤動作が発生しやすくなる。そこで、相互接続テストを行う時は、デジタル変換器105aに供給する基準電圧をスイッチ14aをオフし、スイッチ15aをオンし、第1のアナログバスから1.5Vの電圧を供給することで、誤動作の発生を減少させることができる。

【0074】

なお、必ずしもデジタル変換器の基準電位を変更できる構成にする必要はない。

【0075】

(実施の形態2)

次に、本発明の第二の実施の形態について、図2を参照しながら説明する。

【0076】

以下、図2に示す半導体集積回路の構成について説明する。

【0077】

なお、図2に示す半導体集積回路において、上記で図1を参照しながら説明した第一の実施の形態の半導体集積回路と異なる点は、VDD2及びVDD1は全て5V電源である点と、集積回路デバイス1と集積回路デバイス30との間にディスクリット部品28、29を介している点である。ディスクリット部品28、29の構成は、図7に示した半導体集積回路と同様である。図1及び図6に示した従来の半導体集積回路と同様の構成については、同一の符号を付して説明を省略する。動作についても第一の実施の形態の半導体集積回路と同様であるので第一の実施の形態の動作と異なる点についてのみ、以下で説明し、その他の動作については説明を省略する。

【0078】

以下、図2に示す第二の実施の形態の半導体集積回路の動作について説明する。

【0079】

なお、図2に示す半導体集積回路のアナログディスクリット部品28及び29は、同じ大きさの抵抗体で、デバイス端子157aから5Vの電圧の信号が出力されると、デバイス端子157bに入力される信号の電圧は2.5V程度に降下するものとする。また、第1のアナログバス155より、デジタル変換器105bに電源電圧VDD2の電圧降下後の電圧(2.5V)の1/2程度つまり、1.25V程度の基準電圧を供給するものとする。

【0080】

第二の実施の形態半導体集積回路では、集積回路デバイス1からデバイス端子157bに印加された電圧は、アナログディスクリット部品28、29を通して、約2.5V程度に降下するが、集積回路デバイス30のデジタル変換器105bには、第1のアナログバス155からスイッチ15bを介して1.25V程度の基準電圧が供給されているので、集積回路デバイス1及び30の間で、電圧降下が発生しても、正しいデジタル信号に変換することができる。

【0081】

以上の説明からも明らかなように、本発明の第二の実施の半導体集積回路では、複数の集積回路デバイス間で相互接続テストを行う時、集積回路デバイス間で電圧降下が発生しても、つまり、集積回路デバイスによって、信号振幅が異なる場合でも、第一または第二のアナログバスを介して、外部からデジタル変換器の変換用基準電圧を任意に変えることができるので、適切な基準電圧を与えることができ、デジタル変換器から正しい変換結果を得ることができる。

【0082】

なお、図1及び図2では、それぞれの集積回路デバイスが1つのデバイス端子157aま

10

20

30

40

50

たは157bを有する構成をとっているが、実際の集積回路デバイスでは図3に示すように、複数のデバイス端子を有するのが一般的である。

【0083】

次に、複数のデバイス端子を有する集積回路デバイスに本願発明を採用した場合の実施の形態について、図3を参照しながら簡単に説明する。

【0084】

図3に示すように、主アナログ回路120a、スイッチ121a、スイッチ22~24で主アナログ回路ブロック2が構成され、デジタル変換器105a、バウンダリ・スキャン・セル106a~109aでバウンダリ・スキャン・セル部3が構成され、サージ保護ダイオード116a、117aでサージ保護回路4が構成され、スイッチ110a~113aでスイッチ部6が構成されているものとする。

10

【0085】

集積回路デバイス1は、4つのデバイス端子157a、7、8、9を有しており、デバイス端子157aと主アナログ回路ブロック2との間に、サージ保護回路4、スイッチ部6、バウンダリ・スキャン・セル3を介している。その他のデバイス端子7、8、9についても同様に、デバイス端子7、8、9と主アナログ回路ブロック2との間に、サージ保護回路41、42、43、スイッチ部61、62、63、バウンダリ・スキャン・セル31、32、33を介している。25はIEEE1149.1のバウンダリ・スキャン制御用のテストアクセスポート(TAP)コントローラである。そして、バウンダリ・スキャンテストが行われる時、TAPコントローラには、集積回路デバイス1の外部からテスト用クロックCLK、テストモード切替信号TMSが入力される。そして、TDI、バウンダリ・スキャン・セル33、32、3、31を介してTDOは1本の線で接続されている。そして、デバイス端子157aは隣接する集積回路デバイス30のデバイス端子157bに、デバイス端子7はデバイス端子11に接続されている。

20

【0086】

集積回路デバイス30の構成については、集積回路デバイス1と同様であるので説明を省略する。

【0087】

なお、図3の集積回路デバイス1では、4つのデバイス端子しか開示していないが、実際はもっと多くのデバイス端子を有している。

30

【0088】

例えば、デバイス端子157aとデバイス端子7との間には、多数のデバイス端子があり、それぞれのデバイス端子は、サージ保護回路、スイッチ部、バウンダリ・スキャン・セル部を介して、主アナログ回路ブロックに接続されている。

【0089】

なお、上記実施の形態では、サージ保護素子として、最も一般的な例としてサージ保護ダイオードを用いているが、それに限定されるものではない。

【0090】

また、上記実施の形態では、集積回路デバイスの主アナログ回路の駆動電圧の異なる集積回路デバイスが接続される場合、集積回路デバイスの電源電圧より低い電圧をバウンダリ・スキャンチェーンの信号端子TDI、TDOに供給する手段として、集積回路デバイスの主電源電圧より、低い別の電源電圧を集積回路デバイスの全てのバウンダリ・スキャン・セルに供給する構成をとったが、全てのバウンダリ・スキャン・セルに供給するのではなく集積回路デバイスのTDO、TDIのみ別電源にしてもよい。

40

【0091】

また、集積回路デバイス内部で、TDO端子に供給する最終出力に電圧振幅の狭いバッファ等を使ってもよく、TDI端子につながる最初の論理素子として、入力電圧レベルの低いゲート等を用いても良い。

【0092】

また、上記実施の形態では、集積回路デバイスの相互接続テストを説明する際に主に、集

50

積回路デバイスの電源電圧より低い電圧をデバイス端子に供給する場合について説明したが、接地電圧または、マイナスの電源電圧より、高い電圧をデバイスに供給する場合も同様の効果が得られる。

【 0 0 9 3 】

【 発明の効果 】

以上のように本発明によれば、電源電圧や接地電圧が異なるアナログ回路を含む集積回路デバイスの相互接続テストにおいて、集積回路デバイスに異常電流が流れることによる、悪影響を防止することができ、正確に集積回路デバイス間の相互接続テストを行うことができる。アナログ回路を含む集積回路デバイス等の電子素子を基板実装するシステムを統一されたテスト方法で、容易にテストでき、適用範囲が大幅に拡大できる。また、アナログ回路を含む集積回路デバイス間のアナログディスクリート部品の構成やデバイスの電源電圧の違い等による、電圧判定レベルをアナログバスを利用して、任意に変換することで、テストの正確さや安定性が向上できる。さらに、集積回路デバイス外部から基準電圧を供給するのにアナログバスを共用するので、新たな端子をデバイスに追加しなくてすむといった有利な効果が得られる。また、アナログバスを利用して、外部からデジタル変換器の変換用基準電圧を任意に変えることができ、被テストデバイス端子の信号電圧の変化に対しても正しくデジタル変換でき、各種のアナログ端子に対するバウンダリ・スキャンテストの適応範囲が広がる。

10

【 0 0 9 4 】

つまり、プリント基板に実装された集積回路デバイスの適用範囲を広げ、各種のアナログ端子に対するバウンダリ・スキャンテストの適応範囲が大幅に広がる効果が得られる。

20

【 図面の簡単な説明 】

【 図 1 】 本発明の第一の一実施の形態における半導体集積回路の構造を示す図

【 図 2 】 本発明の第二の一実施の形態における半導体集積回路の構成を示す図

【 図 3 】 本発明の半導体集積回路の構成を示す図

【 図 4 】 従来の半導体集積回路の構成を示す図

【 図 5 】 従来の半導体集積回路のバウンダリ・スキャン・セル部の構成を示す図

【 図 6 】 従来の半導体集積回路の第一の例の構成を示す図

【 図 7 】 従来の半導体集積回路の第二の例の構成を示す図

【 符号の説明 】

30

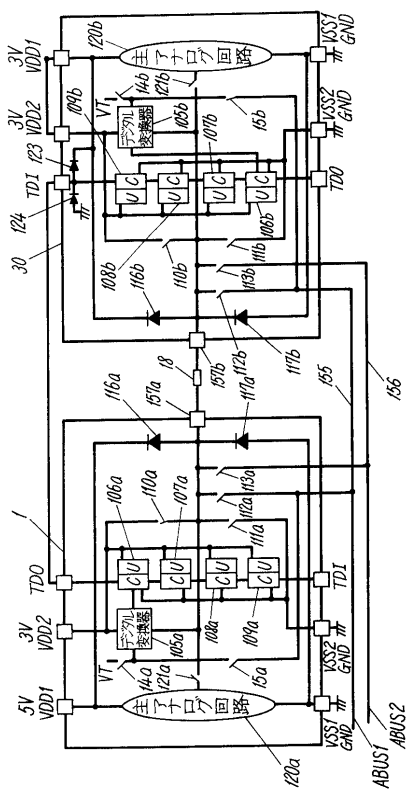
- 1 集積回路デバイス
- 2 主アナログ回路ブロック
- 3 バウンダリ・スキャン・セル部
- 4 サージ保護回路
- 6 スイッチ部
- 7、8、9、11、12、13 デバイス端子
- 14、15 スイッチ
- 18 ディスクリート部品
- 22、23、24 スイッチ
- 25 TAPコントローラ
- 26 主アナログ回路ブロック
- 27 TAPコントローラ
- 28、29 ディスクリート部品
- 30 集積回路デバイス
- 31、32、33、34、35、36、37 バウンダリ・スキャン・セル部
- 40、50、60 集積回路デバイス
- 41、42、43、44、45、46、47 サージ保護回路
- 55、56、59、157 デバイス端子
- 61、62、63、64、65、66、67 スイッチ部
- 82、110、111、112、113 スイッチ

40

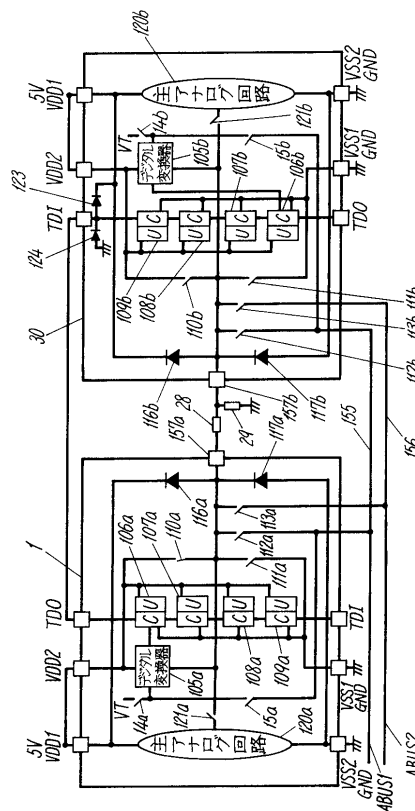
50

- 100、101 バウンダリ・スキャン・セル部
- 105 デジタル変換器
- 106、107、108、109 バウンダリ・スキャン・セル
- 116、117、123、124 サージ保護ダイオード
- 120 主アナログ回路
- 121 スイッチ
- 150、151、152、153 スイッチ
- 155 第1のアナログバス
- 156 第2のアナログバス
- 157 デバイス端子

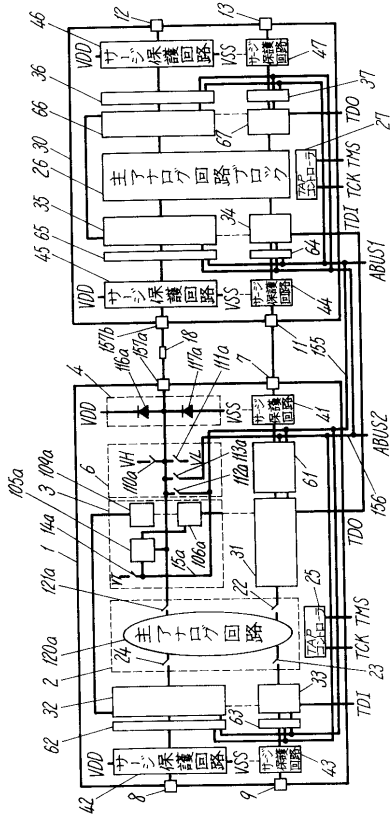
【 図 1 】



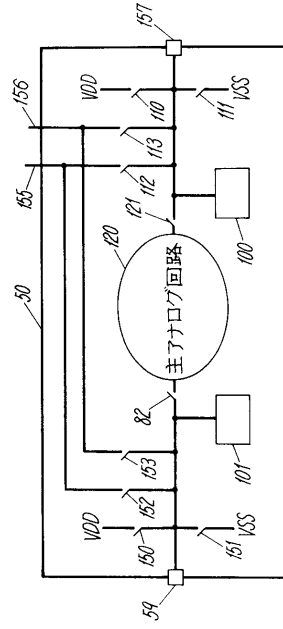
【 図 2 】



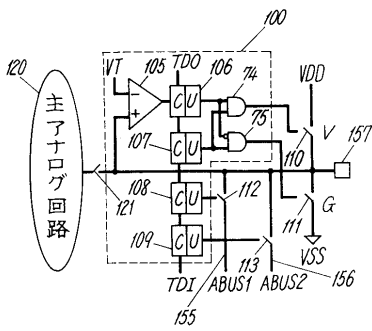
【 図 3 】



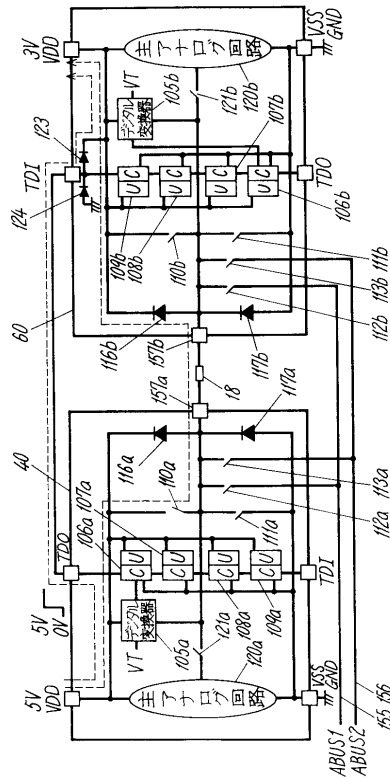
【 図 4 】



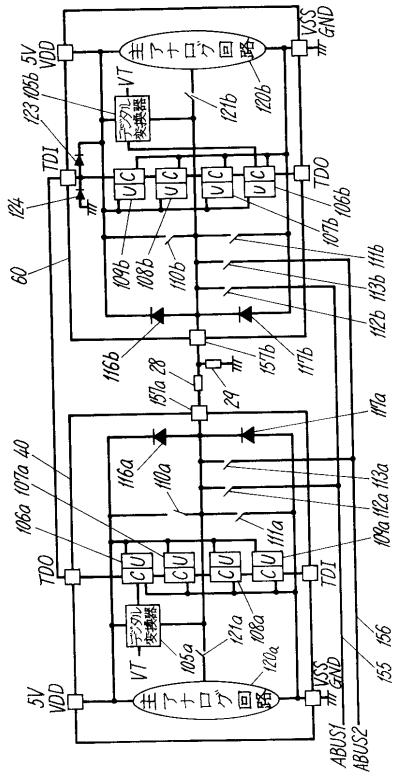
【 図 5 】



【 図 6 】



【 図 7 】





---

フロントページの続き

- (56)参考文献 特開平06-347517(JP,A)  
特開平06-018628(JP,A)  
特開平08-136622(JP,A)  
特開平02-022853(JP,A)  
特開昭55-147832(JP,A)

- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
G01R 31/28-3193