



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년11월10일
 (11) 등록번호 10-1674398
 (24) 등록일자 2016년11월03일

(51) 국제특허분류(Int. Cl.)
 H01L 21/336 (2006.01) H01L 29/78 (2006.01)
 (21) 출원번호 10-2010-0074878
 (22) 출원일자 2010년08월03일
 심사청구일자 2015년07월02일
 (65) 공개번호 10-2012-0012705
 (43) 공개일자 2012년02월10일
 (56) 선행기술조사문헌
 US20040106249 A1*
 US20090263950 A1*
 US20100102395 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
임하진
 서울특별시 광진구 북성로34길 9 201동 1001호
 (자양동, 자양현대2차아파트)
도진호
 경기도 화성시 동탄공원로 21-12 905동 2903호
 (능동, 푸른마을포스코더샵아파트)
 (뒷면에 계속)
 (74) 대리인
박영우

전체 청구항 수 : 총 9 항

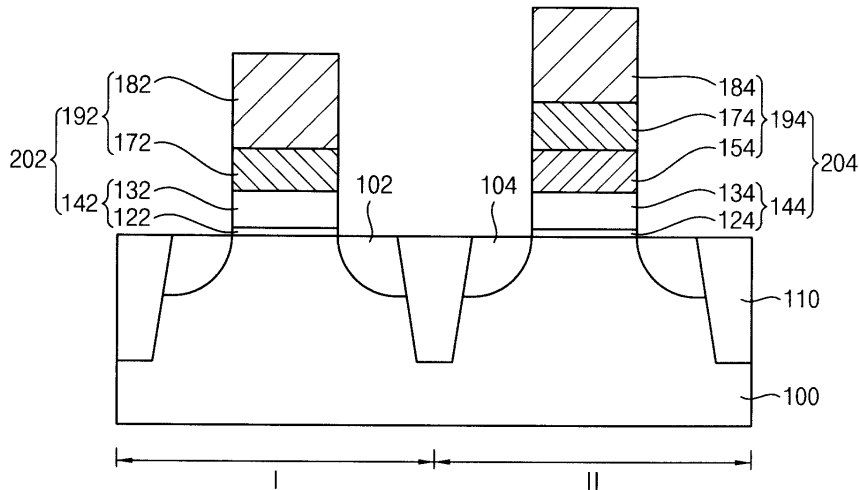
심사관 : 오순영

(54) 발명의 명칭 **반도체 소자 및 그 제조 방법**

(57) 요약

반도체 소자의 제조 방법에서, 제1 영역 및 제2 영역을 갖는 기판 상에 고유전 물질을 포함하는 게이트 절연막을 형성한다. 제2 영역 상의 게이트 절연막 부분 상에 제1 금속을 포함하는 확산 방지막을 형성한다. 게이트 절연막 및 확산 방지막 상에 확산막을 형성한다. 기판을 열처리하여 확산막의 성분을 제1 영역 상의 게이트 절연막 부분으로 확산시킨다. 확산막의 잔류 부분을 제거한다. 게이트 절연막 및 확산 방지막 상에 제2 금속을 포함하는 게이트 전극막을 형성한다. 상기 반도체 소자는 금속을 포함하는 확산 방지막을 PMOS 영역에만 형성하므로, 우수한 동작 특성을 갖는다.

대표도 - 도1



(72) 발명자

김원홍

경기도 수원시 영통구 영통로 111, 동수원엘지빌리
지3차 동수원LG자이 301동 2003호 (맏포동)

송문균

경기도 안양시 만안구 성결대학로 23, 301호 (안양
동)

주대권

경기도 오산시 운암로 122, 운암주공1단지아파트
101동 704호 (부산동)

명세서

청구범위

청구항 1

제1 영역 및 제2 영역을 갖는 기판 상에 고유전 물질을 포함하는 게이트 절연막을 형성하는 단계;
 상기 제2 영역 상의 상기 게이트 절연막 부분 상에 제1 금속을 포함하는 확산 방지막을 형성하는 단계;
 상기 게이트 절연막 및 상기 확산 방지막 상에 확산막을 형성하는 단계;
 상기 기판을 열처리하여 상기 확산막의 성분을 상기 제1 영역 상의 상기 게이트 절연막 부분으로 확산시키는 단계;
 상기 확산막을 제거하여, 상기 제1 영역 상의 상기 게이트 절연막 상면 및 상기 제2 영역 상의 상기 확산 방지막 상면을 노출시키는 단계; 및
 노출된 상기 게이트 절연막 상면 및 상기 확산 방지막 상면에 제2 금속을 포함하는 게이트 전극막을 형성하는 단계를 포함하는 반도체 소자 제조 방법.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 확산 방지막은 티타늄, 티타늄 질화물, 텅스텐, 탄탈륨, 탄탈륨 질화물, 탄탈륨 실리사이드 또는 루테튬을 사용하여 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 4

제1항에 있어서, 상기 제1 영역은 NMOS 트랜지스터 영역이고 상기 제2 영역은 PMOS 트랜지스터 영역인 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 5

제4항에 있어서, 상기 확산막은 란탄(lanthanum) 혹은 란탄 산화물을 사용하여 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 6

제1항에 있어서, 상기 제1 영역은 PMOS 트랜지스터 영역이고 상기 제2 영역은 NMOS 트랜지스터 영역인 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 7

제6항에 있어서, 상기 확산막은 알루미늄 또는 알루미늄 산화물을 사용하여 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 8

제1항에 있어서, 상기 제1 금속은 상기 제2 금속과 동일한 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 9

제1항에 있어서, 상기 게이트 전극막을 형성하는 단계는,
 상기 게이트 절연막 및 상기 확산 방지막 상에 상기 제2 금속을 사용하여 금속막을 형성하는 단계; 및
 상기 금속막 상에 실리콘 막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 10

제9항에 있어서, 상기 실리콘 막은 비정질 실리콘 혹은 폴리실리콘을 사용하여 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자 및 그 제조 방법에 관한 것이다. 보다 상세하게는, 고유전 물질을 포함하는 게이트 절연막을 갖는 반도체 소자의 제조 방법에 관한 것이다.

배경 기술

[0002] 트랜지스터의 게이트 절연막을 통한 누설 전류 감소를 위해, 고유전 물질을 사용하여 상기 게이트 절연막을 형성하는 방법이 개발되고 있다. 하지만 고유전막 상에 폴리실리콘을 포함하는 게이트 전극을 형성할 경우, 페르미 레벨 피닝 현상에 의해 트랜지스터의 문턱 전압의 상승, 전자 이동도 감소 및 플랫 밴드 감소 등의 문제점이 발생한다. 이에 따라, 금속을 사용하여 게이트 전극을 형성하는 방법이 개발되고 있으나, 여전히 우수한 전기적 특성을 갖는 트랜지스터를 제조하는 방법이 요구되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 목적은 우수한 전기적 특성을 갖는 반도체 소자를 제공하는데 있다.

[0004] 본 발명의 다른 목적은 우수한 전기적 특성을 갖는 반도체 소자의 제조 방법을 제공하는데 있다.

과제의 해결 수단

[0005] 상기한 목적을 달성하기 위한 본 발명의 실시예들에 따른 반도체 소자의 제조 방법에서, 제1 영역 및 제2 영역을 갖는 기판 상에 고유전 물질을 포함하는 게이트 절연막을 형성한다. 상기 제2 영역 상의 상기 게이트 절연막 부분 상에 제1 금속을 포함하는 확산 방지막을 형성한다. 상기 게이트 절연막 및 상기 확산 방지막 상에 확산막을 형성한다. 상기 기판을 열처리하여 상기 확산막의 성분을 상기 제1 영역 상의 상기 게이트 절연막 부분으로 확산시킨다. 상기 확산막의 잔류 부분을 제거한다. 상기 게이트 절연막 및 상기 확산 방지막 상에 제2 금속을 포함하는 게이트 전극막을 형성한다.

[0006] 예시적인 실시예들에 따르면, 상기 확산 방지막은 티타늄, 티타늄 질화물, 텅스텐, 탄탈륨, 탄탈륨 질화물, 탄탈륨 실리사이드 또는 루테튬을 사용하여 형성될 수 있다.

[0007] 예시적인 실시예들에 따르면, 상기 제1 영역은 NMOS 트랜지스터 영역이고 상기 제2 영역은 PMOS 트랜지스터 영역일 수 있다.

[0008] 예시적인 실시예들에 따르면, 상기 확산막은 란탄(lanthanum) 혹은 란탄 산화물을 사용하여 형성될 수 있다.

[0009] 예시적인 실시예들에 따르면, 상기 제1 영역은 PMOS 트랜지스터 영역이고 상기 제2 영역은 NMOS 트랜지스터 영역일 수 있다.

[0010] 예시적인 실시예들에 따르면, 상기 확산막은 알루미늄 또는 알루미늄 산화물을 사용하여 형성될 수 있다.

[0011] 예시적인 실시예들에 따르면, 상기 제1 금속은 상기 제2 금속과 동일하게 형성될 수 있다.

[0012] 예시적인 실시예들에 따르면, 상기 게이트 전극막을 형성하는 단계는 상기 게이트 절연막 및 상기 확산 방지막 상에 상기 제2 금속을 사용하여 금속막을 형성한 이후, 상기 금속막 상에 실리콘 막을 형성하는 단계를 포함할 수 있다.

[0013] 예시적인 실시예들에 따르면, 상기 실리콘 막은 비정질 실리콘 혹은 폴리실리콘을 사용하여 형성될 수 있다.

[0014] 예시적인 실시예들에 따르면, 상기 게이트 절연막은 금속 산화물 혹은 금속 실리콘 산화물을 사용하여 형성될 수 있다.

- [0015] 예시적인 실시예들에 따르면, 상기 게이트 절연막은 하프늄 산화물, 지르코늄 산화물, 탄탈륨 산화물, 알루미늄 산화물, 란타늄 산화물, 하프늄 실리콘 산화물, 지르코늄 실리콘 산화물 또는 탄탈륨 실리콘 산화물 사용하여 형성될 수 있다.
- [0016] 예시적인 실시예들에 따르면, 상기 게이트 절연막을 형성하는 단계는 상기 기판 상에 저유전막을 형성하고, 상기 저유전막 상에 상기 고유전 물질을 사용하여 고유전막을 형성할 수 있다.
- [0017] 예시적인 실시예들에 따르면, 상기 게이트 전극막, 상기 확산 방지막 및 상기 게이트 절연막을 패터닝하여, 상기 제1 영역 상에 제1 게이트 절연막 패턴 및 제1 게이트 전극을 구비하는 제1 게이트 구조물을 형성하고, 상기 제2 영역 상에 제2 게이트 절연막 패턴, 확산 방지막 패턴 및 제2 게이트 전극을 구비하는 제2 게이트 구조물을 형성할 수 있다.
- [0018] 예시적인 실시예들에 따르면, 상기 제1 게이트 구조물에 인접한 상기 기판의 제1 영역 상부에 제1 불순물 영역을 형성하고, 상기 제2 게이트 구조물에 인접한 상기 기판의 제2 영역 상부에 제2 불순물 영역을 형성할 수 있다.
- [0019] 상기한 목적을 달성하기 위한 본 발명의 실시예들에 따른 반도체 소자는, 기판의 제1 영역 상에 형성되고, 란타이 확산된 고유전 물질을 포함하는 제1 게이트 절연막 패턴 및 상기 제1 게이트 절연막 패턴 상에 형성되고 제2 금속을 포함하는 제1 게이트 전극을 갖는 제1 게이트 구조물 및 상기 기판의 제2 영역 상에 형성되고, 상기 고유전 물질을 포함하는 제2 게이트 절연막 패턴, 상기 제2 게이트 절연막 패턴 상에 형성되고 제1 금속을 포함하는 확산 방지막 패턴 및 상기 확산 방지막 패턴 상에 형성되고 상기 제2 금속을 포함하는 제2 게이트 전극을 갖는 제2 게이트 구조물을 구비할 수 있다.
- [0020] 예시적인 실시예들에 따르면, 상기 제1 게이트 구조물에 인접한 상기 기판 상부에 형성되어 n형 불순물이 도핑된 제1 불순물 영역 및 상기 제2 게이트 구조물에 인접한 상기 기판 상부에 형성되어 p형 불순물이 도핑된 제2 불순물 영역을 더 포함할 수 있다.
- [0021] 예시적인 실시예들에 따르면, 상기 제1 및 제2 금속은 동일할 수 있다.
- [0022] 예시적인 실시예들에 따르면, 상기 각 제1 및 제2 게이트 전극들은 순차적으로 적층된 금속막 패턴 및 폴리실리콘 막 패턴을 포함할 수 있다.
- [0023] 예시적인 실시예들에 따르면, 상기 각 제1 및 제2 게이트 절연막 패턴들은 순차적으로 적층된 저유전막 패턴 및 상기 고유전 물질을 포함하는 고유전막 패턴을 포함할 수 있다.
- [0024] 상기한 목적을 달성하기 위한 본 발명의 실시예들에 따른 반도체 소자는, 기판의 PMOS 영역 상에 형성되고, 고유전 물질을 포함하는 제1 게이트 절연막 패턴, 상기 제1 게이트 절연막 패턴 상에 형성되고 제1 금속을 포함하는 확산 방지막 패턴 및 상기 확산 방지막 패턴 상에 형성되고 제2 금속을 포함하는 제1게이트 전극을 갖는 제1 게이트 구조물 및 상기 기판의 NMOS 영역 상에 형성되고, 상기 고유전 물질을 포함하고 알루미늄이 확산된 제2 게이트 절연막 패턴 및 상기 제2 게이트 절연막 패턴 상에 형성되고 상기 제2 금속을 포함하는 제2 게이트 전극을 갖는 제2 게이트 구조물을 구비할 수 있다.

발명의 효과

- [0025] 본 발명의 실시예들에 따른 반도체 소자 제조 방법에서, 금속을 포함하는 확산 방지막을 PMOS 영역의 게이트 절연막 상에 형성하고 확산막을 형성함으로써, NMOS 영역의 게이트 절연막으로만 상기 확산막의 성분을 확산시킨다. 이에 따라, 상기 NMOS 영역의 문턱 전압 상승을 방지할 수 있다. 또한, 상기 확산막의 잔류 부분을 제거함으로써 채널의 전자 이동도의 감소를 방지하고 트랜지스터의 동작 속도를 향상시킬 수 있다.

도면의 간단한 설명

- [0026] 도 1은 예시적인 실시예들에 따른 반도체 소자를 설명하기 위한 단면도이다.
- 도 2 내지 도 6은 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.
- 도 6은 다른 실시예들에 따른 반도체 소자를 설명하기 위한 단면도이다.
- 도 7 내지 도 10은 다른 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.

도 11 내지 도 17은 예시적인 실시예들에 따른 반도체 소자를 제조하는 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- [0028] 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다.
- [0029] 본 발명에서, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0030] 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0031] 본 발명에 있어서, 각 층(막), 영역, 전극, 패턴 또는 구조물들이 대상체, 기판, 각 층(막), 영역, 전극 또는 패턴들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 전극, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 또는 패턴들 위에 형성되거나 또는 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 전극, 다른 패턴 또는 다른 구조물들이 대상체나 기판 상에 또는 아래에 추가적으로 형성될 수 있다.
- [0032] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안된다.
- [0033] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0034] 도 1은 예시적인 실시예들에 따른 반도체 소자를 설명하기 위한 단면도이다.
- [0035] 도 1을 참조하면, 상기 반도체 소자는 기판(100)의 제1 영역(I)에 형성된 NMOS 트랜지스터 및 기판(100)의 제2 영역(II)에 형성된 PMOS 트랜지스터를 포함한다.
- [0036] 기판(100)은 실리콘 기판, 게르마늄 기판, 실리콘-게르마늄 기판, 실리콘-온-인슐레이터(Silicon-On-Insulator: SOI) 기판 등을 포함할 수 있다. 기판(100)의 제1 영역(I)에는 p형 불순물이 도핑된 p형 웰(도시되지 않음)이 형성될 수 있고, 기판(100)의 제2 영역(II)에는 n형 불순물이 도핑된 n형 웰(도시되지 않음)이 형성될 수 있다.
- [0037] 기판(100) 상에는 소자 분리막(110)이 형성되어 기판(100)을 액티브 영역과 필드 영역으로 분리할 수 있다.
- [0038] 상기 NMOS 트랜지스터는 기판(100)의 제1 영역(I) 상에 형성된 제1 게이트 구조물(202)과, 제1 게이트 구조물(202)에 인접한 기판(100) 상부에 형성된 제1 소스/드레인 영역(102)을 포함한다. 한편, 도시되지는 않았지만, 상기 NMOS 트랜지스터는 제1 게이트 구조물(202)의 측벽 상에 형성된 스페이서를 더 포함할 수 있다.
- [0039] 제1 게이트 구조물(202)은 기판(100) 상에 순차적으로 적층된 제1 게이트 절연막 패턴(142) 및 제1 게이트 전극(192)을 포함할 수 있다. 제1 게이트 절연막 패턴(142)은 제1 저유전막 패턴(122) 및 제1 고유전막 패턴(132)을 포함하고, 제1 게이트 전극(192)은 제1 금속막 패턴(172) 및 제1 실리콘 막 패턴(182)을 포함한다.
- [0040] 제1 소스/드레인 영역(102)은, 예를 들어, 인(P)과 같은 n형 불순물을 포함할 수 있다.
- [0041] 상기 PMOS 트랜지스터는 기판(100)의 제2 영역(II) 상에 형성된 제2 게이트 구조물(204)과, 제2 게이트 구조물(204)에 인접한 기판(100) 상부에 형성된 제2 소스/드레인 영역(104)을 포함한다. 한편, 도시되지는 않았지만, 상기 PMOS 트랜지스터는 제2 게이트 구조물(204)의 측벽 상에 형성된 스페이서를 더 포함할 수 있다.
- [0042] 제2 게이트 구조물(204)은 기판(100) 상에 순차적으로 적층된 제2 게이트 절연막 패턴(144), 확산 방지막 패턴(154) 및 제2 게이트 전극(194)을 포함할 수 있다. 제2 게이트 절연막 패턴(144)은 제2 저유전막 패턴(124) 및

제2 고유전막 패턴(134)을 포함하고, 제2 게이트 전극(194)은 제2 금속막 패턴(174) 및 제2 실리콘 막 패턴(184)을 포함한다.

- [0043] 제2 소스/드레인 영역(104)은, 예를 들어, 붕소(B)와 같은 p형 불순물을 포함할 수 있다.
- [0044] 제1 및 제2 저유전막 패턴들(122, 124)은 실리콘 산화물 혹은 실리콘 산질화물을 포함할 수 있다.
- [0045] 제1 고유전막 패턴(132)은 란타넘이 확산된 고유전 물질을 포함할 수 있고, 제2 고유전막 패턴(134)은 란타넘이 확산되지 않은 고유전 물질을 포함할 수 있다. 상기 고유전 물질은 금속 산화물, 금속 산질화물 등을 포함할 수 있다. 예를 들어, 상기 고유전 물질은 하프늄 산화물, 하프늄 실리콘 산화물, 지르코늄 산화물, 지르코늄 실리콘 산화물, 하프늄 산질화물, 하프늄 실리콘 산질화물, 지르코늄 산질화물, 지르코늄 실리콘 산질화물, 알루미늄 산화물, 하프늄 알루미늄 산화물, 하프늄 란타넘 산화물, 지르코늄 알루미늄 산화물, 알루미늄 산질화물, 하프늄 알루미늄 산질화물, 하프늄 란타넘 산질화물, 지르코늄 알루미늄 산질화물 등을 포함할 수 있고, 이들은 단독 또는 둘 이상이 혼합되어 사용될 수 있다.
- [0046] 확산 방지막 패턴(154)은 금속을 포함할 수 있다. 예시적인 실시예들에 따르면, 확산 방지막 패턴(154)은 금속, 금속 질화물 등을 포함할 수 있다. 예를 들어, 확산 방지막 패턴(154)은 티타늄, 티타늄 질화물, 텅스텐, 텅스텐 질화물, 탄탈륨 질화물, 티타늄 알루미늄 질화물 등과 같이 전기 전도도가 높은 물질을 포함할 수 있다.
- [0047] 제1 및 제2 금속막 패턴들(172, 174)은 금속, 금속 질화물, 금속 실리사이드 등을 포함할 수 있다. 예를 들어, 제1 및 제2 금속막 패턴들(172, 174)은 몰리브덴, 티타늄, 탄탈륨, 하프늄, 지르코늄, 알루미늄, 텅스텐, 탄탈륨 실리사이드, 탄탈륨 알루미늄, 티타늄 실리사이드, 티타늄 알루미늄, 몰리브덴 질화물, 티타늄 질화물, 탄탈륨 질화물, 하프늄 질화물, 지르코늄 질화물, 알루미늄 질화물, 텅스텐 질화물, 탄탈륨 실리사이드 질화물, 탄탈륨 알루미늄 질화물, 티타늄 실리사이드 질화물, 티타늄 알루미늄 질화물 등을 포함할 수 있다. 일 실시예에 따르면, 제1 및 제2 금속막 패턴들(172, 174)은 확산 방지막 패턴(154)과 실질적으로 동일한 물질을 포함할 수 있다.
- [0048] 제1 및 제2 실리콘 막 패턴들(182, 184)은 폴리실리콘, 비정질 실리콘 등을 포함할 수 있다. 예시적인 실시예들에 따르면, 제1 실리콘 막 패턴(182)은 인(P)과 같은 n형 불순물을 포함할 수 있고, 제2 실리콘 막 패턴(184)은 붕소(B)와 같은 p형 불순물을 포함할 수 있다.
- [0049] 상기 반도체 소자의 제1 및 제2 고유전막 패턴들(132, 134)은 고유전 물질을 포함하고, 상기 NMOS 트랜지스터의 제1 고유전막 패턴(132)에는 란타넘 혹은 티타늄이 확산되어 있다. 이에 따라, 상기 NMOS 트랜지스터는 낮은 누설 전류 및 낮은 문턱 전압을 가질 수 있다.
- [0050] 도 2 내지 도 5는 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.
- [0051] 도 2를 참조하면, 소자 분리막(110)이 형성된 기판(100) 상에 게이트 절연막(140) 및 확산 방지막(150)을 순차적으로 형성한다.
- [0052] 기판(100)은 실리콘 기판, 게르마늄 기판, 실리콘-게르마늄 기판, 실리콘-온-인슐레이터(Silicon-On-Insulator: SOI) 기판 등을 포함할 수 있다. 또한, 기판(100)은 제1 영역(I) 및 제2 영역(II)을 포함할 수 있다. 예시적인 실시예들에 따르면, 제1 영역(I)은 엔모스(Negative Metal Oxide Semiconductor: NMOS) 트랜지스터가 형성되는 NMOS 영역이고, 제2 영역(II)은 피모스(Positive Metal Oxide Semiconductor: PMOS) 트랜지스터가 형성되는 PMOS 영역이다. 한편, 기판(100)의 제1 및 제2 영역들(I, II)에는 각각 p형 및 n형 불순물들을 도핑하여 p형 및 n형 웰들(도시되지 않음)을 형성할 수 있다. 예시적인 실시예들에 따르면, 소자 분리막(110)은 에스티아이(Shallow Trench Isolation: STI) 공정에 의해 형성될 수 있으며, 이에 따라 기판(100)에는 액티브 영역과 필드 영역이 정의될 수 있다.
- [0053] 게이트 절연막(140)은 고유전 물질을 사용하여 형성될 수 있다. 예시적인 실시예들에 따르면, 기판(100) 상에 저유전막(120) 및 고유전막(130)을 순차적으로 형성함으로써 게이트 절연막(140)을 형성한다.
- [0054] 저유전막(120)은 실리콘 산화물, 실리콘 산질화물 등을 사용하여 형성할 수 있다. 일 실시예에 따르면, 저유전막(120)은 기판(100) 상면에 열산화 공정을 수행하여 실리콘 산화물을 포함하도록 형성될 수 있다. 다른 실시예에 따르면, 저유전막(120)은 상기 열산화 공정 이후에 플라즈마 질화 공정 혹은 열질화 공정을 더 수행하여 실리콘 산질화물을 포함하도록 형성될 수 있다.
- [0055] 고유전막(130)은 고유전율을 갖는 금속 산화물, 금속 산질화물 등을 사용하여 화학 기상 증착(CVD) 공정, 원자

층 증착(ALD) 공정, 스퍼터링 공정 등을 수행함으로써 형성될 수 있다. 예를 들어, 고유전막(130)은 하프늄 산화물, 하프늄 실리콘 산화물, 지르코늄 산화물, 지르코늄 실리콘 산화물, 하프늄 산질화물, 하프늄 실리콘 산질화물, 지르코늄 산질화물, 지르코늄 실리콘 산질화물 알루미늄 산화물, 하프늄 알루미늄 산화물, 란탄 산화물, 하프늄 란탄 산화물, 지르코늄 알루미늄 산화물, 알루미늄 산질화물, 하프늄 알루미늄 산질화물, 란탄 산질화물, 하프늄 란탄 산질화물, 지르코늄 알루미늄 산질화물 등을 사용하여 형성될 수 있고, 이들은 단독 또는 둘 이상을 혼합하여 사용될 수 있다.

- [0056] 확산 방지막(150)은 금속을 사용하여 형성될 수 있다. 예시적인 실시예들에 따르면, 확산 방지막(150)은 금속, 금속 질화물 등을 사용하여 형성될 수 있다. 예를 들어, 확산 방지막(150)은 티타늄, 티타늄 질화물, 텅스텐, 텅스텐 질화물, 탄탈륨 질화물, 티타늄 알루미늄 질화물 등과 같이 전기 전도도가 높은 물질을 사용하여 화학 기상 증착(CVD) 공정, 원자층 증착(ALD) 공정, 스퍼터링 공정 등을 수행함으로써 형성될 수 있다. 확산 방지막(150)은 단일막 혹은 다층막으로 형성될 수 있다.
- [0057] 도 3을 참조하면, 제1 영역(I) 상에 형성된 확산 방지막(150) 부분을 제거하며, 이에 따라 확산 방지막(150)은 제2 영역(II) 상에만 잔류한다. 예시적인 실시예들에 따르면, 포토레지스트 패턴(도시되지 않음)을 식각 마스크로 사용하는 사진 식각 공정을 통해, 제1 영역(I) 상에 형성된 확산 방지막(150) 부분을 제거할 수 있다.
- [0058] 이후, 제1 영역(I) 상의 노출된 고유전막(130) 부분 및 제2 영역(II) 상의 확산 방지막(150) 상에 확산막(160)을 형성한다.
- [0059] 확산막(160)은 란탄, 란탄 산화물, 이트륨(Y), 테르븀(Tb), 에르븀(Eb) 등을 사용하여 화학 기상 증착(CVD) 공정, 원자층 증착(ALD) 공정, 스퍼터링 공정 등을 수행함으로써 형성될 수 있다.
- [0060] 확산막(160), 확산 방지막(150) 및 게이트 절연막(140)이 형성된 기판(100)에 열처리 공정을 수행한다. 상기 열처리 공정은 800℃ 내지 1100℃의 온도에서 수행될 수 있다.
- [0061] 도 4를 참조하면, 상기 열처리 공정에 의해, 확산막(160)의 성분이 제1 영역(I) 상의 노출된 고유전막(130) 부분으로 확산될 수 있다. 예시적인 실시예들에 따르면, 확산막(160) 성분은 저유전막(120)으로는 확산되지 않는다. 한편, 확산막(160) 성분은 확산 방지막(150)에 의해 제2 영역(II) 상의 고유전막(130) 부분으로는 확산되지 않는다. 지금부터는, 확산막(160) 성분이 확산된 고유전막(130) 부분을 제1 고유전막(138)으로 정의하고, 확산막(160) 성분이 확산되지 않은 고유전막(130) 부분은 제2 고유전막(136)으로 정의한다.
- [0062] 확산막(160) 성분이 확산된 제1 고유전막(138)이 형성됨에 따라, 상기 NMOS 트랜지스터의 문턱 전압 상승이 방지될 수 있다.
- [0063] 상기 열처리 공정을 수행한 이후, 제1 고유전막(138) 및 확산 방지막(150) 상에 잔류하는 확산막(160)을 제거할 수 있다. 이에 따라, 확산막(160) 성분이 과도하게 확산되어 상기 NMOS 트랜지스터의 전자 이동도가 감소되는 것을 방지할 수 있다. 확산막(160) 잔류 부분은 스트립 공정 또는 식각 공정을 통해 제거될 수 있다.
- [0064] 도 5를 참조하면, 제1 고유전막(138) 및 확산 방지막(150) 상에 게이트 전극막(190)을 형성할 수 있다.
- [0065] 게이트 전극막(190)은 금속을 사용하여 형성될 수 있다. 예시적인 실시예들에 따르면, 게이트 전극막(190)은 제1 고유전막(138) 및 확산 방지막(150) 상에 금속막(170) 및 실리콘 막(180)을 순차적으로 적층하여 형성될 수 있다.
- [0066] 금속막(170)은 금속, 금속 질화물, 금속 실리사이드 등을 사용하여 화학 기상 증착(CVD) 공정, 원자층 증착(ALD) 공정, 스퍼터링 공정 등을 수행함으로써 형성할 수 있다. 예를 들어, 금속막(170)은 몰리브덴, 티타늄, 탄탈륨, 하프늄, 지르코늄, 알루미늄, 텅스텐, 탄탈륨 실리사이드, 탄탈륨 알루미늄, 티타늄 실리사이드, 티타늄 알루미늄, 몰리브덴 질화물, 티타늄 질화물, 탄탈륨 질화물, 하프늄 질화물, 지르코늄 질화물, 알루미늄 질화물, 텅스텐 질화물, 탄탈륨 실리사이드 질화물, 탄탈륨 알루미늄 질화물, 티타늄 실리사이드 질화물, 티타늄 알루미늄 질화물 등을 사용하여 형성될 수 있다. 예시적인 실시예들에 따르면, 금속막(170)은 확산 방지막(130)과 실질적으로 동일한 물질을 사용하여 형성될 수 있다.
- [0067] 금속막(170)이 제1 고유전막(138) 및 실리콘 막(180) 사이에 형성됨에 따라, 실리콘 막(180)이 제1 고유전막(138)과 접촉하지 않으므로 페르미 레벨 피닝(Fermi level pinning) 현상이 방지될 수 있다.
- [0068] 실리콘 막(180)은 폴리실리콘, 비정질 실리콘 등을 사용하여 화학 기상 증착(CVD) 공정, 원자층 증착(ALD) 공정, 스퍼터링 공정 등을 수행함으로써 형성될 수 있다. 예시적인 실시예들에 따르면, 제1 영역(I) 상의 실리

콘 막(180) 부분에는 n형 불순물을 도핑하고, 제2 영역(II) 상의 실리콘 막(180) 부분에는 p형 불순물을 도핑하여, 실리콘 막(180)은 불순물을 포함하도록 형성될 수 있다.

- [0069] 다시 도 1을 참조하면, 실리콘 막(180), 금속막(170), 확산 방지막(150), 제1 및 제2 고유전막들(138, 136) 및 저유전막(120)을 순차적으로 패터닝하여, 기판(100)의 제1 영역(I) 상에 제1 게이트 구조물(202)을 형성하고 기판(100)의 제2 영역(II) 상에 제2 게이트 구조물(204)을 형성한다.
- [0070] 제1 게이트 구조물(202)은 기판(100) 상에 순차적으로 적층된 제1 게이트 절연막 패턴(142) 및 제1 게이트 전극(192)을 포함할 수 있다. 제1 게이트 절연막 패턴(142)은 제1 저유전막 패턴(122) 및 제1 고유전막 패턴(132)을 포함하고, 제1 게이트 전극(192)은 제1 금속막 패턴(172) 및 제1 실리콘 막 패턴(182)을 포함한다.
- [0071] 제2 게이트 구조물(204)은 기판(100) 상에 순차적으로 적층된 제2 게이트 절연막 패턴(144), 확산 방지막 패턴(154) 및 제2 게이트 전극(194)을 포함할 수 있다. 제2 게이트 절연막 패턴(144)은 제2 저유전막 패턴(124) 및 제2 고유전막 패턴(134)을 포함하고, 제2 게이트 전극(194)은 제2 금속막 패턴(174) 및 제2 실리콘 막 패턴(184)을 포함한다.
- [0072] 제1 및 제2 게이트 구조물들(202, 204)을 이온 주입 마스크로 사용하는 이온 주입 공정을 통해, 기판(100) 상부에 불순물을 주입한다. 구체적으로, 기판(100)의 제1 영역(I)에는 제1 불순물을 주입하여 제1 소스/드레인 영역(102)을 형성하고, 기판(100)의 제2 영역(II)에는 제2 불순물을 주입하여 제2 소스/드레인 영역(104)을 형성한다. 상기 제1 불순물은, 예를 들어, 인(P)과 같은 n형 불순물을 포함할 수 있으며, 상기 제2 불순물은, 예를 들어, 붕소(B)와 같은 p형 불순물을 포함할 수 있다.
- [0073] 전술한 공정들을 수행함으로써, 상기 반도체 소자가 완성된다.
- [0074] 본 발명의 실시예에 따르면, 금속을 포함하는 확산 방지막(150)을 PMOS 영역의 게이트 절연막(140) 부분 상에 형성하고, NMOS 영역 상의 게이트 절연막(140) 부분 및 확산 방지막(150) 상에 확산막(160)을 형성함으로써, 상기 NMOS 영역의 게이트 절연막(140) 부분으로만 확산막(160)의 성분을 확산시킨다. 이에 따라, 상기 NMOS 영역의 문턱 전압 상승이 방지된다. 이후, 확산막(160)의 잔류 부분을 제거함으로써 채널의 전자 이동도의 감소를 방지하고 트랜지스터의 동작 속도를 향상시킬 수 있다.
- [0075] 또한, 고유전막(130) 상에 실리콘 막(180)을 형성하기 이전에, 금속막(170)을 형성함으로써 페르미 레벨 피닝 현상을 방지할 수 있다. 나아가, 확산막(160) 성분의 확산을 위한 열처리 공정 이후에 실리콘 막(180)을 형성함으로써, 상기 열처리에 의한 실리콘 막(180)과 게이트 절연막(140) 사이의 부피 변화 차이를 방지할 수 있다. 이에 따라, 이른 바 게이트 언더컷(undercut) 현상이 방지되어 게이트 구조물의 커패시턴스 감소가 방지된다.
- [0076] 도 6은 다른 실시예들에 따른 반도체 소자를 설명하기 위한 단면도이다. 상기 반도체 소자는 NMOS 트랜지스터가 확산 방지막 패턴을 포함하는 것을 제외하고는 도 1을 참조로 설명한 반도체 소자와 실질적으로 동일하거나 유사하므로, 이에 대해서는 간략히 설명한다.
- [0077] 도 6을 참조하면, 상기 반도체 소자는 기판(300)의 제1 영역(III)에 형성된 NMOS 트랜지스터 및 기판(300)의 제2 영역(IV)에 형성된 PMOS 트랜지스터를 포함한다.
- [0078] 상기 NMOS 트랜지스터는 기판(300)의 제1 영역(III) 상에 형성된 제1 게이트 구조물(402)과, 제1 게이트 구조물(402)에 인접한 기판(300) 상부에 형성된 제1 소스/드레인 영역(302)을 포함한다.
- [0079] 제1 게이트 구조물(402)은 기판(300) 상에 순차적으로 적층된 제1 게이트 절연막 패턴(342), 확산 방지막 패턴(352) 및 제1 게이트 전극(392)을 포함할 수 있다. 제1 게이트 절연막 패턴(342)은 제1 저유전막 패턴(322) 및 제1 고유전막 패턴(332)을 포함하고, 제1 게이트 전극(392)은 제1 금속막 패턴(372) 및 제1 실리콘 막 패턴(382)을 포함한다.
- [0080] 제1 소스/드레인 영역(302)은, 예를 들어, 인(P)과 같은 n형 불순물을 포함할 수 있다.
- [0081] 상기 PMOS 트랜지스터는 기판(300)의 제2 영역(IV) 상에 형성된 제2 게이트 구조물(404)과, 제2 게이트 구조물(404)에 인접한 기판(300) 상부에 형성된 제2 소스/드레인 영역(304)을 포함한다.
- [0082] 제2 게이트 구조물(404)은 기판(300) 상에 순차적으로 적층된 제2 게이트 절연막 패턴(344) 및 제2 게이트 전극(394)을 포함할 수 있다. 제2 게이트 절연막 패턴(344)은 제2 저유전막 패턴(324) 및 제2 고유전막 패턴(334)을 포함하고, 제2 게이트 전극(394)은 제2 금속막 패턴(374) 및 제2 실리콘 막 패턴(384)을 포함한다.

- [0083] 제2 소스/드레인 영역(304)은, 예를 들어, 붕소(B)와 같은 p형 불순물을 포함할 수 있다.
- [0084] 제1 및 제2 저유전막 패턴들(322, 324)은 실리콘 산화물 혹은 실리콘 산질화물을 포함할 수 있다.
- [0085] 제1 고유전막 패턴(332)은 고유전 물질을 포함할 수 있고, 제2 고유전막 패턴(334)은 알루미늄이 확산된 고유전 물질을 포함할 수 있다. 상기 고유전 물질은 금속 산화물, 금속 산질화물 등을 포함할 수 있다.
- [0086] 확산 방지막 패턴(352)은 금속을 포함할 수 있다. 예시적인 실시예들에 따르면, 확산 방지막 패턴(352)은 금속, 금속 질화물 등을 포함할 수 있다. 예를 들어, 확산 방지막 패턴(352)은 티타늄, 티타늄 질화물, 텅스텐, 텅스텐 질화물, 탄탈륨 질화물, 티타늄 알루미늄 질화물 등과 같이 전기 전도도가 높은 물질을 포함할 수 있다.
- [0087] 제1 및 제2 금속막 패턴들(372, 374)은 금속, 금속 질화물, 금속 실리콘사이드 등을 포함할 수 있다. 제1 및 제2 실리콘 막 패턴들(382, 384)은 폴리실리콘, 비정질 실리콘 등을 포함할 수 있다. 예시적인 실시예들에 따르면, 제1 실리콘 막 패턴(382)은 인(P)과 같은 n형 불순물을 포함할 수 있고, 제2 실리콘 막 패턴(384)은 붕소(B)와 같은 p형 불순물을 포함할 수 있다.
- [0088] 상기 반도체 소자의 제1 및 제2 고유전막 패턴들(332, 334)은 고유전 물질을 포함하고, 상기 PMOS 트랜지스터의 제2 고유전막 패턴(334)에는 알루미늄이 확산되어 있다. 이에 따라, 상기 PMOS 트랜지스터는 낮은 누설 전류 및 높은 문턱 전압을 가질 수 있다.
- [0089] 도 7 내지 도 10은 다른 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다. 상기 반도체 소자의 제조 방법은 NMOS 트랜지스터 영역에 확산 방지막을 형성하는 것을 제외하고는 도 2 내지 도 5를 참조로 설명한 반도체 소자의 제조 방법과 실질적으로 동일하거나 유사하므로 차이점만 간략히 설명한다.
- [0090] 도 7 참조하면, 소자 분리막(310)이 형성된 기판(300) 상에 게이트 절연막(340) 및 확산 방지막(350)을 순차적으로 형성한다. 예시적인 실시예들에 따르면, 제1 영역(III)은 엔모스 트랜지스터가 형성되는 NMOS 영역이고, 제2 영역(IV)은 피모스 트랜지스터가 형성되는 PMOS 영역이다.
- [0091] 게이트 절연막(340)은 고유전 물질을 사용하여 형성될 수 있다. 예시적인 실시예들에 따르면, 기판(300) 상에 저유전막(320) 및 고유전막(330)을 순차적으로 형성함으로써 게이트 절연막(340)을 형성한다.
- [0092] 저유전막(320)은 실리콘 산화물, 실리콘 산질화물 등을 사용하여 형성할 수 있다. 고유전막(330)은 고유전율을 갖는 금속 산화물, 금속 산질화물 등을 사용하여 화학 기상 증착(CVD) 공정, 원자층 증착(ALD) 공정, 스퍼터링 공정 등을 수행함으로써 형성될 수 있다.
- [0093] 확산 방지막(350)은 금속을 사용하여 형성될 수 있다. 예시적인 실시예들에 따르면, 확산 방지막(350)은 금속, 금속 질화물 등을 사용하여 단일막 혹은 다층막으로 형성될 수 있다. 예를 들어, 확산 방지막(350)은 티타늄, 티타늄 질화물, 텅스텐, 텅스텐 질화물, 탄탈륨 질화물, 티타늄 알루미늄 질화물 등과 같이 전기 전도도가 높은 물질을 사용하여 화학 기상 증착(CVD) 공정, 원자층 증착(ALD) 공정, 스퍼터링 공정 등을 수행함으로써 형성될 수 있다.
- [0094] 도 8을 참조하면, 제2 영역(IV) 상에 형성된 확산 방지막(350) 부분을 제거하며, 이에 따라 확산 방지막(350)은 제1 영역(III) 상에만 잔류한다. 이후, 제2 영역(IV) 상의 노출된 고유전막(330) 부분 및 제1 영역(III) 상의 확산 방지막(350) 상에 확산막(360)을 형성한다.
- [0095] 확산막(360)은 알루미늄, 알루미늄 산화물 등을 사용하여 화학 기상 증착(CVD) 공정, 원자층 증착(ALD) 공정, 스퍼터링 공정 등을 수행함으로써 형성될 수 있다.
- [0096] 확산막(360), 확산 방지막(350) 및 게이트 절연막(340)이 형성된 기판(300)에 열처리 공정을 수행한다. 상기 열처리 공정은 800℃ 내지 1100℃의 온도에서 수행될 수 있다.
- [0097] 도 9를 참조하면, 상기 열처리 공정에 의해, 확산막(360)의 성분이 제2 영역(IV) 상의 노출된 고유전막(330) 부분으로 확산될 수 있다. 예시적인 실시예들에 따르면, 확산막(360) 성분은 저유전막(320)으로는 확산되지 않는다. 한편, 확산막(360) 성분은 확산 방지막(350)에 의해 제1 영역(III) 상의 고유전막(330) 부분으로는 확산되지 않는다. 지금부터는, 확산막(360) 성분이 확산된 고유전막(330) 부분을 제2 고유전막(338)으로 정의하고, 확산막(360) 성분이 확산되지 않은 고유전막(330) 부분은 제1 고유전막(336)으로 정의한다.
- [0098] 확산막(360) 성분이 확산된 제2 고유전막(338)이 형성됨에 따라, 상기 PMOS 트랜지스터의 문턱 전압 하강이 방지될 수 있다.

- [0099] 상기 열처리 공정을 수행한 이후, 제2 고유전막(338) 및 확산 방지막(350) 상에 잔류하는 확산막(360)을 제거할 수 있다. 이에 따라, 확산막(360) 성분이 과도하게 확산되어 상기 PMOS 트랜지스터의 홀의 이동도가 감소되는 것을 방지할 수 있다. 확산막(360) 잔류 부분은 스트립 공정 또는 식각 공정을 통해 제거될 수 있다.
- [0100] 도 10를 참조하면, 제2 고유전막(338) 및 확산 방지막(350) 상에 게이트 전극막(390)을 형성할 수 있다.
- [0101] 게이트 전극막(390)은 금속을 사용하여 형성될 수 있다. 예시적인 실시예들에 따르면, 게이트 전극막(390)은 제1 고유전막(338) 및 확산 방지막(350) 상에 금속막(370) 및 실리콘 막(380)을 순차적으로 적층하여 형성될 수 있다. 금속막(370)은 금속, 금속 질화물, 금속 실리사이드 등을 사용하여 화학 기상 증착(CVD) 공정, 원자층 증착(ALD) 공정, 스퍼터링 공정 등을 수행함으로써 형성될 수 있다. 예시적인 실시예들에 따르면, 금속막(370)은 확산 방지막(330)과 실질적으로 동일한 물질을 사용하여 형성될 수 있다.
- [0102] 금속막(370)이 제2 고유전막(338) 및 실리콘 막(380) 사이에 형성됨에 따라, 실리콘 막(380)이 제2 고유전막(338)과 접촉하지 않으므로 페르미 레벨 피닝(Fermi level pinning) 현상이 방지될 수 있다.
- [0103] 실리콘 막(380)은 폴리실리콘, 비정질 실리콘 등을 사용하여 화학 기상 증착(CVD) 공정, 원자층 증착(ALD) 공정, 스퍼터링 공정 등을 수행함으로써 형성될 수 있다. 예시적인 실시예들에 따르면, 제1 영역(III) 상의 실리콘 막(380) 부분에는 n형 불순물을 도핑하고, 제2 영역(IV) 상의 실리콘 막(380) 부분에는 p형 불순물을 도핑하여, 실리콘 막(380)은 불순물을 포함하도록 형성될 수 있다.
- [0104] 다시 도 6을 참조하면, 실리콘 막(380), 금속막(370), 확산 방지막(350), 제1 및 제2 고유전막들(336, 338) 및 저유전막(320)을 순차적으로 패터닝하여, 기판(300)의 제1 영역(III) 상에 제1 게이트 구조물(402)을 형성하고 기판(300)의 제2 영역(IV) 상에 제2 게이트 구조물(404)을 형성한다.
- [0105] 제1 게이트 구조물(402)은 기판(300) 상에 순차적으로 적층된 제1 게이트 절연막 패턴(342), 확산 방지막 패턴(352) 및 제1 게이트 전극(392)을 포함할 수 있다. 제1 게이트 절연막 패턴(342)은 제1 저유전막 패턴(322) 및 제1 고유전막 패턴(332)을 포함하고, 제1 게이트 전극(392)은 제1 금속막 패턴(372) 및 제1 실리콘 막 패턴(382)을 포함한다.
- [0106] 제2 게이트 구조물(404)은 기판(300) 상에 순차적으로 적층된 제2 게이트 절연막 패턴(344) 및 제2 게이트 전극(394)을 포함할 수 있다. 제2 게이트 절연막 패턴(344)은 제2 저유전막 패턴(324) 및 제2 고유전막 패턴(334)을 포함하고, 제2 게이트 전극(394)은 제2 금속막 패턴(374) 및 제2 실리콘 막 패턴(384)을 포함한다.
- [0107] 제1 및 제2 게이트 구조물들(402, 404)을 이온 주입 마스크로 사용하는 이온 주입 공정을 통해, 기판(300) 상부에 불순물을 주입하여 기판(300)의 제1 영역(III)에는 제1 소스/드레인 영역(302)을 형성하고, 기판(300)의 제2 영역(IV)에는 제2 소스/드레인 영역(304)을 형성한다.
- [0108] 진술한 공정들을 수행함으로써, 상기 반도체 소자가 완성된다.
- [0109] 본 발명의 실시예에 따르면, 금속을 포함하는 확산 방지막(350)을 NMOS 영역의 게이트 절연막(340) 부분 상에 형성하고, PMOS 영역 상의 게이트 절연막(340) 부분 및 확산 방지막(350) 상에 확산막(360)을 형성함으로써, 상기 PMOS 영역의 게이트 절연막(340) 부분으로만 확산막(360)의 성분을 확산시킨다. 이에 따라, 상기 NMOS 영역의 문턱 전압 하강이 방지된다. 이후, 확산막(360)의 잔류 부분을 제거함으로써 채널의 홀 이동도의 감소를 방지하고 트랜지스터의 동작 속도를 향상시킬 수 있다.
- [0110] 또한, 고유전막(330) 상에 실리콘 막(380)을 형성하기 이전에, 금속막(370)을 형성함으로써 페르미 레벨 피닝 현상을 방지할 수 있다. 나아가, 확산막(360) 성분의 확산을 위한 열처리 공정 이후에 실리콘 막(380)을 형성함으로써, 상기 열처리에 의한 실리콘 막(380)과 게이트 절연막(340) 사이의 부피 변화 차이를 방지할 수 있다. 이에 따라, 이른 바 게이트 언더컷(undercut) 현상이 방지되어 게이트 구조물의 커패시턴스 감소가 방지된다.
- [0111] 도 11 내지 도 17은 예시적인 실시예들에 따른 반도체 소자를 제조하는 방법을 설명하기 위한 단면도들이다. 상기 반도체 소자 제조 방법에서, 상보형 트랜지스터는 도 1 내지 도 5를 참조로 설명한 상보형 트랜지스터 형성 방법과 실질적으로 동일하거나 유사한 방법으로 형성되므로, 이에 대해서는 간략히 설명한다.
- [0112] 도 11을 참조하면, 제1 영역(I), 제2 영역(II) 및 제3 영역(III)을 구비하는 기판(500)에 소자 분리막(510)을 형성한다. 제3 영역(III)은 셀 영역일 수 있고, 제1 영역(I)은 주변 회로 영역의 NMOS 영역일 수 있으며, 제2 영역(II)은 주변 회로 영역의 PMOS 영역일 수 있다.
- [0113] 기판(500)의 제1 영역(I), 제2 영역(II) 및 제3 영역(III) 상에 게이트 절연막(540) 및 확산 방지막(550)을 순

차적으로 형성한다. 게이트 절연막(540)은 고유전 물질을 사용하여 형성될 수 있다. 예시적인 실시예들에 따르면, 기판(500) 상에 저유전막(도시되지 않음) 및 고유전막(도시되지 않음)을 순차적으로 형성함으로써 게이트 절연막(540)을 형성할 수 있다. 저유전막은 실리콘 산화물, 실리콘 산질화물 등을 사용하여 형성할 수 있고, 고유전막은 고유전율을 갖는 금속 산화물, 금속 산질화물 등을 사용하여 형성할 수 있다. 확산 방지막(550)은 금속, 금속 질화물 등을 사용하여 단일막 혹은 다층막으로 형성될 수 있다.

- [0114] 도 12를 참조하면, 제1 영역(I) 및 제3 영역(III) 상에 형성된 확산 방지막(550) 부분을 제거하며, 이에 따라 확산 방지막(550)은 제2 영역(II) 상에만 잔류한다.
- [0115] 이후, 제1 영역(I) 및 제3 영역(III) 상의 노출된 게이트 절연막(540) 부분 및 제2 영역(II) 상의 확산 방지막(550) 상에 확산막(560)을 형성한다. 확산막(560)은 란탄, 란탄 산화물, 탄탈륨, 탄탈륨 산화물 등을 사용하여 형성할 수 있다.
- [0116] 이후, 확산막(560), 확산 방지막(550) 및 게이트 절연막(540)이 형성된 기판(500)에 열처리 공정을 수행한다. 상기 열처리 공정은 800℃ 내지 1100℃의 온도에서 수행될 수 있다.
- [0117] 도 13을 참조하면, 상기 열처리 공정에 의해, 확산막(560) 성분이 제1 영역(I) 및 제3 영역(III) 상의 노출된 게이트 절연막(540) 부분으로 확산될 수 있다. 확산막(560) 성분은 확산 방지막(550)에 의해 제2 영역(II) 상의 게이트 절연막(540) 부분으로는 확산되지 않는다. 확산막(560) 성분이 확산된 게이트 절연막(540) 부분을 제1 게이트 절연막(548)으로 정의하고, 확산막(560) 성분이 확산되지 않은 게이트 절연막(540) 부분은 제2 게이트 절연막(547)으로 정의한다.
- [0118] 확산막(560) 성분이 확산된 제1 게이트 절연막(548)이 형성됨에 따라, 제1 영역(I) 및 제3 영역(III)에 형성된 NMOS 트랜지스터들의 문턱 전압 상승이 방지될 수 있다.
- [0119] 상기 열처리 공정을 수행한 이후, 제1 게이트 절연막(548) 및 확산 방지막(550) 상에 잔류하는 확산막(560)을 제거할 수 있다. 이에 따라, 확산막(560) 성분이 과도하게 확산되어 상기 NMOS 트랜지스터의 전자 이동도가 감소되는 것을 방지할 수 있다. 확산막(560) 잔류 부분은 스트립 공정 또는 식각 공정을 통해 제거될 수 있다.
- [0120] 도 14를 참조하면, 제1 게이트 절연막(548) 및 확산 방지막(550) 상에 게이트 전극막(590) 및 게이트 마스크층(600)을 순차적으로 형성할 수 있다. 게이트 전극막(590)은 제1 게이트 절연막(548) 및 확산 방지막(550) 상에 금속막(도시되지 않음) 및 실리콘 막(도시되지 않음)을 순차적으로 적층하여 형성될 수 있다. 이 경우, 상기 금속막이 제1 게이트 절연막(548) 및 상기 실리콘 막 사이에 형성됨에 따라, 상기 실리콘 막이 제1 게이트 절연막(548)과 접촉하지 않으므로 페르미 레벨 피닝 현상이 방지될 수 있다.
- [0121] 도 15를 참조하면, 게이트 마스크층(600), 게이트 전극막(590), 확산 방지막(550) 및 게이트 절연막들(547, 548)을 순차적으로 패터닝하여, 기판(500)의 제1 영역(I), 제2 영역(II) 및 제3 영역(III) 상에 제1 게이트 구조물(612), 제2 게이트 구조물(614) 및 제3 게이트 구조물(616)을 각각 형성한다. 각 게이트 구조물들(612, 614, 616)은 제1 방향으로 연장되며, 상기 제1 방향과 실질적으로 수직한 제2 방향을 따라 복수 개로 형성될 수 있다. 제1 게이트 구조물(612)은 기판(500)의 제1 영역(I) 상에 순차적으로 적층된 제1 게이트 절연막 패턴(542), 제1 게이트 전극(592) 및 제1 게이트 마스크(602)를 포함하도록 형성되고, 제2 게이트 구조물(614)은 기판(500)의 제2 영역(II) 상에 순차적으로 적층된 제2 게이트 절연막 패턴(544), 확산 방지막 패턴(554), 제2 게이트 전극(594) 및 제2 게이트 마스크(604)를 포함하도록 형성되며, 제3 게이트 구조물(616)은 기판(500)의 제3 영역(III) 상에 순차적으로 적층된 제3 게이트 절연막 패턴(546), 제3 게이트 전극(596) 및 제3 게이트 마스크(606)를 포함하도록 형성된다.
- [0122] 제1 내지 제3 게이트 구조물들(612, 614, 616)의 측벽 상에 제1 스페이서(622), 제2 스페이서(624) 및 제3 스페이서(626)를 각각 형성한다. 구체적으로, 제1 내지 제3 게이트 구조물들(612, 614, 616)을 커버하는 스페이서 막을 형성한 후, 상기 스페이서 막을 이방성 식각 공정을 통해 부분적으로 제거함으로써 제1 내지 제3 스페이서들(622, 624, 626)을 형성할 수 있다.
- [0123] 제2 게이트 구조물(614)을 커버하는 제1 마스크(도시되지 않음)를 기판(500)의 제2 영역(II) 상에 형성하고, 제1 및 제3 게이트 구조물들(612, 616) 및 제1 및 제3 스페이서들(622, 626)을 이온 주입 마스크로 사용하여 기판(500)의 제1 및 제3 영역들(I, III) 상부에 불순물을 주입함으로써, 제1 및 제3 게이트 구조물들(612, 616)에 인접한 기판(500) 상부에 각각 제1 불순물 영역(704) 및 제3 불순물 영역(706)을 형성한다. 상기 제3 불순물 영역(706)은 제1 소스/드레인 영역(706a) 및 제2 소스/드레인 영역(706b)을 포함할 수 있다. 상기 불순물은 인,

비소 등과 같은 n형 불순물일 수 있다.

- [0124] 이후, 상기 제1 마스크는 제거된다.
- [0125] 제1 및 제3 게이트 구조물들(612, 616)을 커버하는 제2 마스크(도시되지 않음)를 기판(500)의 제1 및 제3 영역(I, III) 상에 형성하고, 제2 게이트 구조물(614) 및 제2 스페이서(624)를 이온 주입 마스크로 사용하여 기판(500)의 제2 영역(II) 상부에 불순물을 주입함으로써, 제2 게이트 구조물(614)에 인접한 기판(500) 상부에 제2 불순물 영역(705)을 형성한다.
- [0126] 이후, 상기 제2 마스크는 제거된다.
- [0127] 도 16을 참조하면, 게이트 구조물들(612, 614, 616) 및 스페이서들(622, 624, 626)을 커버하는 제1 층간 절연막(720)을 기판(500) 상에 형성한다. 제1 층간 절연막(720)은 비피에스지(Boro-phosphor Silicate Glass; BPSG), 유에스지(Undoped Silicate Glass; USG) 및 에스오지(Spin On Glass; SOG) 등과 같은 산화물을 사용하여 형성될 수 있다.
- [0128] 제1 층간 절연막(720)을 관통하는 제1 개구들(도시하지 않음)을 형성하여 제1 및 제2 소스/드레인 영역들(706a, 706b)을 노출시키고, 상기 개구들을 채우는 제1 도전막을 기판(500) 및 제1 층간 절연막(720) 상에 형성한다. 상기 제1 도전막은 도핑된 폴리실리콘, 금속, 금속 질화물 및/또는 금속 실리사이드 등을 사용하여 형성될 수 있다. 제1 층간 절연막(720)의 상면이 노출될 때까지 상기 제1 도전막 상부를 평탄화하여, 제1 및 제2 소스/드레인 영역들(706a, 706b)에 각각 전기적으로 연결되는 제1 및 제2 플러그들(732, 734)을 형성한다.
- [0129] 제1 층간 절연막(720) 및 제1 및 제2 플러그들(732, 734) 상에 제2 층간 절연막(740)을 형성하고, 제2 층간 절연막을 관통하는 제2 개구들(도시하지 않음)을 형성하여, 제1 플러그(732) 및 제1 및 제2 불순물 영역들(704, 705)을 노출시킨다. 상기 제2 개구들을 채우는 제2 도전막을 기판(500), 제1 플러그(732) 및 제2 층간 절연막(740) 상에 형성한다. 상기 제2 도전막은 도핑된 폴리실리콘, 금속, 금속 질화물 및/또는 금속 실리사이드 등을 사용하여 형성될 수 있다. 제2 층간 절연막(740)의 상면이 노출될 때까지 상기 제2 도전막 상부를 평탄화하여, 제1 플러그(732)에 전기적으로 연결되는 비트 라인 콘택(750)을 형성하고, 제1 및 제2 불순물 영역들(704, 705)에 각각 전기적으로 연결되는 제3 및 제4 플러그들(762, 764)을 형성한다.
- [0130] 이후, 비트 라인 콘택(750) 및 제3 및 제4 플러그들(762, 764)에 접촉하는 제3 도전막을 제2 층간 절연막(740) 상에 형성하고 패터닝하여, 비트 라인 콘택(750)에 전기적으로 연결되는 비트 라인(770) 및 제3 및 제4 플러그들(762, 764)에 각각 전기적으로 연결되는 제1 및 제2 배선들(782, 784)을 형성한다. 예시적인 실시예들에 따르면, 비트 라인(770)은 상기 제2 방향으로 연장되도록 형성될 수 있다. 상기 제3 도전막은 도핑된 폴리실리콘, 금속, 금속 질화물 및/또는 금속 실리사이드 등을 사용하여 형성될 수 있다.
- [0131] 비트 라인(770) 및 제1 및 제2 배선들(782, 784)을 커버하는 제3 층간 절연막(800)을 제2 층간 절연막(740) 상에 형성한다.
- [0132] 도 17을 참조하면, 제2 및 제3 층간 절연막들(740, 800)을 관통하는 제3 개구들(도시하지 않음)을 형성하여 제2 플러그들(734)을 노출시킨다. 상기 제3 개구들을 채우는 제4 도전막을 제2 플러그들(734) 및 제3 층간 절연막(800) 상에 형성한다. 상기 제4 도전막은 도핑된 폴리실리콘, 금속, 금속 질화물 및/또는 금속 실리사이드 등을 사용하여 형성될 수 있다. 제3 층간 절연막(800)의 상면이 노출될 때까지 상기 제4 도전막 상부를 평탄화하여, 제2 플러그들(734)에 전기적으로 연결되는 커패시터 콘택들(810)을 형성한다.
- [0133] 커패시터 콘택들(810) 및 제3 층간 절연막(800) 상에 식각 저지막(820) 및 몰드막(도시하지 않음)을 형성한다. 예시적인 실시예들에 따르면, 식각 저지막(820)은 실리콘 질화물을 사용하여 형성될 수 있고, 상기 몰드막 실리콘 산화물을 사용하여 형성될 수 있다. 상기 몰드막 및 식각 저지막(820)을 관통하는 제4 개구들(도시하지 않음)을 형성하여 커패시터 콘택들(810)을 노출시킨다. 상기 제4 개구들의 내벽 및 상기 몰드막 상에 제5 도전막을 형성하고, 상기 제4 개구들을 채우는 희생막(도시하지 않음)을 상기 제5 도전막 상에 형성한다. 상기 제5 도전막은 도핑된 폴리실리콘, 금속, 금속 질화물 및/또는 금속 실리사이드 등을 사용하여 형성될 수 있다. 상기 몰드막 상면이 노출될 때까지, 상기 희생막 및 제5 도전막 상부를 평탄화하고, 상기 희생막을 제거한다. 이에 따라, 상기 제4 개구들 내벽 상에 하부 전극(830)이 형성된다.
- [0134] 하부 전극(830) 및 식각 저지막(820) 상에 유전막(840)을 형성한다. 유전막(840)은 실리콘 질화물 또는 실리콘 질화물보다 높은 유전 상수를 갖는 고유전율 물질, 예를 들어, 탄탈륨 산화물, hafnium 산화물, 알루미늄 산화물, 지르코늄 산화물 등을 사용하여 형성할 수 있다.

[0135] 유전막(840) 상에 상부 전극(850)을 형성한다. 상부 전극(850)은 도핑된 폴리실리콘, 금속, 금속 질화물 및/또는 금속 실리사이드 등을 사용하여 형성될 수 있다.

[0136] 하부 전극(830), 유전막(840) 및 상부 전극(850)은 커패시터(860)를 형성할 수 있다.

[0137] 커패시터(860)를 커버하는 제4 층간 절연막(870)을 제3 층간 절연막(800) 상에 형성한다. 제4 층간 절연막(870)을 관통하는 제5 개구들(도시하지 않음)을 형성하여 제1 및 제2 배선들(782, 784)을 노출시킨다. 상기 제5 개구들을 채우는 제6 도전막을 제1 및 제2 배선들(782, 784) 및 제4 층간 절연막(870) 상에 형성한다. 제4 층간 절연막(870) 상면이 노출될 때까지 상기 제6 도전막 상부를 평탄화하여, 제1 및 제2 배선들(782, 784)에 각각 전기적으로 연결되는 제5 및 제6 플러그들(882, 884)을 형성한다.

[0138] 이후, 제5 및 제6 플러그들(882, 884)에 각각 전기적으로 연결되는 제3 및 제4 배선들(892, 894)을 형성하고, 제3 및 제4 배선들(892, 894)을 보호하는 보호막(도시하지 않음)을 더 형성하여, 상기 반도체 소자를 완성한다.

[0139] 상기 반도체 소자는 우수한 구동 전류 특성을 갖는 상보형 트랜지스터를 구비하므로, 우수한 전기적 특성을 가질 수 있다.

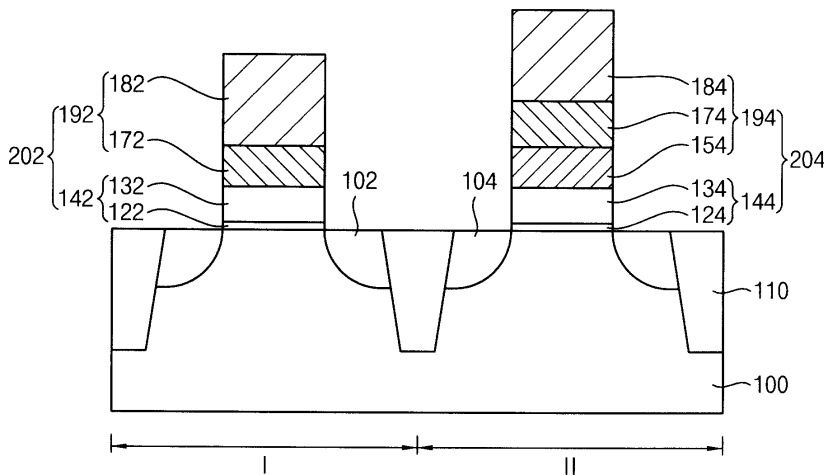
산업상 이용가능성

[0140] 본 발명의 실시예들에 따르면, 금속을 포함하는 확산 방지막을 PMOS 영역의 게이트 절연막 상에 형성하고 확산막을 형성함으로써, NMOS 영역의 게이트 절연막으로만 상기 확산막의 성분을 확산시킨다. 이에 따라, 상기 NMOS 영역의 문턱 전압 상승을 방지할 수 있다. 또한, 상기 확산막의 잔류 부분을 제거함으로써 채널의 전자 이동도의 감소를 방지하고 트랜지스터의 동작 속도를 향상시킬 수 있다.

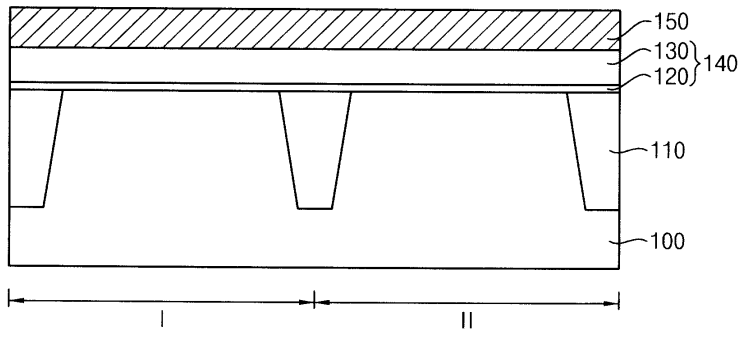
[0141] 상술한 바와 같이 본 발명의 예시적인 실시예들을 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

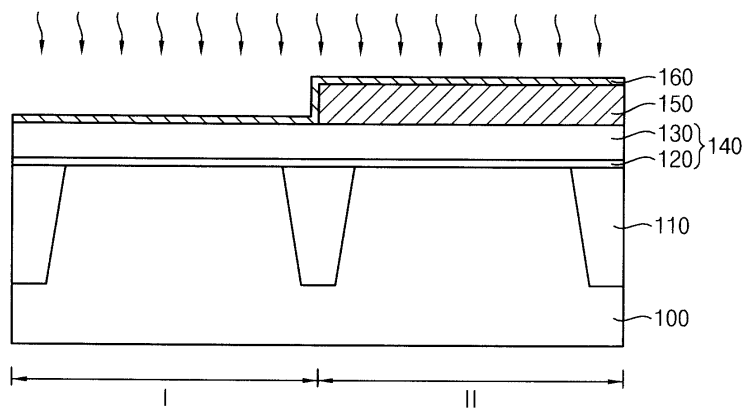
도면1



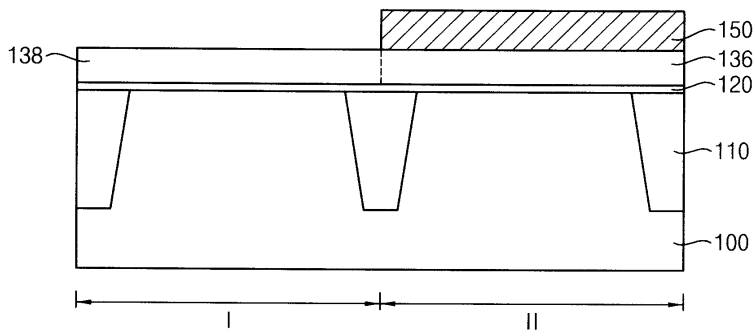
도면2



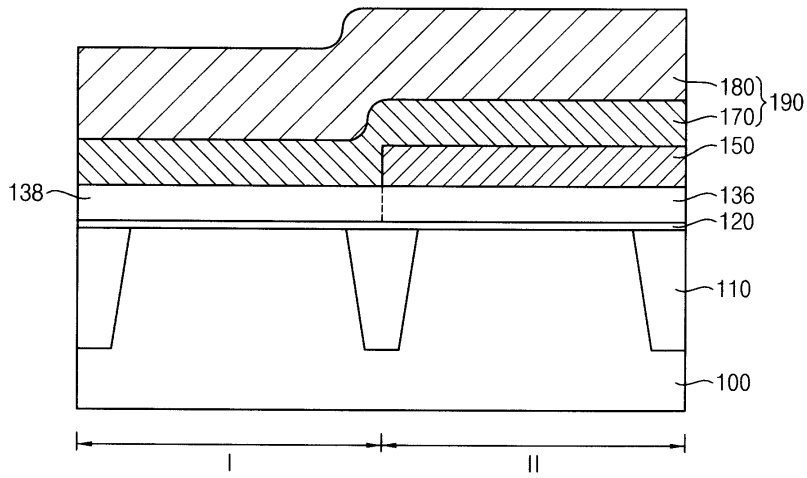
도면3



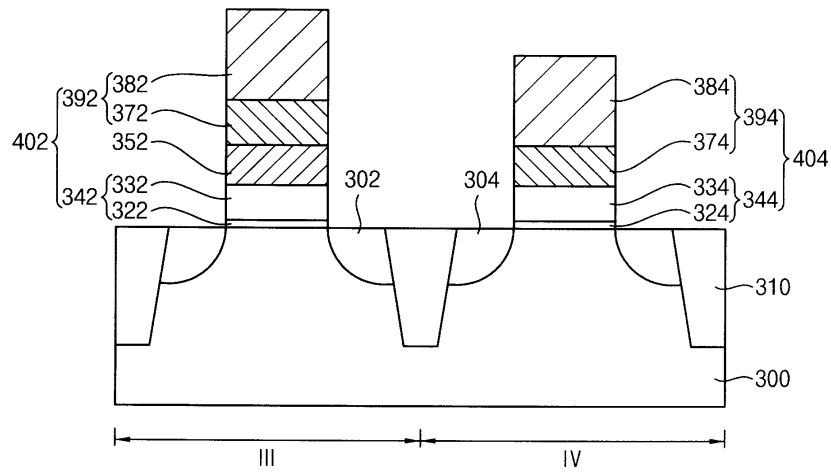
도면4



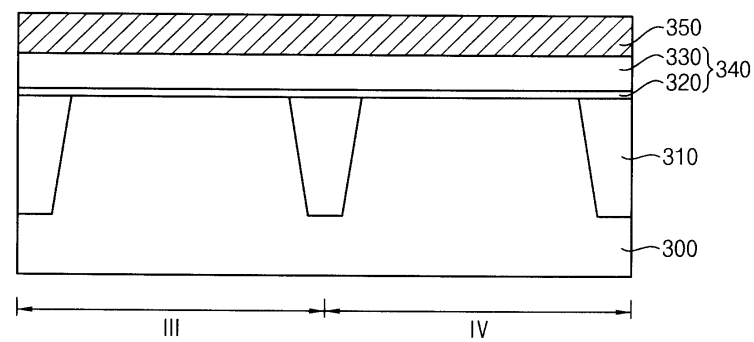
도면5



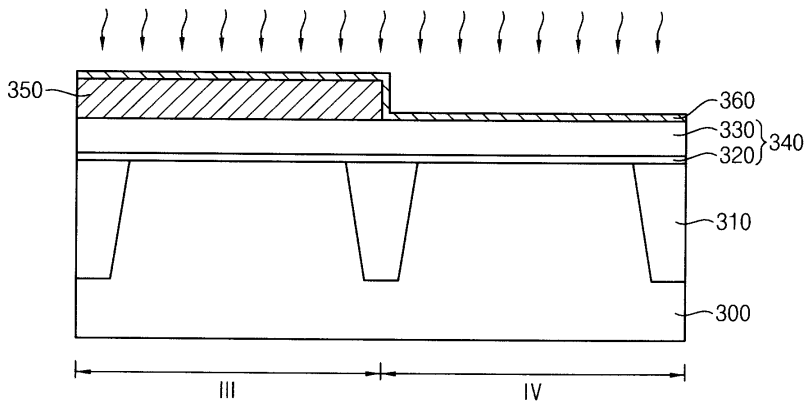
도면6



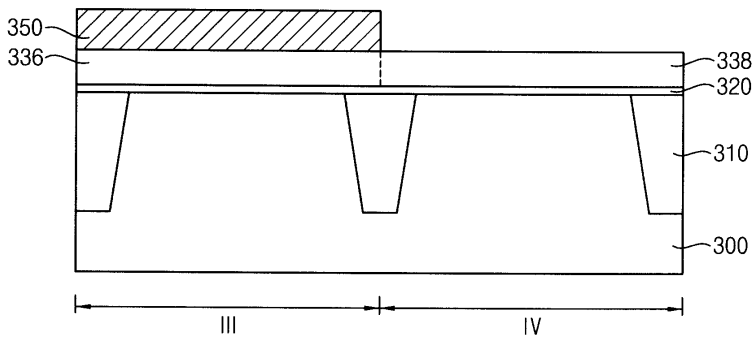
도면7



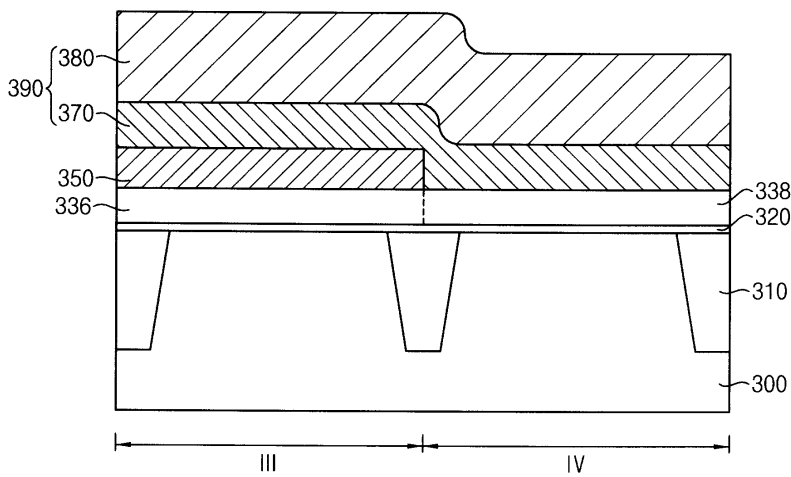
도면8



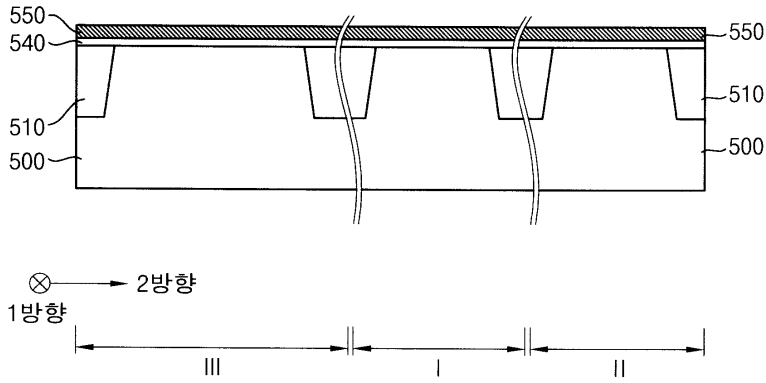
도면9



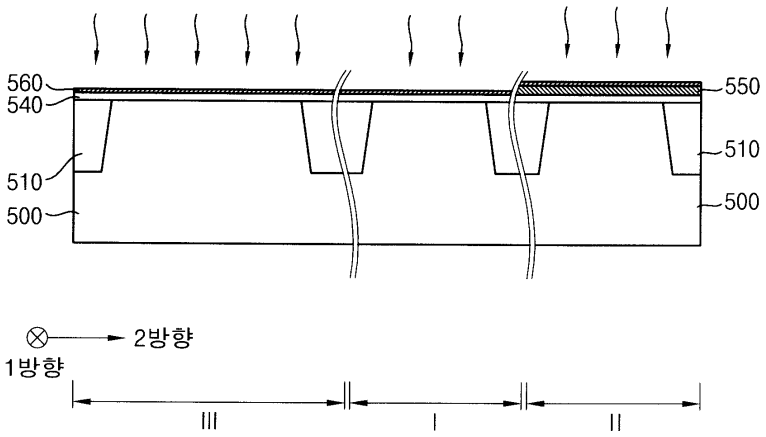
도면10



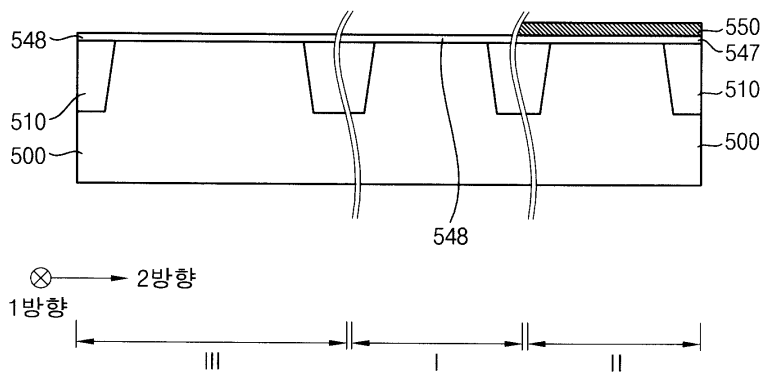
도면11



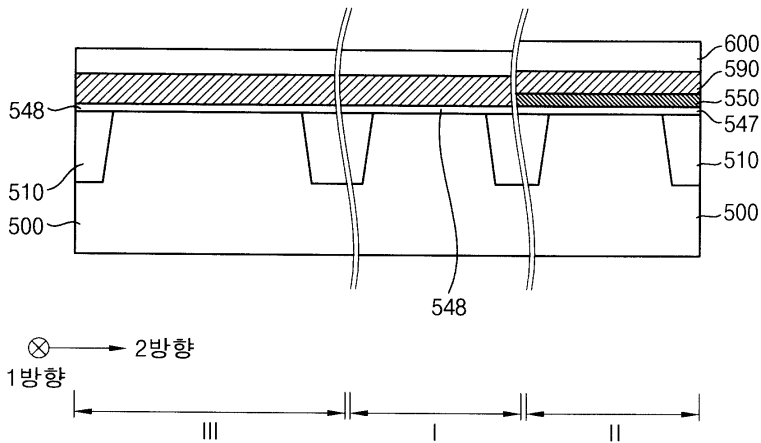
도면12



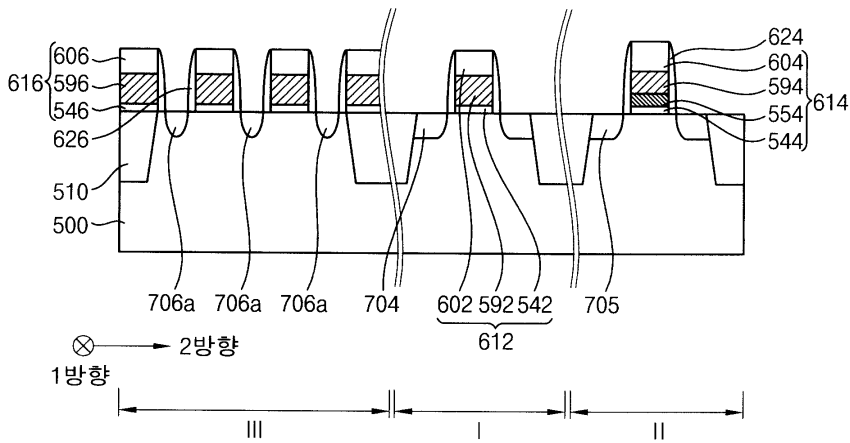
도면13



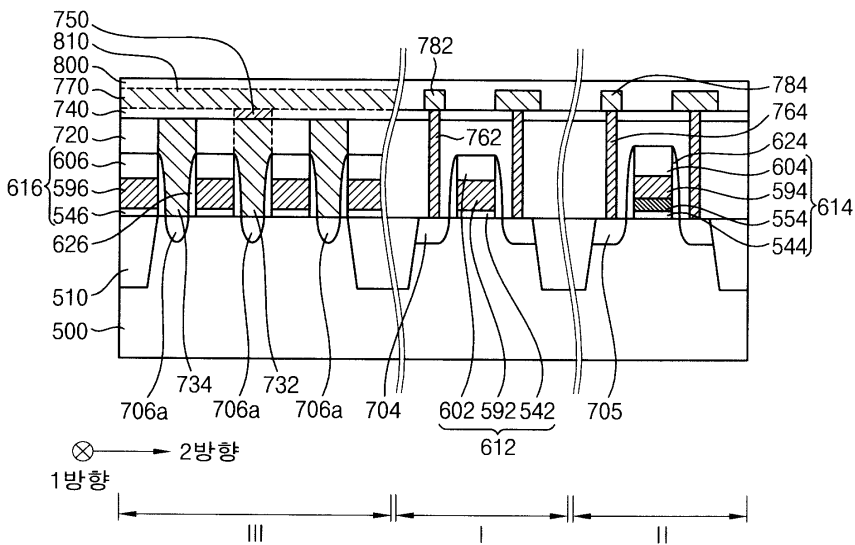
도면14



도면15



도면16



도면17

