

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7428019号
(P7428019)

(45)発行日 令和6年2月6日(2024.2.6)

(24)登録日 令和6年1月29日(2024.1.29)

(51)国際特許分類	F I
H 0 1 L 25/07 (2006.01)	H 0 1 L 25/04 C
H 0 1 L 25/18 (2023.01)	H 0 2 M 7/48 Z
H 0 2 M 7/48 (2007.01)	

請求項の数 9 (全13頁)

(21)出願番号	特願2020-38368(P2020-38368)	(73)特許権者	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(22)出願日	令和2年3月6日(2020.3.6)	(74)代理人	110004185 インフォート弁理士法人
(65)公開番号	特開2021-141221(P2021-141221 A)	(74)代理人	100121083 弁理士 青木 宏義
(43)公開日	令和3年9月16日(2021.9.16)	(74)代理人	100138391 弁理士 天田 昌行
審査請求日	令和5年2月13日(2023.2.13)	(74)代理人	100132067 弁理士 岡田 喜雅
		(72)発明者	加藤 遼一 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		(72)発明者	村田 悠馬

最終頁に続く

(54)【発明の名称】 半導体モジュール

(57)【特許請求の範囲】

【請求項1】

それぞれ上面電極と下面電極を有し、並列接続されて上アームを構成する第1半導体素子及び第2半導体素子と、

平面視U字形状を有し、上面に前記第1半導体素子及び前記第2半導体素子が鏡像配置された第1導電層と、

少なくとも2つに分岐した正極端部を有し、一方の前記正極端部が前記第1導電層の一端側に接続され、他方の前記正極端部が前記第1導電層の他端側に接続された正極端子と、一方及び他方の前記正極端部の間に配置された負極端部を有する負極端子と、を備える半導体モジュール。

【請求項2】

前記第1導電層は、

所定方向に延び、前記所定方向に交差する方向で対向する一对の第1長尺部と、

前記一对の第1長尺部の一端同士を連結する第1連結部と、を有し、

前記第1半導体素子は、一方の前記第1長尺部に配置され、

前記第2半導体素子は、他方の前記第1長尺部に配置されている、請求項1に記載の半導体モジュール。

【請求項3】

それぞれ上面電極と下面電極を有し、並列接続されて下アームを構成する第3半導体素子及び第4半導体素子と、

平面視 U 字形状を有し、上面に前記第 3 半導体素子及び前記第 4 半導体素子が鏡像配置された第 2 導電層と、を更に備え、

前記第 2 導電層は、前記第 1 導電層の内側において、一对の端部を前記負極端部に向けて配置されている、請求項 2 に記載の半導体モジュール。

【請求項 4】

前記第 2 導電層は、

所定方向に延び、前記所定方向に交差する方向で対向する一对の第 2 長尺部と、

前記一对の第 2 長尺部の一端同士を連結する第 2 連結部と、を有し、

前記第 3 半導体素子は、一方の前記第 2 長尺部に配置され、

前記第 4 半導体素子は、他方の前記第 2 長尺部に配置され、

前記第 2 連結部には、出力端子が接続されている、請求項 3 に記載の半導体モジュール。

10

【請求項 5】

前記第 1 半導体素子及び前記第 2 半導体素子は、前記一对の第 1 長尺部の一端側に偏って配置され、

前記第 3 半導体素子及び前記第 4 半導体素子は、前記一对の第 2 長尺部の他端側に偏って配置されている、請求項 4 に記載の半導体モジュール。

【請求項 6】

前記第 2 導電層は、前記一对の第 2 長尺部の中間部分同士を連結する第 3 連結部を更に有し、

前記第 3 半導体素子及び前記第 4 半導体素子は、前記第 3 連結部よりも前記一对の第 2 長尺部の他端側に配置されている、請求項 5 に記載の半導体モジュール。

20

【請求項 7】

前記第 1 導電層及び前記第 2 導電層に対して平面視逆 U 字形状を有し、前記第 1 導電層の内側で前記第 2 導電層の一对の端部側を囲うように配置された第 3 導電層を更に備え、

前記第 3 導電層の一对の端部は、前記第 1 半導体素子又は前記第 2 半導体素子に対向している、請求項 4 から請求項 6 のいずれか 1 項に記載の半導体モジュール。

【請求項 8】

前記第 3 導電層は、

所定方向に延び、前記所定方向に交差する方向で対向する一对の第 3 長尺部と、

前記一对の第 3 長尺部の一端同士を連結する第 4 連結部と、を有し、

前記第 4 連結部には、前記負極端部が接続されている、請求項 7 に記載の半導体モジュール。

30

【請求項 9】

前記第 1 半導体素子及び前記第 2 半導体素子は、前記一对の第 1 長尺部の延在方向に沿って複数ずつ配置され、

前記第 3 半導体素子及び前記第 4 半導体素子は、前記一对の第 2 長尺部の延在方向に沿って複数ずつ配置されている、請求項 4 から請求項 8 のいずれか 1 項に記載の半導体モジュール。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、半導体モジュールに関する。

【背景技術】

【0002】

半導体装置は、I G B T (Insulated Gate Bipolar Transistor)、パワー M O S F E T (Metal Oxide Semiconductor Field Effect Transistor)、F W D (Free Wheeling Diode) 等の半導体素子が設けられた基板を有し、インバータ装置等に利用されている (例えば特許文献 1 - 3 参照)。

【0003】

特許文献 1 では、3 レベルのインバータ回路であって、並列接続された I G B T チップ

50

間の基準電位側の配線である補助エミッタ配線に生じる電位差を抑制するために、並列接続された I G B T チップのエミッタ端子間を、電流容量が大きく補助エミッタ配線よりも低抵抗の配線で接続することが記載されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開2016-058515号公報

【文献】特開平10-074886号公報

【文献】米国特許第8637964号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、車載用の直流バッテリーから交流モータを動作させるためパワーモジュールの構成部品は、直流バッテリーからの電流を繋ぐP端子、N端子と直流から交流に変換した電流をモータに繋ぐ出力端子(U, V, W)が必要である。また、直流から交流に変換するためには、いわゆる「2in1構成」が3相必要となる。従来技術の構成の場合、1相毎の電流の流れは、1つのP端子から1つのN端子に向かっている。また、PN端子、出力端子の接続方式として、接続のし易さからネジ止めが採用されている。

【0006】

また、PN端子間の配線インダクタンス値は、スイッチング損失に影響する。例えば、インダクタンス値が低い程スイッチング時の di/dt を上げることができ、スイッチング損失を下げる事が可能である。

【0007】

しかしながら、現状としてそのような構造が実現できておらず、PN端子間のインダクタンス値が高く、スイッチング損失の低減が十分にできていない。

【0008】

本発明はかかる点に鑑みてなされたものであり、PN端子間のインダクタンスを低減し、半導体素子間の電位差によって生じるスイッチングタイミングのアンバランスを低減することが可能な半導体モジュールを提供することを目的の1つとする。

【課題を解決するための手段】

【0009】

本発明の一態様の半導体モジュールは、それぞれ上面電極と下面電極を有し、並列接続されて上アームを構成する第1半導体素子及び第2半導体素子と、平面視U字形状を有し、上面に前記第1半導体素子及び前記第2半導体素子が鏡像配置された第1導電層と、少なくとも2つに分岐した正極端部を有し、一方の前記正極端部が前記第1導電層の一端側に接続され、他方の前記正極端部が前記第1導電層の他端側に接続された正極端子と、一方及び他方の前記正極端部の間に配置された負極端部を有する負極端子と、を備える。

【発明の効果】

【0010】

本発明によれば、PN端子間のインダクタンスを低減し、半導体素子間の電位差によって生じるスイッチングタイミングのアンバランスを低減することが可能である。

【図面の簡単な説明】

【0011】

【図1】本実施の形態に係る半導体装置の平面図である。

【図2】図1に示す半導体装置をA-A線に沿って切断した断面図である。

【図3】本実施の形態に係る回路板のレイアウトを示す平面図である。

【図4】本実施の形態に係る半導体素子の平面図である。

【図5】本実施の形態に係るP端子及びN端子の平面図である。

【図6】本実施の形態に係る半導体モジュールの電流の流れを示す模式図である。

【発明を実施するための形態】

10

20

30

40

50

【 0 0 1 2 】

以下、本発明を適用可能な半導体モジュールについて説明する。図 1 は、本実施の形態に係る半導体装置の平面図である。図 2 は、図 1 に示す半導体装置を A - A 線に沿って切断した断面図である。図 3 は、本実施の形態に係る回路板のレイアウトを示す平面図である。図 4 は、本実施の形態に係る半導体素子の平面図である。図 5 は、本実施の形態に係る P 端子及び N 端子の平面図である。なお、以下に示す半導体モジュールはあくまで一例にすぎず、これに限定されることなく適宜変更が可能である。

【 0 0 1 3 】

また、以下の図において、複数の半導体モジュールが並ぶ方向を X 方向、直列接続される上アームと下アームの並び方向を Y 方向、高さ方向を Z 方向と定義することにする。図示された X、Y、Z の各軸は互いに直交し、右手系を成している。また、場合によっては、X 方向を左右方向、Y 方向を前後方向、Z 方向を上下方向と呼ぶことがある。これらの方向（前後左右上下方向）は、説明の便宜上用いる文言であり、半導体装置の取付姿勢によっては、X Y Z 方向のそれぞれとの対応関係が変わることがある。例えば、半導体装置の放熱面側（冷却器側）を下面側とし、その反対側を上面側と呼ぶことにする。また、本明細書において、平面視は、半導体装置の上面を Z 方向正側からみた場合を意味する。

10

【 0 0 1 4 】

本実施の形態に係る半導体装置は、例えばパワーモジュール等の電力変換装置に適用されるものであり、インバータ回路を構成するパワーモジュールである。半導体装置は、半導体モジュール 1 を備えている。図 1 では、単一の半導体モジュール 1 について説明する。例えば、半導体装置が三相インバータ回路を構成する場合、図 1 の半導体モジュールが U 相、V 相、W 相の順に X 方向に 3 つ並んで配置される。

20

【 0 0 1 5 】

図 1 から図 6 に示すように、半導体モジュール 1 は、ベース板 1 0 と、ベース板 1 0 上に配置される積層基板 2 と、積層基板 2 上に配置される複数の半導体素子と、積層基板 2 及び半導体素子を収容するケース部材 1 1 と、ケース部材 1 1 内に充填される封止樹脂 1 2 と、を含んで構成される。

【 0 0 1 6 】

ベース板 1 0 は、上面と下面を有する長方形の板である。ベース板 1 0 は、放熱板として機能する。また、ベース板 1 0 は、X 方向に長い平面視矩形形状を有している。ベース板 1 0 は、例えば銅、アルミニウム又はこれらの合金等からなる金属板であり、表面にメッキ処理が施されてもよい。

30

【 0 0 1 7 】

ベース板 1 0 の上面には、平面視矩形形状で且つ枠状のケース部材 1 1 が配置される。ケース部材 1 1 は、例えば合成樹脂によって成形され、接着剤（不図示）を介してベース板 1 0 の上面に接合される。ケース部材 1 1 の一側壁部 1 3 には、外部接続用の制御端子 1 4 が設けられている。例えば、ケース部材 1 1 の X 方向で対向する一対の側壁部のうち、X 方向正側の側壁部 1 3 に、制御端子 1 4 が一体成型により埋め込まれている。

【 0 0 1 8 】

制御端子 1 4 は、例えば銅素材、銅合金系素材、アルミニウム合金系素材、鉄合金系素材等の金属素材の板状体を折り曲げて形成される。制御端子 1 4 の一部は、側壁部 1 3 の上面に露出している。また、詳細は後述するが、ケース部材 1 1 の Y 方向で対向する一対の側壁部 1 3 において、Y 方向正側には、ケース端子としての出力端子 1 5（M 端子）が設けられており、Y 方向負側には、ケース端子としての正極端子 1 6（P 端子）及び負極端子 1 7（N 端子）が設けられている。

40

【 0 0 1 9 】

また、ケース部材 1 1 の内側において、ベース板 1 0 の上面には、積層基板 2 が配置されている。積層基板 2 は、金属層と絶縁層とを積層して形成され、例えば、DCB（Direct Copper Bonding）基板やAMB（Active Metal Brazing）基板、あるいは金属ベース基板で構成される。具体的に積層基板 2 は、絶縁板 2 0 と、絶縁板 2 0 の下面に配

50

置された放熱板 2 1 と、絶縁板 2 0 の上面に配置された複数の回路板 2 2 と、を有する。積層基板 2 は、例えば平面視矩形形状に形成される。

【 0 0 2 0 】

絶縁板 2 0 は、Z 方向に所定の厚みを有し、上面と下面を有する平板状に形成される。絶縁板 2 0 は、例えばアルミナ (Al_2O_3)、窒化アルミニウム (AlN)、窒化珪素 (Si_3N_4) 等のセラミックス材料、エポキシ等の樹脂材料、又はセラミックス材料をフィラーとして用いたエポキシ樹脂材料等の絶縁材料によって形成される。なお、絶縁板 2 0 は、絶縁層又は絶縁フィルムと呼ばれてもよい。

【 0 0 2 1 】

放熱板 2 1 は、Z 方向に所定の厚みを有し、絶縁板 2 0 の下面全体を覆うように形成される。放熱板 2 1 は、例えば銅やアルミニウム等の熱伝導性の良好な金属板によって形成される。

10

【 0 0 2 2 】

絶縁板 2 0 の上面 (主面) には、複数の回路板 2 2 が、電氣的に互いに絶縁された状態で、独立して島状に形成されている。複数の回路板 2 2 は、銅箔等によって形成される所定厚みの金属層で構成される。具体的に複数の回路板 2 2 は、平面視 U 字形状を有する第 1 ~ 第 3 導電層 2 3 - 2 5 を含んで構成される。

【 0 0 2 3 】

第 1 導電層 2 3 が絶縁板 2 0 の最も外周側に位置している。第 2 導電層 2 4 は、第 1 導電層 2 3 の内側に位置している。第 3 導電層 2 5 は、第 1 導電層 2 3 と第 2 導電層 2 4 の間に位置しており、第 1 導電層 2 3 及び第 2 導電層 2 4 に対して逆 U 字形状を有している。

20

【 0 0 2 4 】

第 1 導電層 2 3 は、Y 方向負側の端部が開放された平面視 U 字形状を有している。具体的に第 1 導電層 2 3 は、所定方向 (Y 方向) に延び、所定方向に交差する方向 (X 方向) で対向する一对の第 1 長尺部 2 3 a、2 3 b と、一对の第 1 長尺部 2 3 a、2 3 b の一端同士を連結する第 1 連結部 2 3 c と、を有している。第 1 連結部 2 3 c は、一对の第 1 長尺部 2 3 a、2 3 b の Y 方向正側の端部同士を連結する。詳細は後述するが、第 1 導電層 2 3 には、第 1 半導体素子 3 a 及び第 2 半導体素子 3 b が鏡像配置されている。

【 0 0 2 5 】

第 2 導電層 2 4 は、Y 方向負側の端部が開放された平面視 U 字形状を有している。具体的に第 2 導電層 2 4 は、所定方向 (Y 方向) に延び、所定方向に交差する方向 (X 方向) で対向する一对の第 2 長尺部 2 4 a、2 4 b と、一对の第 2 長尺部 2 4 a、2 4 b の一端同士を連結する第 2 連結部 2 4 c と、一对の第 2 長尺部 2 4 a、2 4 b の Y 方向の中間部分同士を連結する第 3 連結部 2 4 d と、を有している。

30

【 0 0 2 6 】

第 2 連結部 2 4 c は、一对の第 2 長尺部 2 4 a、2 4 b の Y 方向正側の端部同士を連結する。詳細は後述するが、第 2 導電層 2 4 には、第 3 半導体素子 3 c 及び第 4 半導体素子 3 d が鏡像配置されている。また、第 2 導電層 2 4 は、第 1 導電層 2 3 の内側において、一对の端部 (一对の第 2 長尺部 2 4 a、2 4 b の Y 方向負側の端部) を後述する負極端子 1 7 (負極端部 1 7 a) に向けて配置されている。一对の第 2 長尺部 2 4 a、2 4 b の Y 方向負側の端部は、一对の第 1 長尺部 2 3 a、2 3 b の Y 方向負側の端部よりも Y 方向正側に位置している。

40

【 0 0 2 7 】

第 3 導電層 2 5 は、Y 方向正側の端部が開放された平面視 U 字形状を有している。すなわち、第 3 導電層 2 5 は、第 1 導電層 2 3 及び第 2 導電層 2 4 に対して平面視逆 U 字形状を有している。また、第 3 導電層 2 5 は、第 1 導電層の内側で第 2 導電層 2 4 の一对の端部 (一对の第 2 長尺部 2 4 a、2 4 b の Y 方向負側の端部) 側を囲うように配置されている。

【 0 0 2 8 】

具体的に第 3 導電層 2 5 は、所定方向 (Y 方向) に延び、所定方向に交差する方向 (X

50

方向)で対向する一对の第3長尺部25a、25bと、一对の第3長尺部25a、25bの一端同士を連結する第4連結部25cと、を有している。第4連結部25cは、一对の第3長尺部25a、25bのY方向負側の端部同士を連結する。第4連結部25cは、一对の第2長尺部24a、24bよりもY方向負側に位置し、一对の第1長尺部23a、23bのY方向負側の端部の間に挟まれている。

【0029】

また、一对の第2長尺部24a、24bの間には、Y方向に延びて比較的幅の狭い制御用回路板29a-29cが配置されている。制御用回路板29a、29bは、第3連結部24dよりもY方向正側においてX方向に並んで配置されている。制御用回路板29cは、第3連結部24dよりもY方向負側に配置されている。これらの制御用回路板29a-29cには、制御用の配線(不図示)が接続される。このように構成される複数の回路板22は、積層基板2のX方向中央を挟んで鏡像配置されている。

10

【0030】

回路板22の上面の所定箇所には、半田等の接合材(不図示)を介して複数の半導体素子3が配置されている。半導体素子は、例えばシリコン(Si)、炭化けい素(SiC)、窒化ガリウム(GaN)等の半導体基板によって平面視方形状に形成される。本実施の形態において、半導体素子は、IGBT(Insulated Gate Bipolar Transistor)素子とFWD(Free Wheeling Diode)素子の機能を一体化したRC(Reverse Conducting)-IGBT素子で構成される。

【0031】

なお、半導体素子は、これに限定されず、IGBT、パワーMOSFET(Metal Oxide Semiconductor Field Effect Transistor)、BJT(Bipolar Junction Transistor)等のスイッチング素子、FWD(Free Wheeling Diode)等のダイオードを組み合わせ構成されてもよい。また、半導体素子として、逆バイアスに対して十分な耐圧を有するRB(Reverse Blocking)-IGBT等を用いてもよい。また、半導体素子の形状、配置数、配置箇所等は適宜変更が可能である。

20

【0032】

本実施の形態では、1相につき、8つの半導体素子が配置されている。具体的に本実施の形態では、第1~第4半導体素子3a-3dが、それぞれ2つずつ、Y方向に並んで配置されている。各半導体素子は、それぞれ上面電極(エミッタ電極又はソース電極と呼ばれてよい)と下面電極(コレクタ電極又はドレイン電極と呼ばれてよい)を有している。また、各半導体素子は、上面の外周側に偏ってゲート電極30(図4参照)が配置されている。2つずつ配置された各第1~第4半導体素子3a-3dは、ゲート電極30がY方向で対向している。

30

【0033】

第1半導体素子3aは、第1長尺部23aの上面に配置されている。すなわち、第1半導体素子3aの下面電極は、第1長尺部23aに導電接続されている。2つの第1半導体素子3aは、第1長尺部23aのY方向正側に偏って配置され、並列接続されている。

【0034】

第2半導体素子3bは、第1長尺部23bの上面に配置されている。すなわち、第2半導体素子3bの下面電極は、第1長尺部23bに導電接続されている。2つの第2半導体素子3bは、第1長尺部23bのY方向正側に偏って配置され、並列接続されている。

40

【0035】

第3半導体素子3cは、第2長尺部24aの上面に配置されている。すなわち、第3半導体素子3cの下面電極は、第2長尺部24aに導電接続されている。2つの第3半導体素子3cは、第2長尺部24aのY方向負側に偏って配置され、並列接続されている。

【0036】

第4半導体素子3dは、第2長尺部24bの上面に配置されている。すなわち、第4半導体素子3dの下面電極は、第2長尺部24bに導電接続されている。2つの第4半導体素子3dは、第2長尺部24bのY方向負側に偏って配置され、並列接続されている。

50

【 0 0 3 7 】

第 1 半導体素子 3 a 及び第 2 半導体素子 3 b は、並列接続されて上アームを構成し、第 3 半導体素子 3 c 及び第 4 半導体素子 3 d は、並列接続されて下アームを構成する。上アームと下アームは、直列接続される。図 1 に示すように、第 1 半導体素子 3 a 及び第 2 半導体素子 3 b は、後述する出力端子 1 5 側に偏って配置されており、第 3 半導体素子 3 c 及び第 4 半導体素子 3 d は、負極端子 1 7 側に偏って配置されている。また、第 3 半導体素子 3 c 及び第 4 半導体素子 3 d は、第 3 連結部 2 4 d よりも一対の第 2 長尺部 2 4 a、2 4 b の他端側に配置されている。更に、第 3 導電層 2 5 の一対の端部（第 3 長尺部 2 5 a、2 5 b の Y 方向正側の端部）は、第 1 半導体素子 3 a 又は第 2 半導体素子 3 b に対向している。

10

【 0 0 3 8 】

また、第 1 半導体素子 3 a 及び第 3 半導体素子 3 c と、第 2 半導体素子 3 b 及び第 4 半導体素子 3 d とは、積層基板 2 の X 方向中央を挟んで鏡像配置されている。また、上アームを構成する第 1 半導体素子 3 a 及び第 2 半導体素子 3 b は、積層基板 2 の X 方向中央から遠ざけて配置されているのに対し、下アームを構成する第 3 半導体素子 3 c 及び第 4 半導体素子 3 d は、積層基板 2 の X 方向中央に近づけて配置されている。

【 0 0 3 9 】

また、各半導体素子の上面電極と所定の回路板 2 2 とは、主電流配線部材としての金属配線板（第 1 ~ 第 4 配線 4 a - 4 d）により電気的に接続される。第 1 配線 4 a は、第 1 半導体素子 3 a の上面電極と第 2 長尺部 2 4 a を接続する。第 2 配線 4 b は、第 2 半導体素子 3 b の上面電極と第 2 長尺部 2 4 b を接続する。第 3 配線 4 c は、第 3 半導体素子 3 c の上面電極と第 3 長尺部 2 5 a を接続する。第 4 配線 4 d は、第 4 半導体素子 3 d の上面電極と第 3 長尺部 2 5 b を接続する。

20

【 0 0 4 0 】

金属配線板は、例えば、銅素材、銅合金系素材、アルミニウム合金系素材、鉄合金系素材等の金属素材を用いて、プレス加工等によって折り曲げて形成される。なお、各金属配線板は、全て同じ構成を有するため、共通の符号を付して説明する。具体的に金属配線板は、図 4 に示すように、所定の半導体素子の上面電極に接合される第 1 接合部 4 0 と、所定の回路板 2 2 に接合される第 2 接合部 4 1 と、第 1 接合部 4 0 及び第 2 接合部 4 1 を連結する連結部 4 2 と、によって構成される。なお、図 4 に示す金属配線板の形状はあくまで一例を示すものであり、適宜変更が可能である。また、金属配線板は、リードフレームと呼ばれてもよい。また、各金属配線板（第 1 ~ 第 4 配線 4 a - 4 d）は、図 1 に示す平面視において、X 方向に延びている。

30

【 0 0 4 1 】

また、ケース部材 1 1 には、上記したように主電流の外部接続用のケース端子として、出力端子 1 5、正極端子 1 6、及び負極端子 1 7 が設けられている。出力端子 1 5 は、ケース部材 1 1 の Y 方向で対向する一対の側壁部 1 3 の Y 方向正側に配置されている。正極端子 1 6 及び負極端子 1 7 は、ケース部材 1 1 の Y 方向で対向する一対の側壁部 1 3 の Y 方向負側に配置されている。

【 0 0 4 2 】

これらのケース端子は、例えば、銅素材、銅合金系素材、アルミニウム合金系素材、鉄合金系素材等の金属素材を用いて、プレス加工等によって形成される。出力端子 1 5 は、第 2 連結部 2 4 c に接続された出力端子部 1 5 a を有している。

40

【 0 0 4 3 】

図 1 及び図 5 に示すように、正極端子 1 6 は、2 つに分岐した正極端子部 1 6 a、1 6 b を有している。正極端子部 1 6 a、1 6 b は、所定間隔を空けて X 方向に並んで配置されている。正極端子部 1 6 a、1 6 b は、間に負極端子 1 7（負極端子部 1 7 a）を挟んでいる。X 方向負側に位置する正極端子部 1 6 a は、第 1 長尺部 2 3 a の Y 方向負側の端部（第 1 導電層 2 3 の一端側）に接続されている。X 方向正側に位置する正極端子部 1 6 b は、第 1 長尺部 2 3 b の Y 方向負側の端部（第 1 導電層 2 3 の他端側）に接続されている。また、負

50

極端子 17 は、第 4 連結部 25c に接続された負極端部 17a を有している。

【0044】

ところで、半導体モジュールにおいては、PN 端子間のインダクタンスがスイッチング損失に影響を及ぼすことから、そのインダクタンスの低減が求められている。また、昨今の技術革新に伴って、SiC や GaN 等の次世代デバイス（ワイドバンドギャップ半導体と呼ばれてもよい）が、高出力及び高周波数のインバータに採用されると、半導体素子間の電位差によって生じるスイッチングタイミングのアンバランスの低減が更に求められる。

【0045】

そこで、本件発明者等は、絶縁基板の回路板、半導体素子、及びケース端子のレイアウトに着目し、本発明に想到した。図 6 は、本実施の形態に係る半導体モジュールの電流の流れを示す模式図である。具体的に本実施の形態では、図 6 に示すように、半導体素子が配置される複数の回路板を平面視 U 字状に形成し、鏡像配置する構成とした。

10

【0046】

より具体的には、上アームを構成する第 1 半導体素子 3a 及び第 2 半導体素子 3b が、平面視 U 字形状の第 1 導電層 23 上に鏡像配置されている。また、正極端子 16 は、2 つに分岐した正極端部 16a、16b を有している。一方の正極端部 16a は、第 1 導電層 23 の一端側に接続され、他方の正極端部 16b は、第 1 導電層 23 の他端側に接続されている。更に正極端部 16a、16b の間に負極端部 17a が配置されている。

【0047】

また、下アームを構成する第 3 半導体素子 3c 及び第 4 半導体素子 3d が、平面視 U 字形状の第 2 導電層 24 上に鏡像配置されている。第 2 導電層 24 の一对の端部は、Y 方向負側に設けられた負極端部 17a に向けられている。

20

【0048】

また、第 1 導電層 23 及び第 2 導電層 24 に対して平面視逆 U 字形状を有する第 3 導電層 25 が、第 1 導電層 23 の内側で第 2 導電層 24 の一对の端部側を囲うように配置されている。第 3 導電層 25 の一对の端部は、第 1 半導体素子 3a 又は第 2 半導体素子 3b に対向している。

【0049】

このように、本実施の形態では、PN 間のインダクタンスを下げるために、
(1) 主電流の流れる並列数を従来の 1 列から 2 列に増やした。
(2) P 端子と N 端子間の電流経路ができる限り近くなるように互いに平行となるような配線パターン（回路板のレイアウト）とした。

30

【0050】

図 6 に示すように、半導体モジュール 1 では、正極端子 16 から流れる主電流が両外側の正極端部 16a、16b により 2 つに分流される。主電流は、第 1 導電層 23（一对の第 1 長尺部 23a、23b）から上アームの第 1 半導体素子 3a 及び第 2 半導体素子 3b を経由して第 2 導電層 24（第 2 長尺部 24a、24b）を流れる。更に主電流は、下アームの第 3 半導体素子 3c 及び第 4 半導体素子 3d を経由して第 3 導電層 25（第 3 長尺部 25a、25b）から負極端部 17a に流れ込む。

【0051】

このように、本実施の形態では、図 6 に示すように、上アームの電流経路 F1 と下アームの電流経路 F2 が平行で隣接しており、互いに逆方向に主電流が流れている。よって、相互インダクタンスの効果により、低インダクタンス化を実現でき、スイッチング損失が低減される。また、各ケース端子の端部を複数に分岐する構成としたことで、樹脂で封止したときの他の部材同士間における密着度が向上され、剥がれ難くすることが可能である。また、上記したように全体のレイアウトが鏡像配置となっており、各導電層が一对の長尺部とこれらを連結する連結部によって構成されている。このため、X 方向の正側と負側で連結部を通じて均等に電流を流すことが可能である。すなわち、電流経路を 2 つに分けても電流の偏りが生じ難くなり、局所的な発熱を抑制することが可能になっている。

40

【0052】

50

以上説明したように、本実施の形態によれば、PN端子間のインダクタンスを低減し、半導体素子間の電位差によって生じるスイッチングタイミングのアンバランスを低減することが可能である。

【0053】

また、上記実施の形態において、半導体素子の個数及び配置箇所は、上記構成に限定されず、適宜変更が可能である。

【0054】

また、上記実施の形態において、回路板の個数及びレイアウトは、上記構成に限定されず、適宜変更が可能である。

【0055】

また、上記実施の形態では、積層基板2や半導体素子が平面視矩形形状又は方形形状に形成される構成としたが、この構成に限定されない。積層基板2や半導体素子は、上記以外の多角形状に形成されてもよい。

【0056】

また、本実施の形態及び変形例を説明したが、他の実施の形態として、上記実施の形態及び変形例を全体的又は部分的に組み合わせたものでもよい。

【0057】

また、本実施の形態は上記の実施の形態及び変形例に限定されるものではなく、技術的思想の趣旨を逸脱しない範囲において様々に変更、置換、変形されてもよい。さらに、技術の進歩又は派生する別技術によって、技術的思想を別の仕方を実現することができれば、その方法を用いて実施されてもよい。したがって、特許請求の範囲は、技術的思想の範囲内に含まれ得る全ての実施態様をカバーしている。

【0058】

下記に、上記実施の形態における特徴点を整理する。

上記実施の形態に記載の半導体モジュールは、それぞれ上面電極と下面電極を有し、並列接続されて上アームを構成する第1半導体素子及び第2半導体素子と、平面視U字形状を有し、上面に前記第1半導体素子及び前記第2半導体素子が鏡像配置された第1導電層と、少なくとも2つに分岐した正極端部を有し、一方の前記正極端部が前記第1導電層の一端側に接続され、他方の前記正極端部が前記第1導電層の他端側に接続された正極端子と、一方及び他方の前記正極端部の間に配置された負極端部を有する負極端子と、を備える。

【0059】

また、上記の半導体モジュールにおいて、前記第1導電層は、所定方向に延び、前記所定方向に交差する方向で対向する一对の第1長尺部と、前記一对の第1長尺部の一端同士を連結する第1連結部と、を有し、前記第1半導体素子は、一方の前記第1長尺部に配置され、前記第2半導体素子は、他方の前記第1長尺部に配置されている。

【0060】

また、上記の半導体モジュールは、それぞれ上面電極と下面電極を有し、並列接続されて下アームを構成する第3半導体素子及び第4半導体素子と、平面視U字形状を有し、上面に前記第3半導体素子及び前記第4半導体素子が鏡像配置された第2導電層と、を更に備え、前記第2導電層は、前記第1導電層の内側において、一对の端部を前記負極端部に向けて配置されている。

【0061】

また、上記の半導体モジュールにおいて、前記第2導電層は、所定方向に延び、前記所定方向に交差する方向で対向する一对の第2長尺部と、前記一对の第2長尺部の一端同士を連結する第2連結部と、を有し、前記第3半導体素子は、一方の前記第2長尺部に配置され、前記第4半導体素子は、他方の前記第2長尺部に配置され、前記第2連結部には、出力端子が接続されている。

【0062】

また、上記の半導体モジュールにおいて、前記第1半導体素子及び前記第2半導体素子

10

20

30

40

50

は、前記一对の第1長尺部の一端側に偏って配置され、前記第3半導体素子及び前記第4半導体素子は、前記一对の第2長尺部の他端側に偏って配置されている。

【0063】

また、上記の半導体モジュールにおいて、前記第2導電層は、前記一对の第2長尺部の中間部分同士を連結する第3連結部を更に有し、前記第3半導体素子及び前記第4半導体素子は、前記第3連結部よりも前記一对の第2長尺部の他端側に配置されている。

【0064】

また、上記の半導体モジュールは、前記第1導電層及び前記第2導電層に対して平面視逆U字形状を有し、前記第1導電層の内側で前記第2導電層の一对の端部側を囲うように配置された第3導電層を更に備え、前記第3導電層の一对の端部は、前記第1半導体素子又は前記第2半導体素子に対向している。

10

【0065】

また、上記の半導体モジュールにおいて、前記第3導電層は、所定方向に延び、前記所定方向に交差する方向で対向する一对の第3長尺部と、前記一对の第3長尺部の一端同士を連結する第4連結部と、を有し、前記第4連結部には、前記負極端部が接続されている。

【0066】

また、上記の半導体モジュールにおいて、前記第1半導体素子及び前記第2半導体素子は、前記一对の第1長尺部の延在方向に沿って複数ずつ配置され、前記第3半導体素子及び前記第4半導体素子は、前記一对の第2長尺部の延在方向に沿って複数ずつ配置されている。

20

【産業上の利用可能性】

【0067】

以上説明したように、本発明は、PN端子間のインダクタンスを低減することができるという効果を有し、特に、半導体モジュールに有用である。

【符号の説明】

【0068】

- 1 : 半導体モジュール
- 2 : 積層基板
- 3 a : 第1半導体素子
- 3 b : 第2半導体素子
- 3 c : 第3半導体素子
- 3 d : 第4半導体素子
- 4 a : 第1配線
- 4 b : 第2配線
- 4 c : 第3配線
- 4 d : 第4配線
- 10 : ベース板
- 11 : ケース部材
- 12 : 封止樹脂
- 13 : 側壁部
- 14 : 制御端子
- 15 : 出力端子
- 15 a : 出力端部
- 16 : 正極端子
- 16 a : 正極端部
- 16 b : 正極端部
- 17 : 負極端子
- 17 a : 負極端部
- 20 : 絶縁板
- 21 : 放熱板

30

40

50

- 2 2 : 回路板
- 2 3 : 第 1 導電層
- 2 3 a : 第 1 長尺部
- 2 3 b : 第 1 長尺部
- 2 3 c : 第 1 連結部
- 2 4 : 第 2 導電層
- 2 4 a : 第 2 長尺部
- 2 4 b : 第 2 長尺部
- 2 4 c : 第 2 連結部
- 2 4 d : 第 3 連結部
- 2 5 : 第 3 導電層
- 2 5 a : 第 3 長尺部
- 2 5 b : 第 3 長尺部
- 2 5 c : 第 4 連結部
- 2 9 a : 制御用回路板
- 2 9 b : 制御用回路板
- 2 9 c : 制御用回路板
- 3 0 : ゲート電極
- 4 0 : 第 1 接合部
- 4 1 : 第 2 接合部
- 4 2 : 連結部
- F 1 : 電流経路
- F 2 : 電流経路

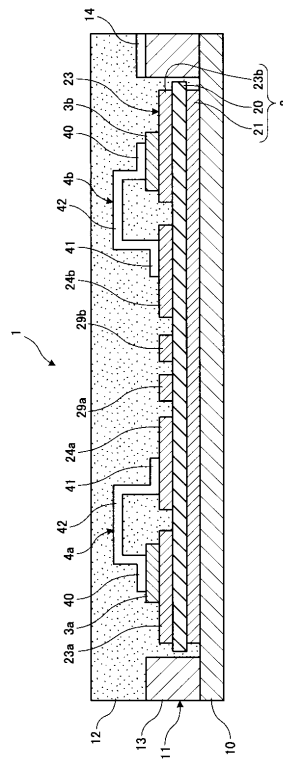
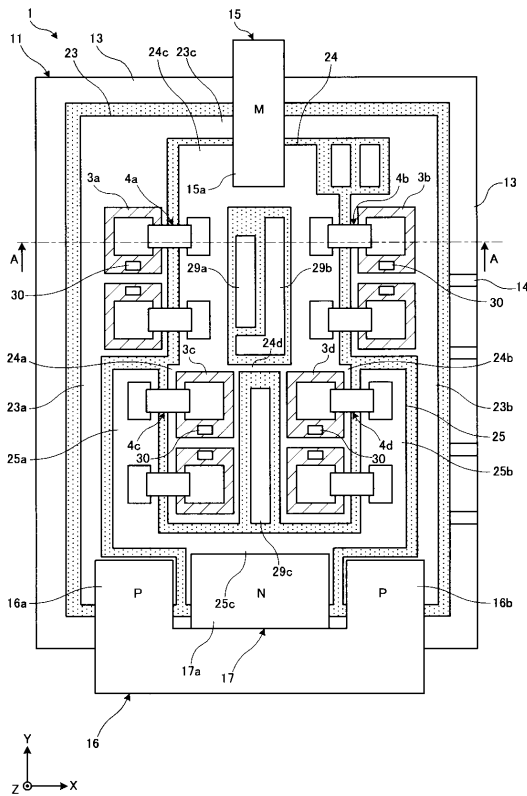
10

20

【図面】

【図 1】

【図 2】

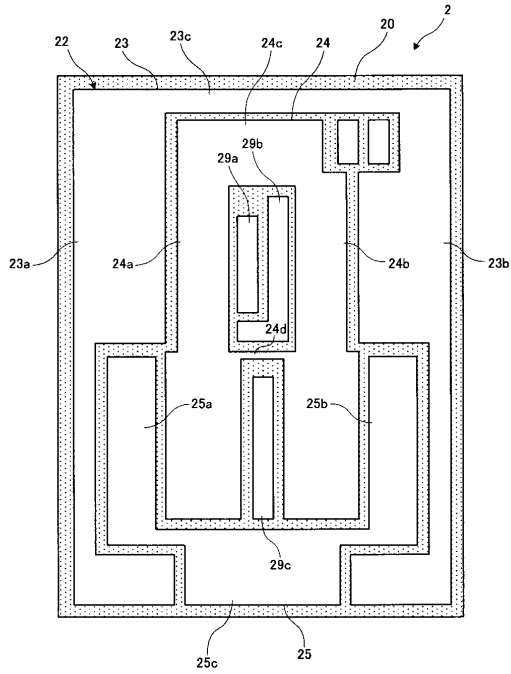


30

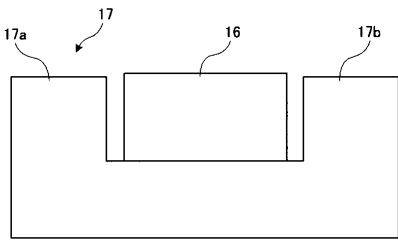
40

50

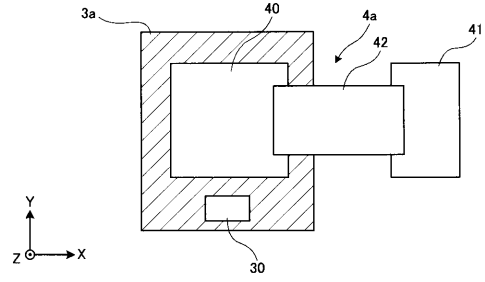
【 図 3 】



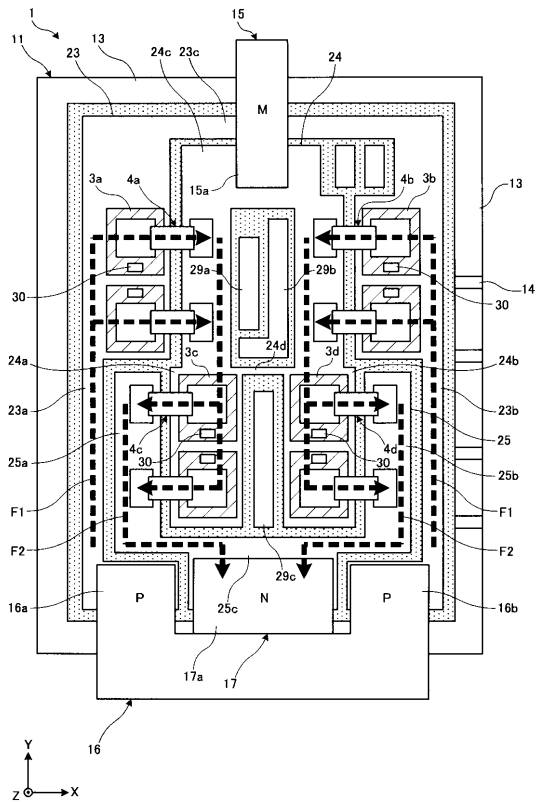
【 図 5 】



【 図 4 】



【 図 6 】



10

20

30

40

50

フロントページの続き

- 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内
(72)発明者 金井 直之
- 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内
(72)発明者 中込 旭人
- 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内
(72)発明者 池田 良成
- 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内
審査官 豊島 洋介
- (56)参考文献 国際公開第 2 0 1 3 / 1 2 8 7 8 7 (W O , A 1)
特開 2 0 1 9 - 0 3 0 0 4 0 (J P , A)
国際公開第 2 0 1 5 / 1 0 4 9 1 4 (W O , A 1)
国際公開第 2 0 1 8 / 1 3 5 2 3 9 (W O , A 1)
国際公開第 2 0 1 5 / 1 4 6 0 1 0 (W O , A 1)
国際公開第 2 0 1 6 / 0 0 9 4 9 6 (W O , A 1)
- (58)調査した分野 (Int.Cl., D B 名)
H 0 1 L 2 5 / 0 0 - 2 5 / 0 7
H 0 1 L 2 5 / 1 0 - 2 5 / 1 1
H 0 1 L 2 5 / 1 6 - 2 5 / 1 8
H 0 2 M 7 / 4 2 - 7 / 9 8