



## 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93103144

※ 申請日期：93-02-11

※IPC 分類：G11C 11/21

### 壹、發明名稱：(中文/英文)

利用切割儲存區域以補償缺陷之半導體記憶體的裝置與方法

DEVICE AND METHOD OF THE SEMICONDUCTOR  
MEMORY USING DIVIDING THE MEMORY REGION TO  
COMPENSATE THE DEFECTS

### 貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

華邦電子股份有限公司/WINBOND ELECTRONICS CORP.

代表人：(中文/英文) 焦佑鈞/ CHIAO, ARTHUR Y. C.

住居所或營業所地址：(中文/英文)

新竹科學工業園區研新三路四號/NO. 4, CREATION ROAD III, SCIENCE-BASED  
INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.

國籍：(中文/英文) 中華民國/TW

### 參、發明人：(共 1 人)

姓名：(中文/英文)

葉潤林/YEH, JUN LIN

住居所地址：(中文/英文)

新竹市澤藩路 102 號/NO.102, ZEFAN RD., HSINCHU CITY 300, TAIWAN  
(R. O. C.)

國籍：(中文/英文) 中華民國/TW

**肆、聲明事項：**

本案係符合專利法第二十條第一項  第一款但書或  第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利  主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- 1.
- 2.
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

### **伍、中文發明摘要：**

一種利用切割儲存區域以補償缺陷之半導體記憶體的裝置，適用於半導體記憶體，此裝置包括記憶體陣列、選擇電路和第一輸入位址緩衝器。其中，記憶體陣列具有儲存區域。當儲存區域內出現缺陷時，則平分切割成數個子儲存區域，且這些子儲存區域其中之一為沒有缺陷的正常子儲存區域。此時，選擇電路係選擇此正常子儲存區域來存放資料。並且第一輸入位址緩衝器會輸出選擇訊號至半導體記憶體內的位址解碼電路，用以取代高位元位址訊號。

### **陸、英文發明摘要：**

A device of the semiconductor memory using dividing the memory region to compensate the defects applies to the semiconductor memory. The device comprises a memory array, a choosing circuit and a first address buffer. The memory array has a memory region. When the defects are occurred in the memory region, the memory region is divided a plurality of sub-memory regions equally. The one of these sub-memory regions is the normal sub-memory region, which has no defects. At this time, the choosing circuit the normal sub-memory region to save data, and the first address buffer sends the choosing signal to address decoder to instead the

most signification bit address.

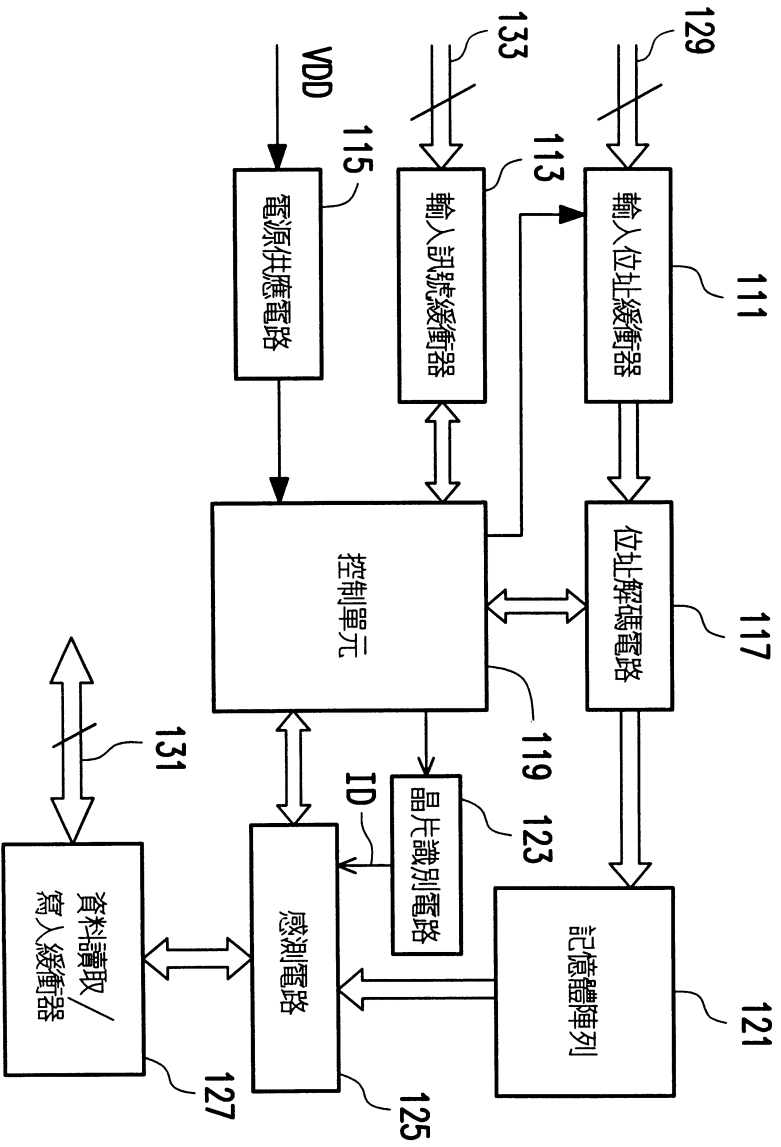
### 柒、指定代表圖：

(一)本案指定代表圖為：第（ 3 ）圖。

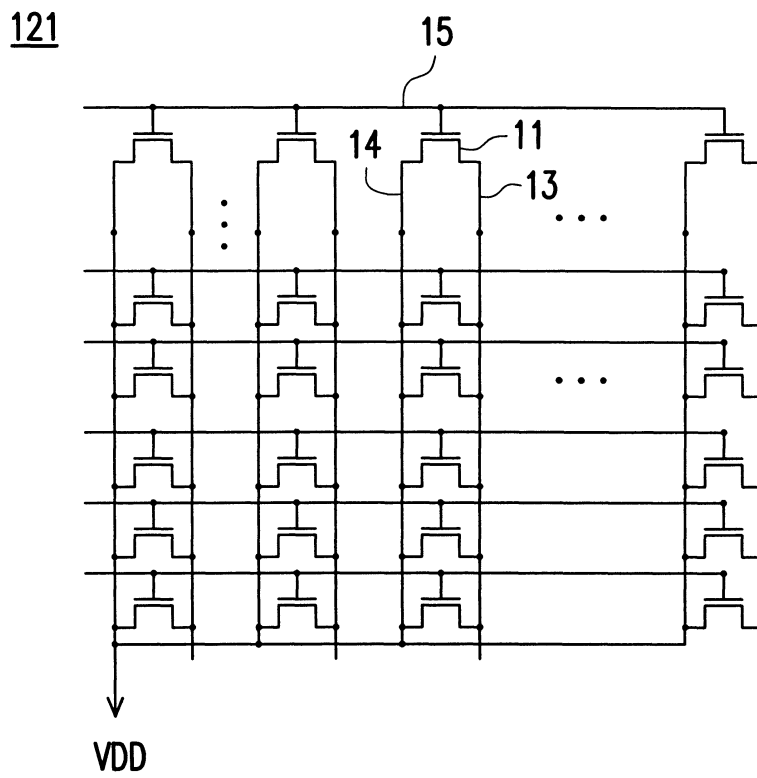
(二)本代表圖之元件代表符號簡單說明：

- 233：電源供應電路
- 217：位址解碼電路
- 229：控制單元
- 219：記憶體陣列
- 221：晶片識別電路
- 223：感測電路
- 225：資料讀取/寫入緩衝器
- 215：控制訊號匯流排
- 211：第一輸入位址緩衝器
- 213：第二輸入位址緩衝器
- 231：選擇電路
- 235：儲存區域
- 235a：正常子儲存區域
- 235b：子儲存區域
- 237：輸入位址匯流排
- 239：輸出位址匯流排

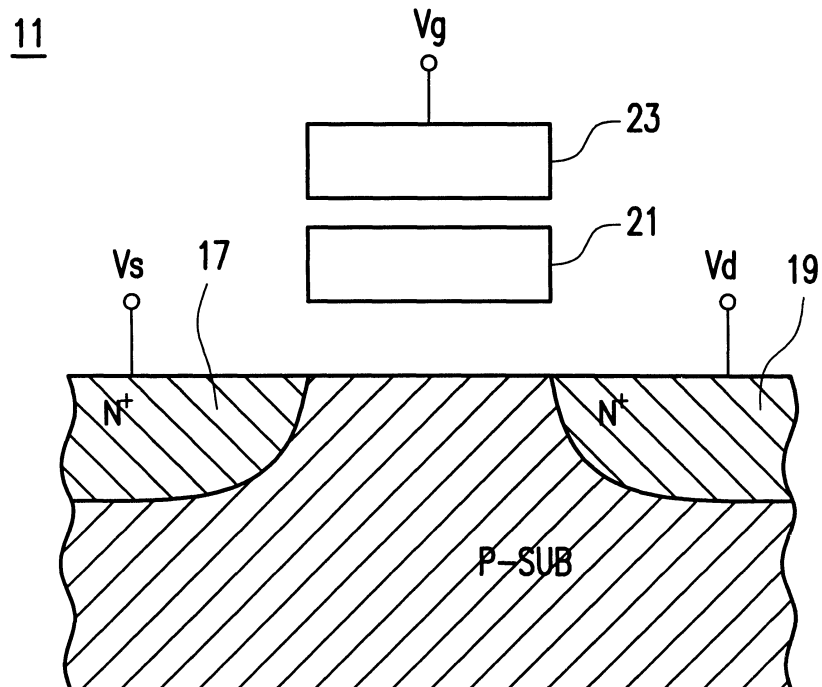
捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



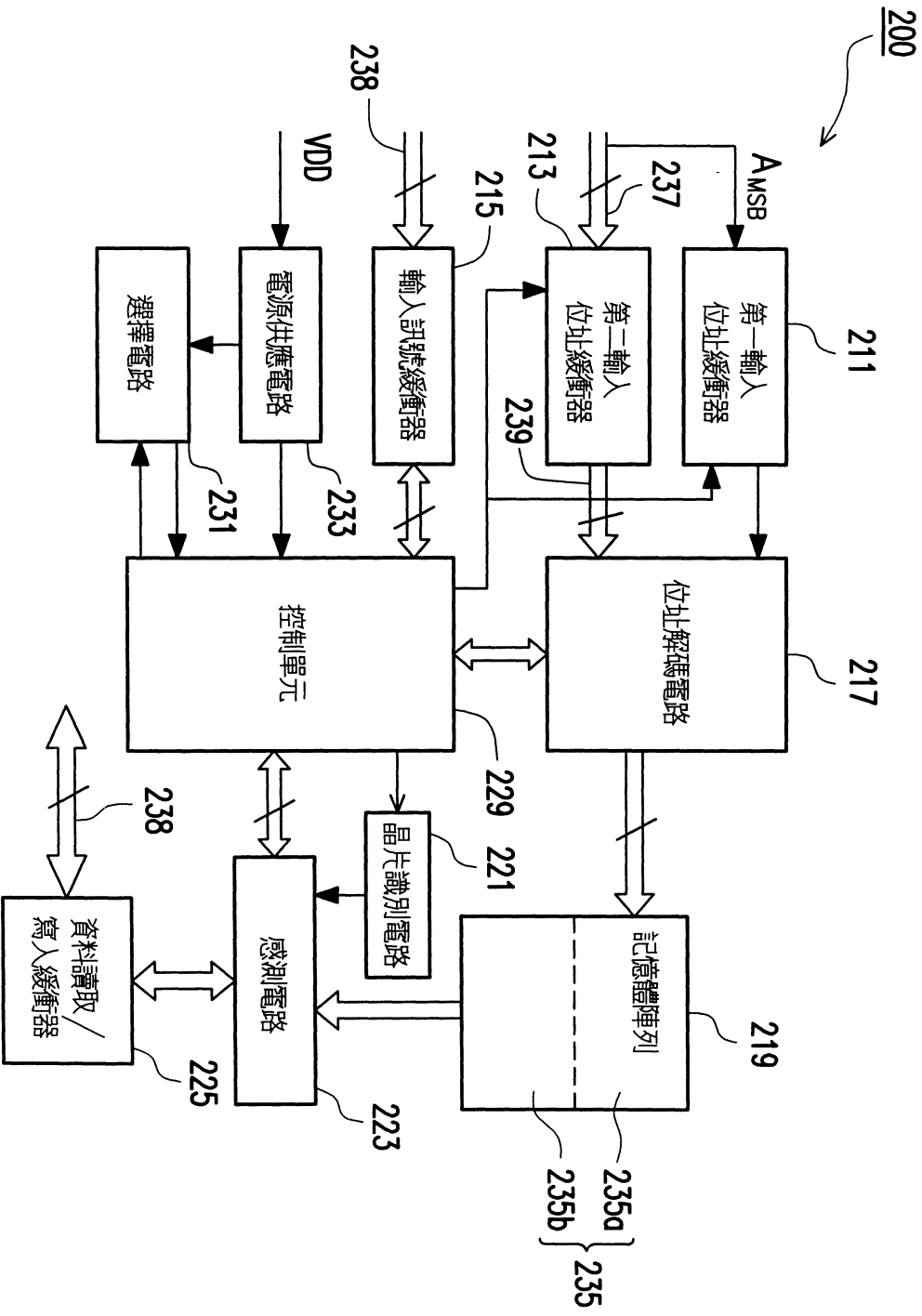
第 1 圖



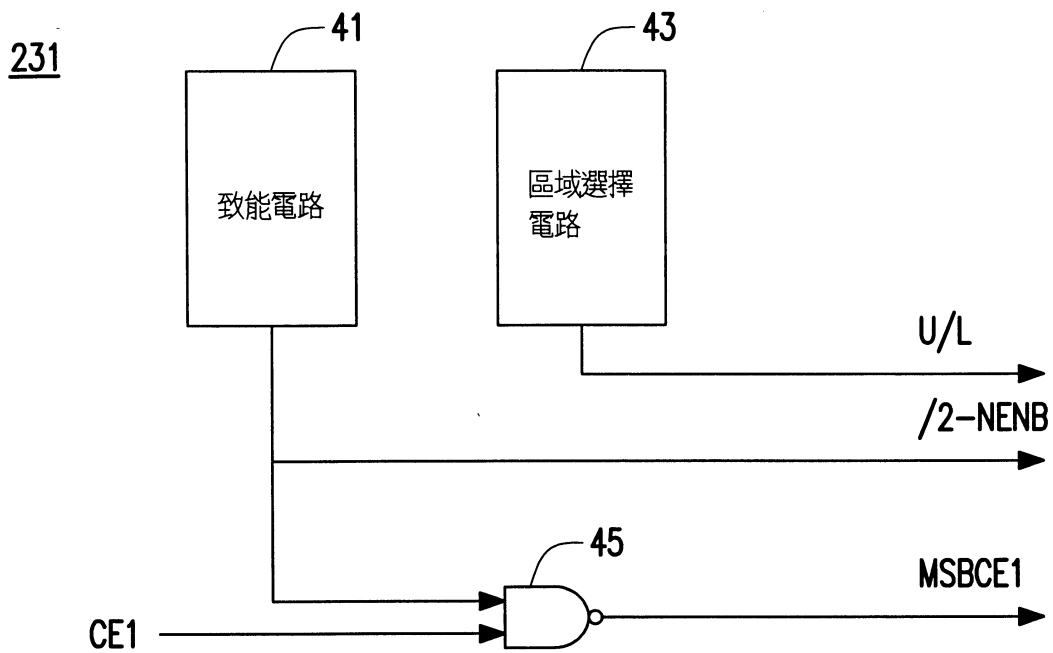
第2A圖



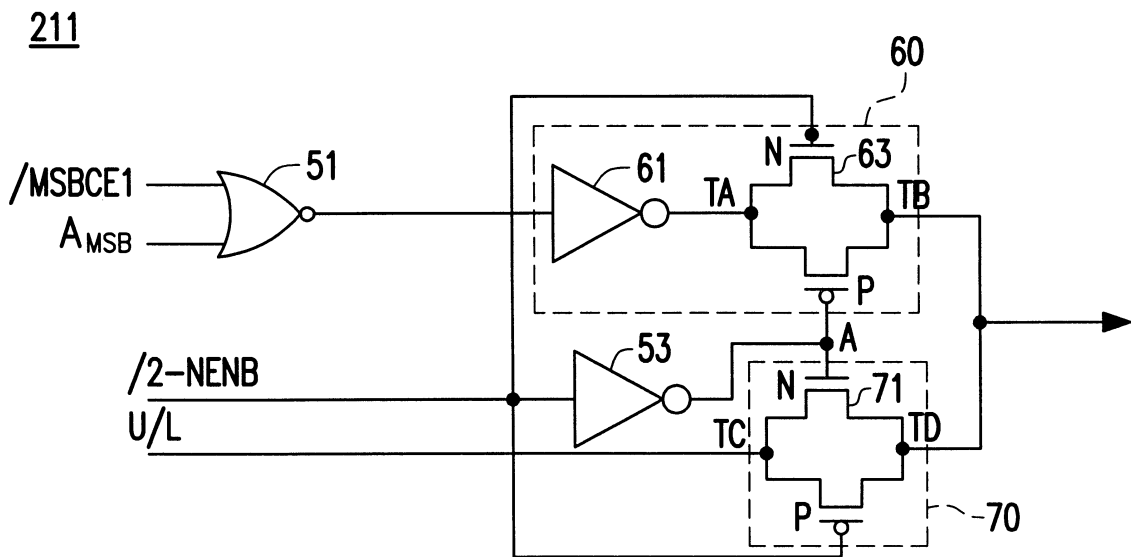
第2B圖



第 3 圖

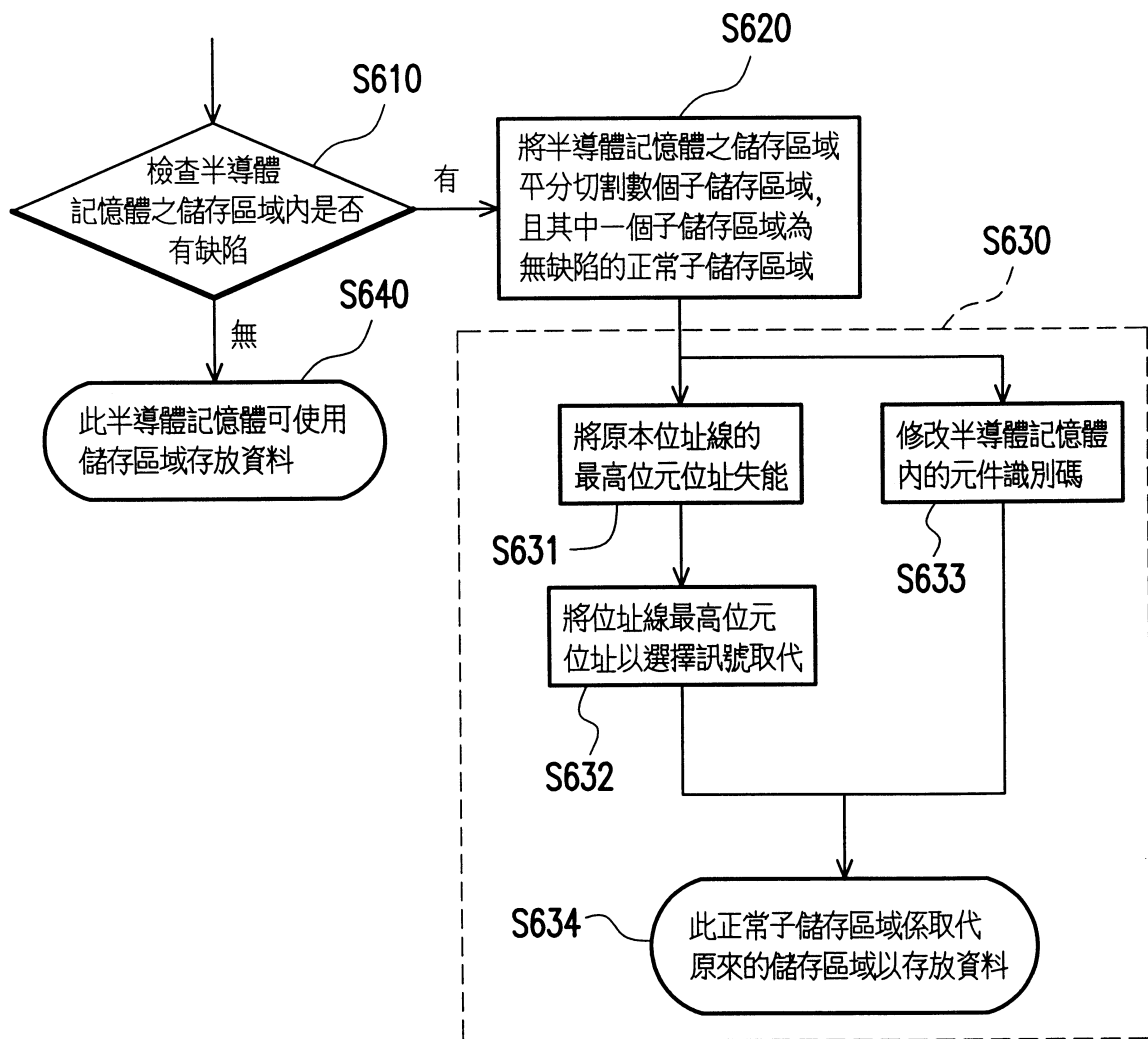


第 4 圖



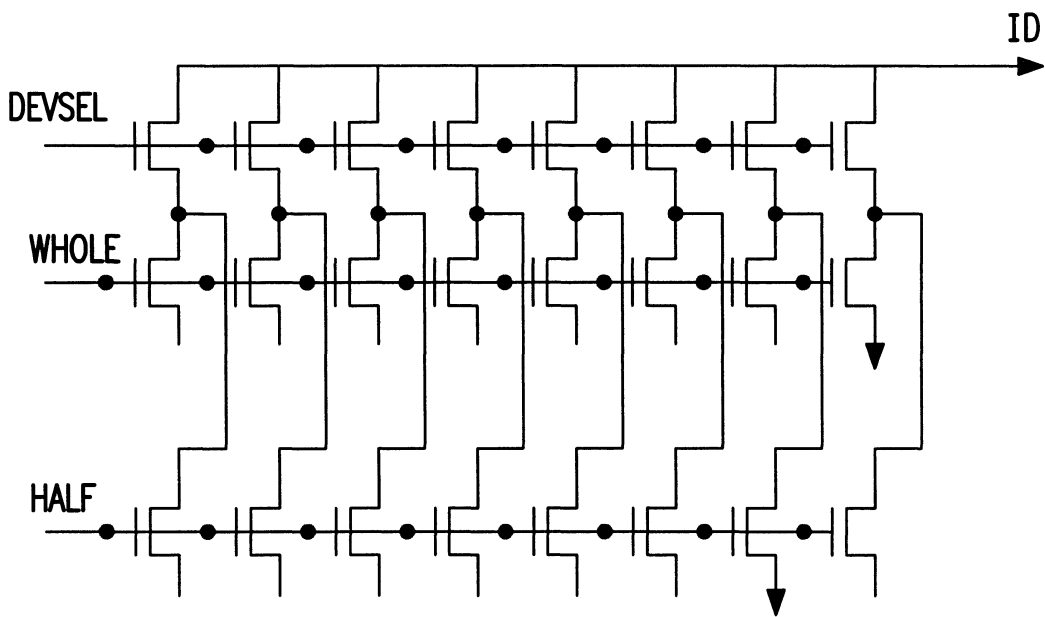
第 5 圖



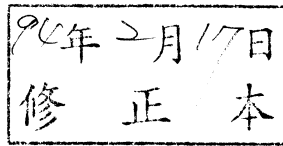


第 6 圖

221



第 7 圖



## 玖、發明說明：

### 發明所屬之技術領域

本發明是有關於一種半導體記憶體的裝置與方法，且特別是有關於一種利用切割儲存區域(Memory Region)以補償缺陷(Defect)之半導體記憶體的裝置與方法。

### 先前技術

近來由於電腦的普及，使得例如非揮發性記憶體(non-volatile semiconductor memory)、等的半導體記憶體的裝置，開始快速的發展及被量產。

第 1 圖係繪示習知的半導體記憶體內部架構方塊圖。請參照第 1 圖，當使用者欲讀取半導體記憶體內所儲存的資料時，首先位址匯流排(Address Bus)129 會傳送一組位址訊號(Address Signal)至輸入位址緩衝器 111，同時控制訊號匯流排 133 會傳送控制訊號至控制單元 119。控制單元 119 依據送入的控制訊號控制輸入位址緩衝器 111 將位址訊號送入位址解碼電路 117，並且依據控制訊號控制位址解碼電路 117 將位址訊號轉換為實際位址，並將此實際位址分別送入記憶體陣列(Memory Array)121 和控制單元 119。控制單元 119 依據實際位址控制感測電路 125 由記憶體陣列 121 內將資料取出來，並且經由資料讀取/寫入緩衝器 127 送入資料匯流排 131，使用者就可從資料匯流排 131 讀取資料。當使用者欲寫入資料時，其過程與讀取資料的過程大致相同，不一樣的是資料由資料匯流排 131 送入，經過資料讀取/寫入緩衝器 127 送入感測電路 125。控制單元 119 依據

實際位址控制感測電路 125 將資料送入記憶體陣列 121 內存放。

第 2A 圖係繪示在第 1 圖中的記憶體陣列 121 之內部架構電路圖。請參照第 2A 圖，以下介紹資料如何被寫入(Write)在記憶體陣列 121 內，和資料如何從記憶體陣列 121 內被抹去(Erased)。記憶體陣列 121 係如第 2A 圖中所示的電路所組成，從第 2A 圖中可以看到，記憶體陣列 121 包括了由許多例如字元線(Word line) 15 的字元線和例如位元線(Bit Line) 13 的位元線所組成的矩陣。而例如記憶電晶體(Memory Transistor) 11 的記憶晶胞則放置在字元線和位元線的交會處。為求敘述方便，以下僅以記憶電晶體 11 為例敘述。

第 2B 圖係繪示記憶體電晶體的結構示意圖。請合併參照第 2A 圖和第 2B 圖，記憶電晶體 11 具有源極 17、汲極 19、浮動閘極(Floating Gate，簡稱 FG) 21 和控制閘極(Control Gate，簡稱 CG) 23 四個端點。其中浮動閘極 21 和控制閘極 23 耦接至字元線 15，源極 17 和汲極 19 則分別耦接至位元線 13、14。浮動閘極 21 位於源極 17 和汲極 19 的中間並且與其他區域絕緣，而控制閘極 23 則位於浮動閘極 21 的上方。當要把資料寫入記憶電晶體 11 時，在汲極 19 加入汲極電壓  $V_d$ ，此汲極電壓  $V_d$  的位準等於外部電源 VDD 的位準(例如為 +8V)。將一個高正電壓位準(例如為 +12V)的閘極電壓  $V_g$  加在控制閘極 23 上，再將加在源極 17 的源極電壓  $V_s$  設定為 0V。此時電子會由汲極 19 被注入

(Injected)到浮動閘極 21，這個動作被定義為資料”0”被寫入記憶電晶體 11。

請繼續參照第 2A 圖和第 2B 圖，當要從記憶電晶體 11 內將資料抹除時，閘極電壓  $V_g$  被設定為高負電壓位準(例如為-12V)。使加在汲極 19 上的汲極電壓  $V_d$  開路，使汲極 19 成為浮接狀態(Floating State)，而源極電壓  $V_s$  則等於外部電源 VDD 的位準。此時電子由浮動閘極 21 被推出(Pulled)到源極 17，即資料從記憶電晶體 11 內被抹除了，這個動作被定義為資料”1”被寫入記憶電晶體 11。

請繼續參照第 1 圖，半導體記憶體更包括電源供應電路 115 和晶片識別電路 123。電源供應電路 115 係耦接外部電源 VDD 以供應半導體記憶體的運作。晶片識別電路(Chip Identification Circuit)123 係送出識別訊號，用以表示記憶體陣列 121 記憶容量的大小。

由上述可知，習知的半導體記憶體存取資料的位置在於記憶體陣列。但是當習知的半導體記憶體在製程時，只要當記憶體陣列內出現一點小缺陷(Defect)，就會造成整個習知的半導體記憶體無法使用，使得習知的半導體記憶體製程的良率下降。

### 發明內容

因此，本發明的目的就是在提供一種利用切割儲存區域以補償缺陷之半導體記憶體的裝置，此裝置可以在半導體記憶體內的記憶體陣列出現不嚴重的缺陷時仍然可以使用。

爲了達到上述的目的，本發明提供一種利用切割儲存區域以補償缺陷之半導體記憶體的裝置，適用於半導體記憶體。此半導體記憶體包括控制單元、位址解碼電路和感測電路。此裝置包括記憶體陣列、選擇電路和第一輸入位址緩衝器。其中，記憶體陣列具有由數個記憶晶胞所組成的儲存區域，係耦接至位址解碼電路和感測電路來存放資料。若是儲存區域內具有缺陷時，則平分切割成數個子儲存區域(Sub-Memory Region)。而這些子儲存區域內的其中之一，爲沒有缺陷的正常子儲存區域。此正常子儲存區域取代儲存區域來存放資料。選擇電路係耦接至控制單元，選擇電路係選擇儲存區域或是正常子儲存區域來存放資料。而第一輸入位址緩衝器係耦接控制單元和位址解碼電路，並且第一輸入位址緩衝器具有位址輸入埠和位址輸出埠，其位址輸入埠用以接收高位元位址訊號。當儲存區域內沒有缺陷時，則選擇電路輸出選擇訊號，以選擇儲存區域來存放資料，並使得控制單元控制位址輸出埠輸出高位元位址訊號至位址解碼電路。當儲存區域內有缺陷而被切割成數個子儲存區域，且這些子儲存區域其中之一爲沒有製程缺陷的正常子儲存區域時，則選擇電路輸出選擇訊號，以選擇正常子儲存區域來存放資料，並使得控制單元控制位址輸出埠輸出選擇訊號至位址解碼電路。

前述之半導體記憶體的裝置中，更包括晶片識別電路。此晶片識別電路係耦接控制單元，並且此晶片識別電路具有輸出端、完整訊號端和部份訊號端。此晶片識別電

路係利用致能(Enable)完整訊號端或是部分訊號端，以在輸出端輸出辨識訊號來表示此半導體記憶體之記憶容量的大小。

除了前述的第一輸入位址緩衝器外，此半導體記憶體的裝置更包括第二輸入位址緩衝器。此第二輸入位址緩衝器係耦接位址解碼電路和控制單元，並且此第二輸入位址緩衝器具有數個位址輸入埠和數個位址輸出埠。除了輸入至第一輸入位址緩衝器之高位元位址訊號以外，此第二輸入位址緩衝器的位址輸入埠係接收其餘的位址訊號，並且將這些位址訊號送至位址解碼電路。

在本發明所提供之半導體記憶體的裝置內的選擇電路包括致能電路、區域選擇電路和反及閘。其中致能電路具有致能訊號輸出端，此訊號輸出端係送出致能訊號經由控制電路送至第一輸入位址緩衝器，以決定第一輸入位址緩衝器的輸出是高位元位址訊號亦或是選擇訊號。區域選擇電路係耦接至控制單元，當儲存區域內有缺陷而被切割成數個子儲存區域，且這些子儲存區域其中之一為沒有製程缺陷的正常子儲存區域時，則區域選擇電路送出選擇訊號經由控制單元送至第一輸入位址緩衝器，用以選擇正常子儲存區域來存放資料。而反及閘具有兩個輸入端和一輸出端，其中一個輸入端係耦接至致能電路以接收致能訊號，另一端則接收控制訊號，而其輸出端係輸出第一緩衝器控制訊號，並經由控制單元送至第一輸入位址緩衝器。

前述的第一輸入位址緩衝器包括反或閘、第一反相

器、第一傳輸閘模組和第二傳輸閘模組，其中反或閘具有兩個輸入端和一輸出端，反或閘其中一個輸入端接收第一緩衝器控制訊號，另一端則接收高位元位址訊號。第一反相器具有輸入端和輸出端，其輸入端係接收致能訊號，而輸出端則耦接至第一傳輸閘模組和第二傳輸閘模組。第一傳輸閘模組具有輸入端和輸出端，其輸入端係耦接至反或閘之輸出端，而其輸出端係耦接至位址解碼電路。第二傳輸閘模組同樣具有輸入端和一輸出端，其輸入端係接收選擇訊號，而其輸出端則連接至第一傳輸閘模組之輸出端耦接至位址解碼電路。

第一傳輸閘模組包括第二反相器和第一傳輸閘。其中第二反相器具有輸入端和輸出端，其輸入端耦接至反或閘之輸出端。而第一傳輸閘具有輸入端、輸出端、N 型金氧半導體端和 P 型金氧半導體端。其入端係耦接至第二反相器之輸出端，N 型金氧半導體端係接收致能訊號，P 型金氧半導體端則耦接至第一反相器之輸出端，而其輸出端則耦接至位址解碼電路。

第二傳輸閘模組包括第二傳輸閘，其具有輸入端、輸出端、N 型金氧半導體端和 P 型金氧半導體端。其輸入端係接收選擇訊號，P 型金氧半導體端係接收致能訊號，N 型金氧半導體端則耦接至第一反相器之輸出端，而其輸出端連接至第一傳輸閘之輸出端，並且耦接至位址解碼電路。

前述的選擇訊號，係為固定不變的一個固定的位址訊號，係來自區域選擇電路之輸出。



爲求電路的簡單化，前述的子儲存區域的數目設定爲 $2^N$ 倍，而 $N$ 爲一個正整數。

本發明的另一目的是提供一種利用切割儲存區域以補償缺陷之半導體記憶體的方法，適用於半導體記憶體，此半導體記憶體具有儲存區域來存放外界存取的資料。並且此半導體記憶體更具有數個位址輸入埠用以輸入位址訊號，而依據此位址訊號來決定資料在儲存區域內的位置。同時，半導體記憶體還具有元件識別碼，用以表示此半導體記憶體之記憶容量的大小，方法包括下列步驟：首先判斷此半導體記憶體之儲存區域內是否有缺陷。當此半導體記憶體之儲存區域內發現缺陷，則將此儲存區域平分切割成數個子儲存區域，並且子儲存區域其中之一係爲沒有缺陷的正常子儲存區域。最後，將此正常子儲存區域取代原來的儲存區域來存放資料。

當此儲存區域被平分切割爲兩個子儲存區域，並且其中一個子儲存區域爲正常子儲存區域時，則其中將此正常子儲存區域取代原來的儲存區域之方法包括下列步驟：首先使原本位址輸入埠的最高位元位址訊號 (Most Signification Bit Address, MSB Address) 失能 (Disable)，再以選擇訊號取代原本的最高位元位址訊號，用以選擇正常子儲存區域。

其中將正常子儲存區域取代原來的儲存區域之方法同時更包括：修改半導體記憶體內的元件識別碼，用以表示半導體記憶體被修改後的新記憶容量大小。

由上述可知，本發明所提供之利用切割儲存區域以補償缺陷之半導體記憶體的裝置與方法，可在記憶體陣列內的儲存區域有缺陷時，將儲存區域分割出一塊正常的子儲存區域，用以取代原來的儲存區域來存放資料。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### 實施方式

第 3 圖係繪示依照本發明之一較佳實施例之半導體記憶體內部架構方塊圖。請參照第 3 圖，在本實施例中，第一輸入位址緩衝器 211 係接收最高位元位址訊號  $A_{MSB}$ ，第二輸入位址緩衝器 213 則接收除了最高位元位址外其餘的位址匯流排 237 送位址訊號，並且第一輸入位址緩衝器 211 和第二輸入位址緩衝器 213 會將所有的位址訊號送入位址解碼電路 217。位址解碼電路 217 係耦接控制單元 229 和記憶體陣列 219，其中記憶體陣列 219 係耦接感測電路 223，並且感測電路 223 又耦接資料讀取/寫入緩衝器 225，然後透過資料讀取/寫入緩衝器 225 再耦接資料匯流排 238。另外，控制單元 229 係耦接輸入訊號緩衝器 215、第一輸入位址緩衝器 211、第二輸入位址緩衝器 213、位址解碼電路 217、晶片識別電路 221、感測電路 223、選擇電路 231 和電源供應電路 233。其中的輸入訊號緩衝器 215 係耦接資料匯流排 238，而電源供應電路 233 係耦接外部電源 VDD。

請繼續參照第 3 圖，本發明之半導體記憶體的裝置適

用於例如記憶體 200 的半導體記憶體，包括記憶體陣列 219、第一輸入位址緩衝器 211 和選擇電路 231。其中記憶體陣列 219 分別耦接至記憶體 200 內的位址解碼電路 217 和感測電路 223，並且記憶體陣列 219 具有儲存區域 235 可用以存放資料。第一輸入位址緩衝器 211 係接收一高位元位址訊號  $A_{MSB}$ ，並且分別耦接至控制單元 229 和位址解碼電路 217。而選擇電路 231 係耦接至控制單元 229，用以送出選擇訊號至控制單元 229，使得控制單元 229 依據選擇訊號來控制第一輸入位址緩衝器 211 的輸出。在記憶體 200 中更包括了電源供應電路 233，係連接至外部電源 VDD 以供應整顆記憶體 200 所需的電源。

第 6 圖係繪示依照本發明之一實施例之利用切割儲存區域以補償缺陷之半導體記憶體的方法流程圖。請參照第 3 圖和第 6 圖，本發明之補償缺陷之半導體記憶體的方法，係記憶體 200 被製造完畢後，首先如步驟 S610 所示，檢查儲存區域 235 內是否有缺陷。若是儲存區域 235 內沒有缺陷時，如步驟 S640 所示，可使用儲存區域 235 來存放資料。但若是檢查出儲存區域 235 內有缺陷時，則如步驟 S620 所示，將儲存區域 235 切割成數個子儲存區域。例如在本實施例中，將儲存區域 235 平分切割成子儲存區域 235a 和子儲存區域 235b。當儲存區域 235 被平分切割以後，其記憶容量也會被這些子儲存區域所平分。

請繼續參照第 2 圖和第 6 圖，更詳細的說，將儲存區域 235 切割成數個子儲存區域的目的，是爲了將儲存區域

235 中切割出一塊沒有缺陷的子儲存區域以存放資料，我們稱這塊沒有缺陷的子儲存區域為正常子儲存區域。為求以下敘述方便，我們在此假設儲存區域 235 內的缺陷是發生在較高位元的位址區，因此以下我們稱子儲存區域 235a 為正常子儲存區域。也因為在正常子儲存區域 235a 內沒有缺陷，而子儲存區域 235b 內具有缺陷，因此如步驟 S630 所示，可以將正常子儲存區域 235a 取代儲存區域 235 來存放資料。也就是說，所有資料存放的區域，從原本的儲存區域 235 縮減到正常子儲存區域 235a 內，而具有缺陷的子儲存區域 235b 就捨棄不用。雖然本實施例將儲存區域切割成兩個子儲存區域，但是非用以限定本發明非要如此設計，熟悉此技藝者可依儲存區域內缺陷的情況來做調整。

第 4 圖係繪示依照本發明之一較佳實施例之選擇電路方塊圖。請參照第 3 圖和第 4 圖，選擇電路 231 包括了有致能電路 41 和區域選擇電路 43。致能電路 41 係送出致能訊號 /2-NENB，而區域選擇電路 43 則送出選擇訊號 U/L。選擇電路 231 還包括了反及閘 45，反及閘 45 的其中一個輸入端係接收致能訊號 /2-NENB，另一輸入端則接收控制訊號 CE1，而反及閘 45 的輸出端係輸出第一緩衝器控制訊號 /MSBCE1 至第一輸入位址緩衝器 211。其中控制訊號 CE1 是經由輸入訊號緩衝器 215 接收後送入控制單元 229，再經由控制單元 229 送至選擇電路 231。

第 5 圖係繪示依照本發明之一較佳實施例之第一輸入位址緩衝器電路圖。請參照第 5 圖，第一輸入位址緩衝器

包括反或閘 51、第一反相器 53、第一傳輸閘模組 60 和第二傳輸閘模組 70。其中第一反相器 53 之輸入端接收致能訊號 /2-NENB，而輸出端則耦接至第一傳輸閘模組 60 和第二傳輸閘模組 70 之耦接端 A。反或閘 51 其中一個輸入端接收第一緩衝器控制訊號 /MSBCE1，另一輸入端則接收輸入位址訊號的最高位元位址訊號  $A_{MSB}$ ，而其輸出端則耦接至第一傳輸閘模組 60 內的第二反相器 61 的輸入端。

請參照第 5 圖，第二反相器 61 將反或閘 51 送出的訊號反相後，送至第一傳輸閘 63 的輸入端 TA。第一傳輸閘 63 除了輸入端 TA 外，更具有輸出端 TB、NMOS 端 N 和 PMOS 端 P。其 NMOS 端 N 接收致能訊號 /2-NENB，而 PMOS 端 P 則耦接至第一反相器 53 的輸出端，而其輸出端則耦接至第 3 圖的位址解碼電路。第二傳輸閘模組 70 內包括第二傳輸閘 71，與第一傳輸閘 63 相同具有輸入端 TC、輸出端 TD、NMOS 端 N 和 PMOS 端 P。其輸入端 TC 接收從選擇電路 231 送來的選擇訊號 U/L，其 NMOS 端 N 耦接至第一反相器 53 的輸出端，其 PMOS 端接收致能訊號 /2-NENB，而其輸出端 TD 則連接至第一傳輸閘 63 的輸出端 TB 並也同時耦接至解碼電路 217。

請繼續參照第 3 圖至第 5 圖，當儲存區域 235 沒有缺陷時，致能電路 41 送出致能訊號 /2-NENB 為邏輯狀態 "1"。此時反及閘 45 的真值表如下：

/2-NENB	CE1	/MSBCE1
1	0	1
1	1	0

表 1

由表 1 可以看到，因為致能訊號 /2-NENB 的邏輯狀態”1”，所以第一緩衝器控制訊號 /MSBCE1 的邏輯狀態係完全由控制訊號 CE1 決定。而也因為致能訊號 /2-NENB 的邏輯狀態”1”，因此，第二傳輸閘 71 的 PMOS 端 P 接收到的是邏輯狀態”1”，而其 NMOS 端 N 接收到的是經過反相後的邏輯狀態”0”，所以第二邏輯 71 閘關閉。相對地，第一傳輸閘 63 的 NMOS 端 N 接收到的是邏輯狀態”1”，而其 PMOS 端 P 接收到的是經過反相後的邏輯狀態”0”，所以第一傳輸閘 63 導通。當第一緩衝器控制訊號 /MSBCE1 的邏輯狀態為”0”時，第一輸入位址緩衝器 211 輸出是正常的最高位元位址訊號  $A_{MSB}$ 。

請繼續參照第 3 圖至第 5 圖，當儲存區域 235 發生缺陷而將儲存區域平分分割為正常子儲存區域 235a 和子儲存區域 235b 時，因為正常子儲存區域 235a 為較低位址的區域，因此區域選擇電路 43 會發出邏輯狀態為”0”的選擇訊號 U/L，而同時致能電路 41 也會發出邏輯狀態為”0”的致能訊號 /2-NENB。此時反及閘 45 在致能訊號 /2-NENB 之邏輯狀態為”0”時的真值表如下：

/2-NENB	CE1	/MSBCE1
0	0	1
0	1	1

表 2

從表 2 可以看到，當致能訊號 /2-NENB 的邏輯狀態為”0”時，不管控制訊號的邏輯狀態為何，第一緩衝器控制訊號 /MSBCE1 的邏輯狀態都會是”1”。

請合併參照第 3 圖至第 6 圖，同時第一傳輸閘 63 的 NMOS 端 N 接收到的是邏輯狀態為”0”的致能訊號 /2-NENB，而其 PMOS 端 P 接收到的是經過反相後的邏輯狀態”1”，所以第一傳輸閘 63 關閉，因此如步驟 S631 所述，會造成最高位元位址訊號  $A_{MSB}$  的失能。而相對地，第二傳輸閘 71 的 PMOS 端 P 接收到的是邏輯狀態為”0”的致能訊號 /2-NENB，而其 NMOS 端 N 接收到的是經過反相後的邏輯狀態”1”，所以第二邏輯 71 閘導通，此時如步驟 S632 所述，第一輸入位址緩衝器 211 送入位址解碼電路 217 的是固定邏輯狀態為”0”的選擇訊號 U/L。也就是說，將選擇訊號 U/L 取代原來的最高位元位址訊號  $A_{MSB}$ 。

請繼續參照第 3 圖至第 6 圖，本發明之半導體記憶體之裝置更包括了第二輸入位址緩衝器 213，其具有位址輸入埠 237 和位址輸出埠 239。其位址輸入埠埠 237 接收的是除了最高位元位址訊號  $A_{MSB}$  以外的其他位址訊號，並且將之由位址輸出埠 239 輸出至位址解碼電路。換句話說，所有

的資料在做儲存時，因為最高位元位址  $A_{MSB}$  已經被選擇訊號 U/L 所取代而被固定，因此只會被儲存到所指定的正常子儲存區域 235a，而子儲存區域 235b 則會被捨棄不用，因此就如步驟 S634 所述，將正常子儲存區域 235a 取代原來的儲存區域 235 以存放資料。

以上所述的狀況，是由於儲存區域的缺陷係在高位元的位址區出現而被平分切成兩塊子儲存區域，所以較低位元的位址區成為正常子儲存區域。若是缺陷在低位元的位址區出現，則上述的情況就需將選擇訊號改變為邏輯訊號為"1"。或者是因為缺陷變多，而需將儲存區域分割成例如是 4 塊時，就需要將最高位元位址和次高位元位址做改變。也就是說，熟悉此技藝者在做以上的操作時，需要按照實際情形做適度的改變。但是為求電路的簡單化，本發明建議子儲存區域的數目最好是  $2^N$  倍(2,4,8...)，也就是說子儲存區域的記憶容量大小，最好是原儲存區域記憶容量大小的  $2^{-N}$  倍(1/2,1/4,1/8...)。

請繼續參照第 3 圖和第 6 圖，在本發明之半導體記憶體的裝置更包括了晶片識別電路 221。晶片識別電路 221 的作用就是儲存元件識別碼，當感測電路 125 欲從儲存區域 235 讀取資料，經由資料讀取/寫入緩衝器 127 送到外界，或是外界的資料經由資料讀取/寫入緩衝器 127，欲從感測電路 125 寫入儲存區域 235 時，感測電路都需先至晶片識別電路讀取識別訊號 ID，以知道儲存區域 235 之記憶容量大小。所以當要用正常子儲存區域 235a 來代替儲存區



域 235 時，還必須如步驟 S633 所示，修改半導體記憶體內的元件識別碼。通常晶片識別電路可以將識別碼燒錄在裡面，或是使用硬體接線式(Hard Wire)兩種方式。

第 7 圖係繪示依照本發明之一較佳實施例之晶片識別電路圖。請參照第 3 圖、第 4 圖和第 7 圖，第 7 圖中的晶片識別電路 221 是一個硬體接線式的電路，當儲存區域 235 沒有缺陷可以正常存放資料時，控制單元 229 會根據選擇電路 231 所送出的致能訊號 /2-NENB 狀態致能完整訊號端 WHOLE 和晶片控制端 DEVSEL，而晶片識別電路 221 就會由輸出端輸出識別訊號 ID 至感測電路 223，感測電路 223 就會被告知整個儲存區域 235 都可以被使用。相反地，若是只有正常子儲存區域 235a 可以存放資料時，控制單元 229 則根據致能訊號 /2-NENB 來致能晶片識別電路 221 的部分訊號端 HALF 和晶片控制端 DEVSEL，感測電路 223 就會被告知只有正常子儲存區域 235a 能被使用。

在以上的實施例可知，當儲存區域內出現不嚴重的缺陷時，我們仍舊可以切割出一塊正常的子儲存區域，來代替原來的儲存區域做資料的存放，因此不用浪費掉整個半導體記憶體，使得半導體記憶體製程的良率可以大幅增加。此外，本發是在製程後，檢查整塊晶圓內的半導體記憶體，若是檢查出儲存區域內有缺陷的，先將之標示起來然後在做切割。這樣做不但不用一開始將每一顆半導體記憶體內儲存區域做切割，以節省製造成本。並且因為已經將有缺陷的半導體記憶體標示起來，以方便下游封裝廠做

封裝時，可以立即得知此半導體記憶體實際的記憶容量大小。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 圖式簡單說明

第 1 圖係繪示習知的半導體記憶體內部架構方塊圖。

第 2A 圖係繪示在第 1 圖中的記憶體陣列之內部架構電路圖。

第 2B 圖係繪示記憶電晶體的結構示意圖。

第 3 圖係繪示依照本發明之一較佳實施例之半導體記憶體內部架構方塊圖。

第 4 圖係繪示依照本發明之一較佳實施例之選擇電路方塊圖。

第 5 圖係繪示依照本發明之一較佳實施例之第一輸入位址緩衝器電路圖。

第 6 圖係繪示依照本發明之一實施例之利用切割儲存區域以補償缺陷之半導體記憶體的方法流程圖。

第 7 圖係繪示依照本發明之一較佳實施例之晶片識別電路圖。

### 圖式標記說明

11：記憶電晶體

13、14、位元線

- 15：字元線
- 17：源極
- 19：汲極
- 21：浮動閘極
- 23：控制閘極
- 41：致能電路
- 43：區域選擇電路
- 45：反及閘
- 51：反或閘
- 53：第一反相器
- 60：第一傳輸閘模組
- 61：第二反相器
- 63：第一傳輸閘
- 70：第二傳輸閘模組
- 71：第二傳輸閘
- 111：輸入位址緩衝器
- 113：輸入訊號緩衝器
- 115、233：電源供應電路
- 117、217：位址解碼電路
- 119、229：控制單元
- 121、219：記憶體陣列
- 123、221：晶片識別電路
- 125、223：感測電路
- 127、225：資料讀取/寫入緩衝器

129：位址匯流排

131：資料匯流排

133、215：控制訊號匯流排

211：第一輸入位址緩衝器

213：第二輸入位址緩衝器

231：選擇電路

235：儲存區域

235a：正常子儲存區域

235b：子儲存區域

237：輸入位址匯流排

239：輸出位址匯流排

S610~S634：切割儲存區域以補償缺陷之半導體記憶體的方法流程

## 拾、申請專利範圍：

1.一種利用切割儲存區域以補償缺陷之半導體記憶體之裝置，適用於一半導體記憶體，該半導體記憶體包括一控制單元、一位址解碼電路和一感測電路，該裝置包括：

一記憶體陣列，具有由多數個記憶晶胞所組成之一儲存區域，係耦接該位址解碼電路 and 該感測電路來存放資料，若是該儲存區域內具有一缺陷時，則平分切割成多數個子儲存區域，且該些子儲存區域之一為沒有該缺陷之一正常子儲存區域，此時，該正常子儲存區域取代該儲存區域來存放資料；

一選擇電路，係耦接至該控制單元，該選擇電路係選擇該儲存區域和該正常子儲存區域之一來存放資料；以及

一第一輸入位址緩衝器，係耦接至該控制單元和該位址解碼電路，該第一輸入位址緩衝器具有一位址輸入埠和一位址輸出埠，該位址輸入埠用以接收一高位元位址訊號；

當該儲存區域內沒有該缺陷時，則該選擇電路輸出該選擇訊號，用以選擇該儲存區域來存放資料，並使得該控制單元控制該位址輸出埠輸出該高位元位址訊號至該位址解碼電路，

當該儲存區域內有缺陷而被切割成該些子儲存區域，且該些子儲存區域之一為沒有製程缺陷的該正常子儲存區域時，則該選擇電路輸出該選擇訊號，用以選擇該正常子儲存區域來存放資料，並使得該位址輸出埠輸出該選擇訊號至該位址解碼電路。

2.如申請專利範圍第 1 項所述之利用切割儲存區域以補償缺陷之半導體記憶體的裝置，更包括一晶片識別電路，係耦接該控制單元，該晶片識別電路具有一輸出端、一完整訊號端和一部份訊號端，該晶片識別電路係利用致能該完整訊號端和該部分訊號端其中至一，以在該輸出端輸出一辨識訊號來表示該半導體記憶體之記憶容量大小。

3.如申請專利範圍第 1 項所述之利用切割儲存區域以補償缺陷之半導體記憶體的裝置，該半導體記憶體的裝置更包括一第二輸入位址緩衝器，係耦接該位址解碼電路和該控制單元，該第二輸入位址緩衝器具有多數個位址輸入埠和多數個位址輸出埠，該些位址輸入埠係接收輸入該第一輸入位址緩衝器之該高位元位址訊號以外其餘的多數個位址訊號，並且將該些位址訊號送至該位址解碼電路。

4.如申請專利範圍第 3 項所述之利用切割儲存區域以補償缺陷之半導體記憶體的裝置，該選擇電路包括：

一一致能電路，具有一一致能訊號輸出端係送出一一致能訊號經由該控制電路送至該第一輸入位址緩衝器，以決定該第一輸入位址緩衝器輸出該高位元位址訊號和該選擇訊號其中之一；

一區域選擇電路，係耦接至該控制單元，當該儲存區域內有缺陷而被切割成該些子儲存區域，且該些子儲存區域之一為沒有製程缺陷的該正常子儲存區域時，則該區域選擇電路送出該選擇訊號經由該控制單元送至該第一輸入位址緩衝器，用以選擇該正常子儲存區域來存放資料；以

及

一反及閘，具有兩個輸入端和一輸出端，其中一輸入端係耦接至該致能電路以接收該致能訊號，另一端則接收一控制訊號，而該輸出端則輸出一第一緩衝器控制訊號經由該控制單元送至該第一輸入位址緩衝器。

5.如申請專利範圍第 4 項所述之利用切割儲存區域以補償缺陷之半導體記憶體的裝置，該第一輸入位址緩衝器包括：

一反或閘，具有兩個輸入端和一輸出端，其中一輸入端接收該第一緩衝器控制訊號，另一端則接收該高位元位址訊號；

一第一傳輸閘模組，具有一輸入端和一輸出端，該輸入端耦接至該反或閘之該輸出端，而該輸出端係耦接至該位址解碼電路；

一第二傳輸閘模組，具有一輸入端和一輸出端，該輸入端係接收該選擇訊號，而該輸出端則連接至該第一傳輸閘模組之該輸出端，並耦接至該位址解碼電路；以及

一第一反相器，具有一輸入端和一輸出端，該輸入端係接收該致能訊號，而輸出端則耦接至第一傳輸閘模組和第二傳輸閘模組。

6.如申請專利範圍第 5 項所述之利用切割儲存區域以補償缺陷之半導體記憶體的裝置，該第一傳輸閘模組包括：

一第二反相器，具有一輸入端和一輸出端，該輸入端耦接至該反或閘之該輸出端；以及

一第一傳輸閘，具有一輸入端、一輸出端、一 N 型金氧半導體端和一 P 型金氧半導體端，該輸入端係耦接至該第二反相器之該輸出端，該 N 型金氧半導體端係接收該致能訊號，該 P 型金氧半導體端則耦接至該第一反相器之該輸出端，而該輸出端則耦接至該位址解碼電路。

7.如申請專利範圍第 6 項所述之利用切割儲存區域以補償缺陷之半導體記憶體的裝置，該第二傳輸閘模組包括：

一第二傳輸閘，具有一輸入端、一輸出端、一 N 型金氧半導體端和一 P 型金氧半導體端，該輸入端係接收該選擇訊號，該 P 型金氧半導體端係接收該致能訊號，該 N 型金氧半導體端則耦接至該第一反相器之該輸出端，而該輸出端連接至該第一傳輸閘之該輸出端，並且耦接至該位址解碼電路。

8.如申請專利範圍第 4 項所述之利用切割儲存區域以補償缺陷之半導體記憶體的裝置，該選擇訊號為固定不變之一固定位址訊號。

9.如申請專利範圍第 1 項所述之利用切割儲存區域以補償缺陷之半導體記憶體的裝置，該些子儲存區域的數目為 2 的整數次方倍。

10.一種利用切割儲存區域以補償缺陷之半導體記憶體的方法，適用於一半導體記憶體，該半導體記憶體具有一儲存區域來存放一資料供外界存取，並且該半導體記憶體更具有多數個位址輸入埠用以輸入一位址訊號，依據該位址訊號來決定該資料在該儲存區域的位置，同時，該半導



體記憶體還具有一元件識別碼，用以表示該半導體記憶體之記憶容量的大小，該方法包括下列步驟：

判斷該半導體記憶體之該儲存區域內是否有缺陷；

當該半導體記憶體之該儲存區域內發現缺陷，則將該儲存區域平分切割成多數個子儲存區域，並且該些子儲存區域其中一個係為沒有缺陷的一正常子儲存區域；以及

至少修改該位址訊號之最高位元位址，以將該正常子儲存區域取代原來的該儲存區域來存放資料。

11.如申請專利範圍第 10 項所述之利用切割儲存區域以補償缺陷之半導體記憶體的方法，當該儲存區域被平分切割為兩個子儲存區域，並且其中一個子儲存區域為該正常子儲存區域時，其中將該正常子儲存區域取代原來的該儲存區域的方法包括下列步驟：

使原本該些位址輸入埠的一最高位元位址失能；

以一選擇訊號取代原本的該最高位元位址，用以選擇該正常子儲存區域。

12.如申請專利範圍第 11 項所述之利用切割儲存區域以補償缺陷之半導體記憶體的方法，其中將該正常子儲存區域取代原來的該儲存區域的方法同時更包括：

修改該半導體記憶體內的元件識別碼，用以表示該半導體記憶體被修改後的新記憶容量大小。