

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-62530

(P2004-62530A)

(43) 公開日 平成16年2月26日(2004.2.26)

(51) Int. Cl.⁷

G06F 13/16

G06F 12/00

F I

G06F 13/16 510A

G06F 12/00 550K

テーマコード(参考)

5B060

審査請求 未請求 請求項の数 15 O L (全 13 頁)

(21) 出願番号

特願2002-220048 (P2002-220048)

(22) 出願日

平成14年7月29日(2002.7.29)

(71) 出願人

500174247

エルピーダメモリ株式会社

東京都中央区八重洲2-2-1

(74) 代理人

100071272

弁理士 後藤 洋介

(74) 代理人

100077838

弁理士 池田 憲保

(72) 発明者

柴田 佳世子

東京都中央区八重洲二丁目2番1号 エル

ピーダメモリ株式会社内

(72) 発明者

西尾 洋二

東京都中央区八重洲二丁目2番1号 エル

ピーダメモリ株式会社内

最終頁に続く

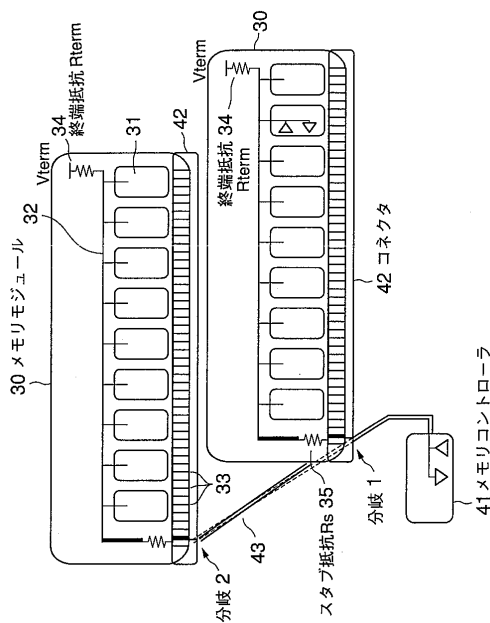
(54) 【発明の名称】 メモリモジュール及びメモリシステム

(57) 【要約】

【課題】 高速化に対応できる、伝送線路上の反射信号が発生しない、複数のメモリモジュールがスタブ接続されたメモリシステムを提供する。

【解決手段】 メモリモジュール30が装着されるコネクタ42を、メモリコントローラ41に接続されている伝送バスライン43にスタブ接続する。メモリモジュールには、伝送バスライン32とピン33との間にスタブ抵抗を接続する。スタブ抵抗の抵抗値 R_s 及び終端抵抗34の抵抗値 R_{term} は、伝送バスラインとメモリチップ31とからなるメモリチップ配置部の実効インピーダンスを $Z_{eff\ dimm}$ として、 $R_s = (n - 1) \times Z_{eff\ dimm} / n$ 、及び、 $R_{term} = Z_{eff\ dimm}$ 、とし、マザーボードの配線インピーダンス Z_{mb} を $Z_{mb} = (2n - 1) \times Z_{eff\ dimm} / n^2$ とする。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

メモリチップと、該メモリチップをマザーボード上のコネクタに接続するためのピンと、前記メモリチップと前記ピンとの間を接続するためのバスと、該バスの一端に接続された終端抵抗とを備えたメモリモジュールにおいて、前記バスの他端と前記ピンとの間にスタブ抵抗を接続したことを特徴とするメモリモジュール。

【請求項 2】

請求項 1 に記載のメモリモジュールにおいて、前記スタブ抵抗の抵抗値 R_s 及び前記終端抵抗の抵抗値 R_{term} を、前記バスと前記メモリチップとからなるメモリチップ配置部の実効インピーダンスを Z_{effdim} 、前記マザーボード上でスタブ接続されている前記コネクタの数を n として、 $R_s = (n - 1) \times Z_{effdim} / n$ 、及び、 $R_{term} = Z_{effdim}$ 、としたことを特徴とするメモリモジュール。

10

【請求項 3】

請求項 1 又は 2 に記載のメモリモジュールにおいて、前記メモリチップを複数有し、前記バスがこれら複数のメモリチップに共通に接続されていることを特徴とするメモリモジュール。

【請求項 4】

請求項 1 又は 2 に記載のメモリモジュールにおいて、前記メモリチップを複数有し、前記バスがこれら複数のメモリチップにそれぞれ対応するよう複数設けられていることを特徴とするメモリモジュール。

20

【請求項 5】

請求項 1 乃至 4 のいずれかに記載のメモリモジュールにおいて、前記バスが双方向バスであることを特徴とするメモリモジュール。

【請求項 6】

請求項 1 乃至 4 のいずれかに記載のメモリモジュールにおいて、前記バスが単方向バスであることを特徴とするメモリモジュール。

【請求項 7】

請求項 1 乃至 6 のいずれかに記載のメモリモジュールにおいて、前記終端抵抗が、前記メモリチップの内部に形成されていることを特徴とするメモリモジュール。

30

【請求項 8】

n 個のメモリモジュールをスタブ接続したメモリシステムであって、前記 n 個のメモリモジュールが、それぞれ、メモリチップと、該メモリチップをマザーボード上のコネクタに接続するためのピンと、前記メモリチップと前記ピンとの間を接続するためのバスと、該バスの一端に接続された終端抵抗とを備えたメモリシステムにおいて、前記 n 個のメモリモジュールの各々が、前記バスの他端と前記ピンとの間に接続されたスタブ抵抗を有していることを特徴とするメモリシステム。

【請求項 9】

請求項 8 に記載のメモリシステムにおいて、前記スタブ抵抗の抵抗値 R_s 及び前記終端抵抗の抵抗値 R_{term} を、前記バスと前記メモリチップとからなるメモリチップ配置部の実効インピーダンスを Z_{effdim} として、 $R_s = (n - 1) \times Z_{effdim} / n$ 、及び、 $R_{term} = Z_{effdim}$ 、とするとともに、前記マザーボードの配線インピーダンス Z_{mb} を、 $Z_{mb} = (2n - 1) \times Z_{effdim} / n^2$ 、としたことを特徴とするメモリシステム。

40

【請求項 10】

請求項 8 又は 9 に記載のメモリシステムにおいて、前記メモリモジュールの各々が、前記メモリチップを複数有しており、前記バスがこれら複数のメモリチップに共通に接続されていることを特徴とするメモリシステム。

【請求項 11】

請求項 8 又は 9 に記載のメモリシステムにおいて、前記メモリモジュールの各々が、前記

50

メモリチップを複数有しており、前記バスがこれら複数のメモリチップにそれぞれ対応するように複数設けられていることを特徴とするメモリシステム。

【請求項 1 2】

請求項 8 乃至 1 1 に記載のメモリシステムにおいて、前記バスが双方向バスであることを特徴とするメモリシステム。

【請求項 1 3】

請求項 8 乃至 1 1 に記載のメモリシステムにおいて、前記バスが単方向バスであることを特徴とするメモリシステム。

【請求項 1 4】

請求項 8 , 1 0 又は 1 1 に記載のメモリシステムにおいて、前記バスが単方向バスである場合に、前記マザーボードの配線インピーダンス Z_{mb} と、スタブ抵抗の抵抗値 R_s と、メモリチップ配置部の実効インピーダンス Z_{eff_dimm} との関係を、 $Z_{mb} = (R_s + Z_{eff_dimm}) / n$ 、としたことを特徴とするメモリシステム。 10

【請求項 1 5】

請求項 8 乃至 1 4 のいずれかに記載のメモリシステムにおいて、前記終端抵抗が、前記メモリチップの内部に形成されていることを特徴とするメモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリモジュール及びメモリシステムに関し、特に、複数のメモリモジュールがスタブ接続されるメモリシステムに関する。 20

【0002】

【従来の技術】

図 1 5 に従来のメモリモジュール 1 5 0 を示す。このメモリモジュールは、複数のメモリチップ 1 5 1 と、これらメモリチップ 1 5 1 に共通に接続される伝送バスライン 1 5 2 とを備えている。また、各メモリモジュールは、マザーボード（図示せず）上のコネクタに保持固定され、その端子に電氣的に接続される複数のピン 1 5 3 を有している。伝送バスライン 1 5 2 の一端は、ピン 1 5 3 のうちの 1 本に接続されている。また、伝送バスライン 1 5 2 の他端には、その一端が所定の電圧レベル V_{term} に接続されている終端抵抗（ R_{term} ） 1 5 4 の他端に接続されている。なお、このメモリモジュール 1 5 0 は、DIMM（Dual Inline Memory Module）である。 30

【0003】

図 1 5 のメモリモジュール 1 5 0 を複数用いた従来のメモリシステムは、図 1 6 に示すように構成される。即ち、従来のメモリシステムは、図示しないマザーボード上に搭載されたメモリコントローラ 1 6 1 と、これにそれぞれ伝送バスライン 1 6 2 によって接続された複数（ここでは 2 個）のコネクタ 1 6 3 と、このコネクタ 1 6 3 にそれぞれ装着されたメモリモジュール 1 5 0 とを有している。

【0004】

なお、このようなメモリシステムは、例えば、特開 2 0 0 2 - 2 3 9 0 1 号公報に記載されている。 40

【0005】

【発明が解決しようとする課題】

従来のメモリシステムでは、メモリーコントローラとメモリモジュールが装着されるコネクタとの間を接続するために、コネクタの数に応じた数の伝送バスラインがマザーボード上に必要である。このため、従来のメモリシステムは、マザーボード上の配線数が多い（或いは総配線距離が長い）という問題点がある。そして、この問題は、より多くのメモリモジュールを接続できるメモリシステム（多スロットシステム）を構築しようとするときに、特に問題となる。

【0006】

RIMM（Rambus Inline Memory Module）と呼ばれるメモ 50

リモジュールを用いるメモリシステムの場合は、全メモリモジュールがメモリ伝送バスラインによって分岐なく接続されるため、上記のような問題は発生しない。しかしながら、この場合には、伝送バス幅が狭い等の別の問題点がある。

【0007】

マザーボード上の配線数が少なくすみ、また伝送バス幅を広くできるメモリシステムとして、複数のメモリモジュールをスタブ接続することが考えられる。しかしながら、多数の分岐点を有するスタブ接続では、伝送線路上に反射信号が生じ易く、その動作が高速になればなるほどそれらの反射信号の存在を無視できなくなるという問題点がある。即ち、複数のメモリモジュールを単純にスタブ接続したのでは、動作速度に限界があるという問題点がある。

【0008】

そこで、本発明は、伝送線路上の反射信号を抑え、高速化に対応できる、複数のメモリモジュールがスタブ接続されたメモリシステムを提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明によれば、メモリチップと、該メモリチップをマザーボード上のコネクタに接続するためのピンと、前記メモリチップと前記ピンとの間を接続するためのバスと、該バスの一端に接続された終端抵抗とを備えたメモリモジュールにおいて、前記バスの他端と前記ピンとの間にスタブ抵抗を接続したことを特徴とするメモリモジュールが得られる。

【0010】

このメモリモジュールでは、前記スタブ抵抗の抵抗値 R_s 及び前記終端抵抗の抵抗値 R_{term} を、前記バスと前記メモリチップとからなるメモリチップ配置部の実効インピーダンスを Z_{effdim} 、前記マザーボード上でスタブ接続されている前記コネクタの数を n として、 $R_s = (n - 1) \times Z_{effdim} / n$ 、及び、 $R_{term} = Z_{effdim}$ 、とする。

【0011】

また、本発明によれば、 n 個のメモリモジュールをスタブ接続したメモリシステムであって、前記 n 個のメモリモジュールが、それぞれ、メモリチップと、該メモリチップをマザーボード上のコネクタに接続するためのピンと、前記メモリチップと前記ピンとの間を接続するためのバスと、該バスの一端に接続された終端抵抗とを備えたメモリシステムにおいて、前記 n 個のメモリモジュールの各々が、前記バスの他端と前記ピンとの間に接続されたスタブ抵抗を有していることを特徴とするメモリシステムが得られる。

【0012】

このメモリシステムでは、前記スタブ抵抗の抵抗値 R_s 及び前記終端抵抗の抵抗値 R_{term} を、前記バスと前記メモリチップとからなるメモリチップ配置部の実効インピーダンスを Z_{effdim} として、 $R_s = (n - 1) \times Z_{effdim} / n$ 、及び、 $R_{term} = Z_{effdim}$ 、とするとともに、前記マザーボードの配線インピーダンス Z_{mb} を、 $Z_{mb} = (2n - 1) \times Z_{effdim} / n^2$ 、とする。

【0013】

【発明の実施の形態】

以下、図面を参照して、本発明の実施の形態について詳細に説明する。

【0014】

まず、本発明の理解を容易にするため、図1に示すスター結線における信号反射の防止方法について説明する。

【0015】

図1のスター結線は、配線インピーダンス Z_0 の伝送線4本を、それぞれの伝送線に接続される抵抗値 R_s のスタブ抵抗を介して1点で互いに接続したものである。このスター結線において、ある一本の伝送線に着目すると、残りの伝送線は、着目した伝送線から分岐した伝送線であるとみなせる。つまり、図1のスター結線は、分岐数 $n = 3$ の伝送線路である。

10

20

30

40

50

【0016】

このようなスター結線において、A点で反射が生じない条件は、

【数1】

$$Z_0 = R_s + (R_s + Z_0) / 3 \quad \dots (1)$$

である。これを一般式で表すと、

【数2】

$$Z_0 = R_s + (R_s + Z_0) / n \quad \dots (2)$$

となる。そして、この(2)式からスタブ抵抗の値 R_s を求めると、

【数3】

$$R_s = (n - 1) \times Z_0 / (n + 1) \quad \dots (3)$$

となる。なお、図1の場合は、 $n = 3$ なので、 $R_s = Z_0 / 2$ 、である。

【0017】

図1のスター結線では、全ての伝送線の配線インピーダンスが Z_0 で互いに等しく、また、全てのスタブ抵抗の抵抗値が R_s で互いに等しいので、上記のようにして求めた抵抗値 R_s を採用することにより、どの方向からの信号も分岐点において反射を生じることはない。つまり、以上のようにして求めた抵抗値 R_s を持つスタブ抵抗を使用することにより、信号反射が生じない、分岐数 n の伝送線路を実現することができる。

【0018】

なお、分岐数 $n = 2$ の場合については、上記のようにしてスタブ抵抗 R_s を定めることが、例えば、特開2001-84070号公報に記載されている。(ただし、この公報には、分岐数 $n = 2$ の場合しか記載されておらず、その技術は分岐数 n が3以上の場合には適用できない。また、この公報に記載の技術は、液晶表示パネルに使用されるもので、終端抵抗が設けられておらず、配線の端部で反射が生じることを前提としており、メモリシステムへの適用を示唆するものではない。特に、高速動作が要求されるメモリシステムへの適用は到底考えられない。また、この公報記載の技術は、一の配線の特性インピーダンスを固定し、それに応じた他の2つの配線の特性インピーダンスや、抵抗素子の抵抗値を定めるといもので、メモリシステムに適用できるものではない。)

さて、上述したスター結線における信号反射を防止する技術を、複数のメモリモジュールがスタブ接続されるメモリシステムに導入(例えば、I/Oバスラインに適用)することを考える。この場合、マザーボード上には、スタブ抵抗 R_s (図1の R_1) を形成したくない。これは、ユーザが要求するメモリモジュールの数(即ち、分岐数 n) は様々で、その要求に答えるには、スタブ抵抗 R_s の抵抗値を分岐数 n に応じて変更できるようにする必要があるが、マザーボードの改造は通常その製造元によって禁止されており、マザーボード上のスタブ抵抗の抵抗値を変更することができないからである。また、マザーボード上の抵抗素子数(部品点数)の増加を防ぐとともに、信号振幅の減衰を抑えるためでもある。従って、マザーボード上にスタブ抵抗を形成することなく、上記メモリシステムにおいて信号の反射を防止するためには、図2に示すようなスター結線で信号反射が発生しないようにすればよい。即ち、図2のスター結線において、マザーボードの配線インピーダンスを Z_{mb} 、メモリーモジュールの配線インピーダンスを Z_{dim} 、スタブ抵抗を R_s とし、A点及びB点の双方において反射が生じない条件を求めればよい。

【0019】

図2のスター結線において、分岐数を n とすると、A点で反射が生じない条件は、

【数4】

$$Z_{mb} = (R_s + Z_{dim}) / n \quad \dots (4)$$

である。また、B点で反射が生じない条件は、

【数5】

$$Z_{dim} = R_s + \{ Z_{mb} \times (R_s + Z_{dim}) \} / \{ (R_s + Z_{dim}) + Z_{mb} \times (n - 1) \} \quad \dots (5)$$

である。

【0020】

10

20

30

40

50

(4) 式を(5)式に代入して、 Z_{mb} を消去すると、

【数6】

$$R_s = (n - 1) \times Z_{dim m} / n \quad \dots (6)$$

となる。また、(6)式を(4)式に代入して R_s を消去すると、

【数7】

$$Z_{mb} = (2n - 1) \times Z_{dim m} / n^2 \quad \dots (7)$$

となる。

【0021】

従って、(6)式を使って、メモリモジュールの配線インピーダンス $Z_{dim m}$ に基づいてスタブ抵抗 R_s を決定し、(7)式を使って、マザーボードの配線インピーダンス Z_{mb} を決定することにより、図2のようにスター結線されたマザーボードとメモリモジュールとの間で信号反射の無い双方向伝送を実現できる。なお、上記条件を満たすスター結線は、コマンドアドレスバスのような単方向バスにも適用可能であるが、単方向バスとして使用する場合には、(5)式の条件を満たす必要は無く、 Z_{mb} 、 R_s 及び $Z_{dim m}$ が、(4)式の条件を満たす関係にあればよい。

【0022】

次に、図3乃至図5を参照して、本発明の一実施の形態に係るメモリモジュール及びそれを用いたメモリシステムについて説明する。

【0023】

図3に、本発明の一実施の形態に係るメモリモジュールを示す。図3のメモリモジュール30は、9個のメモリチップ31と、これらのメモリチップ31に共通に接続される伝送バスライン32と、マザーボード(図示せず)に搭載されたコネクタ(図4参照)のソケットに挿入保持され、そのコネクタの端子に電気的に接続される複数のピン33と、伝送バスライン32の一端に接続された終端抵抗(R_{term})34と、伝送バスライン32の他端とピン33のうち1本との間に接続されたスタブ抵抗(R_s)35とを有している。なお、終端抵抗(R_{term})34は、所定の終端電圧レベル V_{term} に接続されるよう構成されている。

【0024】

図4及び図5に、図3のメモリモジュール30が2個スタブ接続されたメモリシステム及び3個スタブ接続されたメモリシステムをそれぞれ示す。

【0025】

図4のメモリシステムは、図示しないマザーボード上に搭載されたメモリコントローラ41と、2個のコネクタ42と、メモリコントローラ41にコネクタ42をスタブ接続するための伝送バスライン43とを有している。同様に、図5のメモリシステムは、図示しないマザーボード上に搭載されたメモリコントローラ51と、3個のコネクタ52と、メモリコントローラ51にコネクタ52をスタブ接続する伝送バスライン53とを有している。なお、これらのメモリシステムは、メモリモジュール30上の伝送バスライン32及びマザーボード上の伝送バスライン43又は53がIOバスライン(双方向バス)として構成されているものとする。この場合、メモリコントローラ41及各メモリチップ31には、それぞれ、IOバスラインに接続されるドライバとレシーバ(図4及び図5には、メモリコントローラ41及び1個のメモリチップについて、それぞれ及びで示す。)とを備えている。

【0026】

図3のメモリモジュール30において、伝送バスライン32の配線インピーダンスを $Z_0 (= L/C)$ []、メモリチップ31同士の間隔を X [m]、及びメモリチップ31の入力容量を C_{in} [F]とすると、伝送バスライン32とメモリチップ31とで構成されるメモリチップ配置部の実効インピーダンス $Z_{eff dim m}$ (図2における $Z_{dim m}$ に相当)は、

【数8】

$$Z_{eff dim m} = L / \{ C + C_{in} / X \}$$

10

20

30

40

50

で表される。例えば、 $Z_0 = 60$ [] ($L = 3.6 \times 10^{-7}$ [H/m], $C = 1.0 \times 10^{-10}$ [F/m]), $X = 12 \times 10^{-3}$ [m], 及び $C_{in} = 1.6 \times 10^{-12}$ [F] のときは、 $Z_{effdim} = 39.3$ [] である。

【0027】

また、 $Z_0 = 60$ [] ($L = 3.6 \times 10^{-7}$ [H/m], $C = 1.0 \times 10^{-10}$ [F/m]), $X = 13 \times 10^{-3}$ [m], 及び $C_{in} = 1.2 \times 10^{-12}$ [F] のときは、 $Z_{effdim} = 43.3$ [] である。

【0028】

各メモリモジュール30の終端抵抗34の抵抗値 R_{term} は、メモリチップ配置部の実効インピーダンス Z_{effdim} に一致するように設定される。また、スタブ抵抗35の抵抗値 R_s は、(6)式と同様の式、即ち、

【数9】

$$R_s = \{ (n - 1) / n \} \times Z_{effdim}$$

により求められる。例えば、図4においては、 $n = 2$ であり、 $Z_{effdim} = 39.3$ [] と仮定した場合、

【数10】

$$R_s = \{ (n - 1) / n \} \times Z_{effdim}$$

$$= (1 / 2) \times 39.3$$

$$= 19.7$$
 []

となる。また、このときのマザーボード上の配線インピーダンス Z_{mb} は、(7)式より

【数11】

$$Z_{mb} = (2n - 1) Z_{effdim} / n^2$$

$$= 3 \times 39.3 / 4$$

$$= 29.5$$
 []

となる。これらを、簡単に模式図で表すと図6のようになる。

【0029】

また、図5においては、 $n = 3$ であり、 $Z_{effdim} = 43.3$ [] と仮定した場合、スタブ抵抗35の抵抗値 R_s 及びマザーボードの配線インピーダンス Z_{mb} は、それぞれ、 $R_s = 28.9$ []、 $Z_{mb} = 24.1$ [] となる。これらを簡単に模式図で表すと、図7のようになる。

【0030】

図4や図5に示すメモリシステムは、分岐点で信号の反射が発生せず、また、終端部での反射も無いので、既存のDDR-I (動作周波数133MHz) やDDR-II (動作周波数266MHz) に比べ、より高速(300MHz以上)の動作を安定して行うことができる。

【0031】

また、これらのメモリシステムは、マザーボード上にスタブ抵抗を必要としないので、部品点数が少なくすみ、マザーボード上の配線トレースに余裕ができる上、信号振幅の減衰を抑えることもできる。さらに、マザーボード上の配線を増加することなく多スロットシステムを構成することができる。

【0032】

なお、上記実施の形態では、双方向バスであるIOバスへの本発明の適用について説明したが、本発明は、図8及び図9に示すように、コマンドアドレスバスのような単方向アドレスバスへの適用も可能である。この場合、マザーボードの配線インピーダンス Z_{mb} 、スタブ抵抗値 R_s 及びメモリチップ配置部の実効インピーダンス Z_{effdim} は、(6)式及び(7)式の条件から求めてもよいし、(4)式の条件のみを満たすようにしてもよい。例えば、図8において、 $Z_{effdim} = 39.3$ []、 $Z_{mb} = 30$ [] と仮定した場合、

$$Z_{mb} = (R_s + Z_{effdim}) / n$$

より、

$$\begin{aligned} R_s &= n \times Z_{mb} - Z_{effdim} \\ &= 2 \times 30 - 39.3 \\ &= 20.7 \text{ []} \end{aligned}$$

となり、図9において、 $Z_{effdim} = 43.3 \text{ []}$ 、 $Z_{mb} = 30 \text{ []}$ と仮定した場合、

$$Z_{mb} = (R_s + Z_{effdim}) / n$$

より、

$$\begin{aligned} R_s &= 3 \times 30 - 43.3 \\ &= 46.7 \text{ []} \end{aligned}$$

となる。

【0033】

また、上記実施の形態では、終端抵抗34はメモリチップ31から独立してメモリモジュール上に形成されているが、図10に示すように、メモリチップ31内に形成することも可能である。これは、オン・ダイ・ターミネーション(On Die Termination)と呼ばれる公知の技術である。

【0034】

次に、本発明の他の実施の形態に係るメモリモジュール及びメモリシステムについて、図11乃至図13を参照して説明する。

【0035】

図11に示されたメモリモジュール110は、9個のメモリチップ111と、これらメモリチップ111に各々接続されたIOバスライン112と、各メモリチップ111の内部に形成され、IOバスライン112の一端に接続された終端抵抗113と、IOバスライン112の他端にそれぞれ接続されたスタブ抵抗114と、スタブ抵抗114に接続されたピン115とを有している。

【0036】

図12に、図11のメモリモジュールを3個有するメモリシステムを、図13に、図11のメモリモジュールを4個有するメモリシステムを示す。

【0037】

図12のメモリシステムは、図示しないマザーボード上に搭載されるメモリコントローラ121と、3つのコネクタ122と、これらを接続する複数のIOバスライン123とを有している。IOバスライン123は、メモリモジュール110のメモリチップ111に1対1で対応するように用意されている。そして、IOバスライン123の各々は、全てのメモリモジュール110のメモリチップ111を1個ずつ互いに接続するよう、3つのコネクタ122に接続されている。つまり、本実施の形態では、メモリモジュール110ではなくメモリチップがスタブ接続されている。

【0038】

本実施の形態においても、終端抵抗113及びスタブ抵抗114の抵抗値を、それぞれ、前述の(6)式及び(7)式により定めることで、信号反射のない双方向伝送を実現できる。ただし、本実施の形態における実効インピーダンス Z_{effdim} は、各メモリチップ111とそれに接続されるIOバスライン112とによって定まる。

【0039】

図13のメモリシステムは、図12のメモリシステムと同様のメモリシステムであって、メモリモジュール110の数を4個にしたものである。メモリモジュールの数(分岐数n)を4にしたので、各メモリモジュール110のスタブ抵抗 R_s の抵抗値は、図12のメモリシステムのものとは異なる値となっている。それ以外は、図12のメモリシステムと同じである。

【0040】

なお、上述したいずれの実施の形態においても、終端抵抗34又は113が、所定の電圧レベル V_{term} に接続される場合について説明したが、図14に示すように、2個の抵

10

20

30

40

50

抗を用いて電源電圧VDDを分圧し、所定の電圧レベルを得るようにしてもよい。

【0041】

【発明の効果】

本発明によれば、メモリモジュールの伝送バスラインとピンとの間にスタブ抵抗を接続するようにしたことで、信号反射のない、安定した高速動作が可能な、スタブ接続メモリシステムを実現することができ、多スロットシステムを効率よく構築することができる。

【0042】

また、本発明によれば、上述の多スロットシステムを構築する際に、マザーボード上の部品点数の増加や、配線数の増加がないため、マザーボード上の配線トレースを余裕を持って行うことができる。

10

【図面の簡単な説明】

【図1】スター結線について説明するための模式図である。

【図2】本発明に適用されるスター結線について説明するための模式図である。

【図3】本発明の一実施の形態に係るメモリモジュールの概略図である。

【図4】図3のメモリモジュールを2個スタブ接続したメモリシステムの構成図である。

【図5】図3のメモリモジュールを3個スタブ接続したメモリシステムの構成図である。

【図6】図4のメモリシステムの接続関係を示す模式図である。

【図7】図5のメモリシステムの接続関係を示す模式図である。

【図8】図4のメモリシステムの変形例を示す図である。

【図9】図5のメモリシステムの変形例を示す図である。

20

【図10】図3のメモリモジュールの変形例を示す図である。

【図11】本発明の他の実施の形態に係るメモリモジュールの概略図である。

【図12】図11のメモリモジュールを3個用いたメモリシステムの構成図である。

【図13】図11のメモリモジュールを4個用いたメモリシステムの構成図である。

【図14】図11のメモリモジュールにおける終端方法の他の例を示す図である。

【図15】従来のメモリモジュールの概略図である。

【図16】従来のメモリモジュールを2個用いたメモリシステムの構成図である。

【符号の説明】

30 メモリモジュール

31 メモリチップ

32 伝送バスライン

33 ピン

34 終端抵抗

35 スタブ抵抗

41 メモリコントローラ

42 コネクタ

43 伝送バスライン

51 メモリコントローラ

52 コネクタ

53 伝送バスライン

110 メモリモジュール

111 メモリチップ

112 I/Oバスライン

113 終端抵抗

114 スタブ抵抗

115 ピン

121 メモリコントローラ

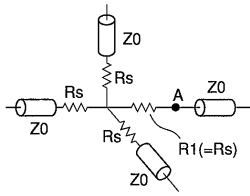
122 コネクタ

123 I/Oバスライン

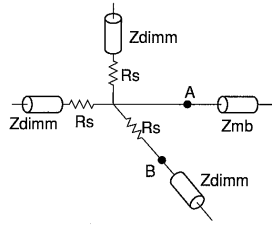
30

40

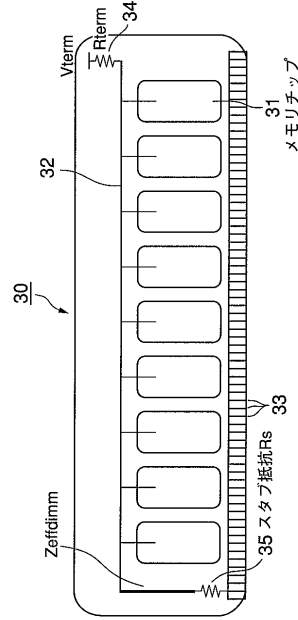
【 図 1 】



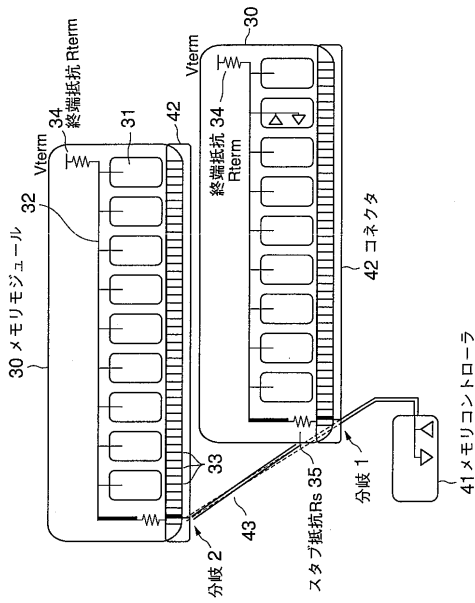
【 図 2 】



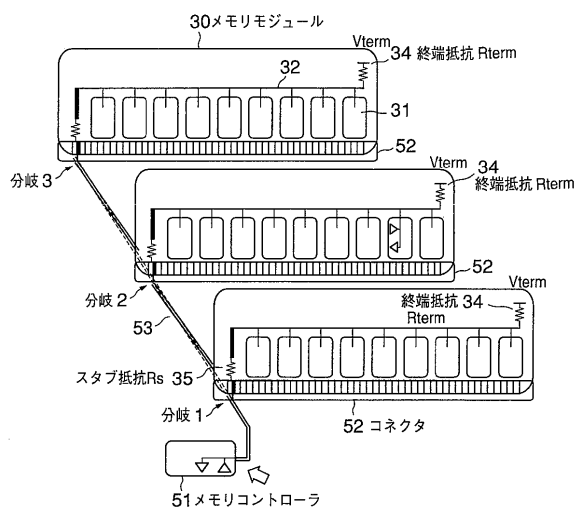
【 図 3 】



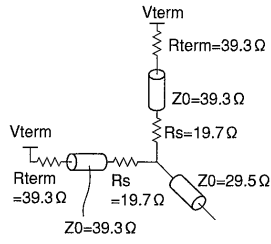
【 図 4 】



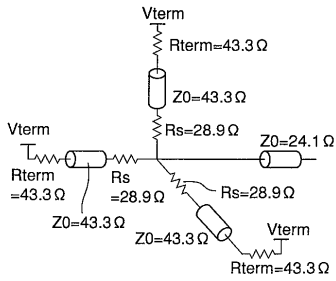
【 図 5 】



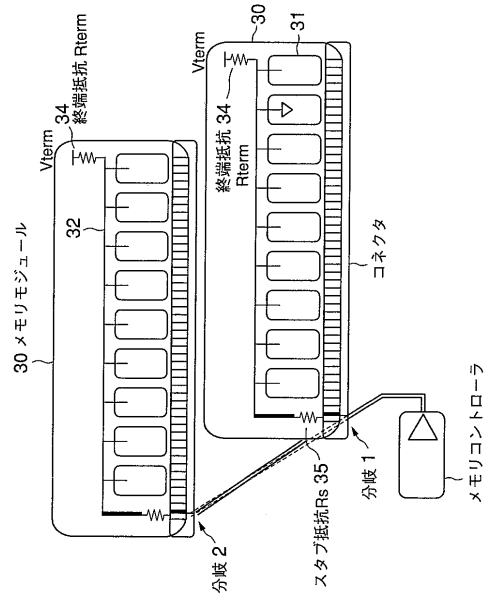
【 図 6 】



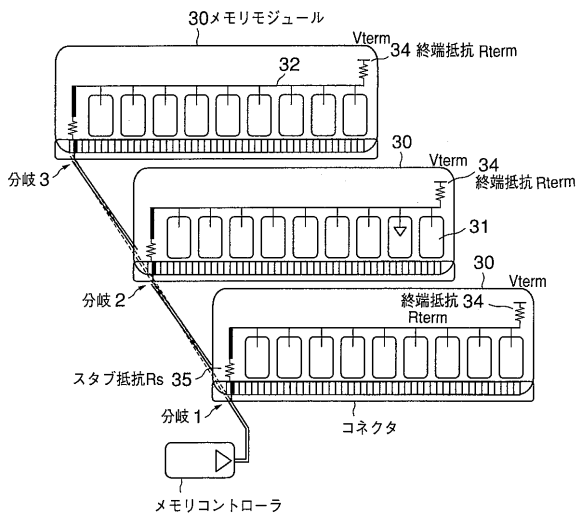
【 図 7 】



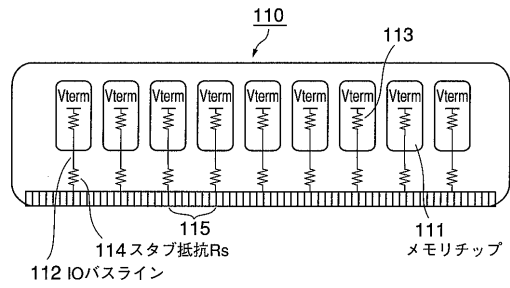
【 図 8 】



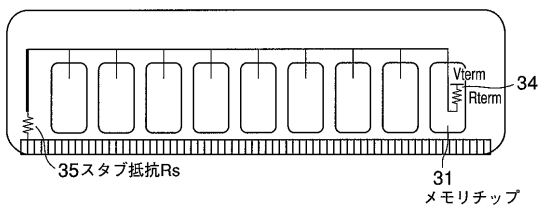
【 図 9 】



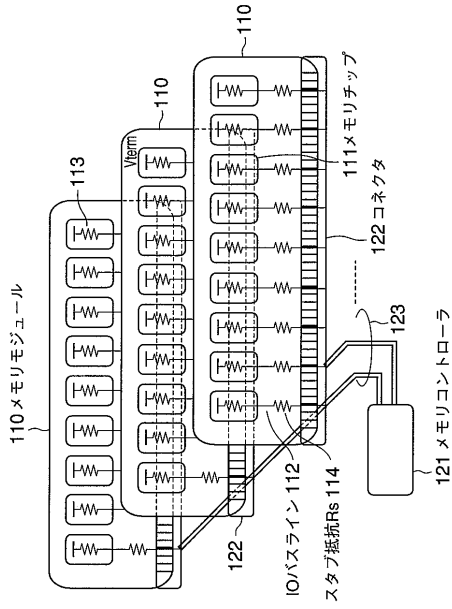
【 図 11 】



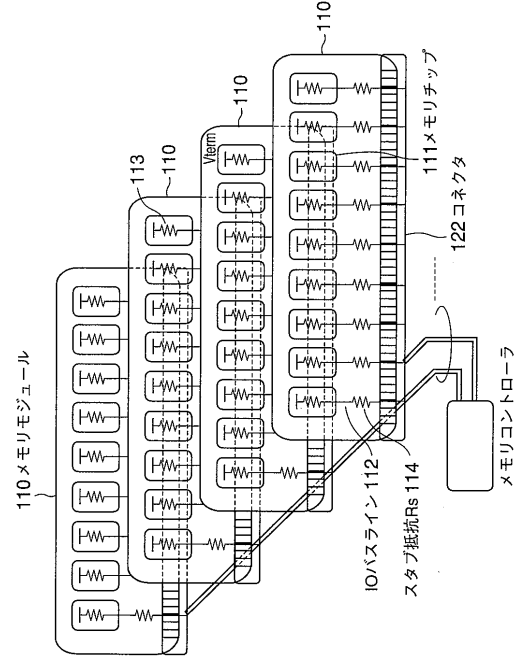
【 図 10 】



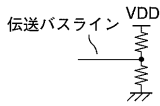
【図 1 2】



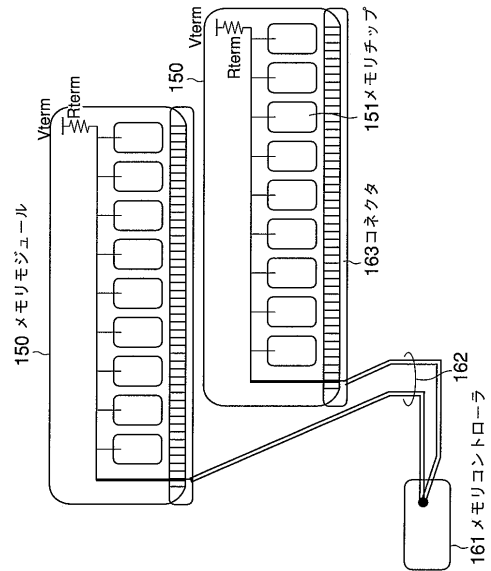
【図 1 3】



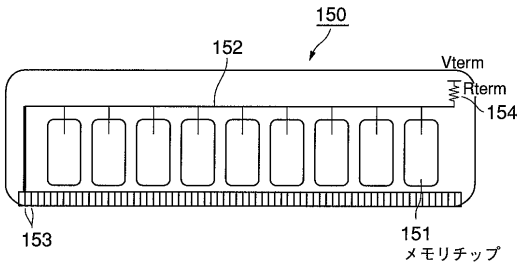
【図 1 4】



【図 1 6】



【図 1 5】



フロントページの続き

(72)発明者 船場 誠司

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

Fターム(参考) 5B060 MM06