

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6366285号
(P6366285)

(45) 発行日 平成30年8月1日(2018.8.1)

(24) 登録日 平成30年7月13日(2018.7.13)

(51) Int. Cl.		F I		
HO 1 L 27/146 (2006.01)		HO 1 L 27/146		A
HO 4 N 5/369 (2011.01)		HO 4 N 5/369		
HO 4 N 5/365 (2011.01)		HO 4 N 5/365		

請求項の数 16 (全 22 頁)

(21) 出願番号	特願2014-16021 (P2014-16021)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成26年1月30日(2014.1.30)	(74) 代理人	100126240 弁理士 阿部 琢磨
(65) 公開番号	特開2015-142114 (P2015-142114A)	(74) 代理人	100124442 弁理士 黒岩 創吾
(43) 公開日	平成27年8月3日(2015.8.3)	(72) 発明者	乾 文洋 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
審査請求日	平成29年1月27日(2017.1.27)	審査官	安田 雅彦

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

光電変換部と、増幅トランジスタと、前記光電変換部の信号を前記増幅トランジスタの入力ノードに転送する転送トランジスタと、前記入力ノードに対し、接続状態、非接続状態のいずれかを切り替え可能な付加容量と、前記入力ノードの電位を所定の電位とするリセットトランジスタとを各々が有する複数の画素を有する固体撮像装置であって、

前記複数の画素の各々は、活性領域内に第1の方向に沿って順に配され、互いに同じ導電型である、第3半導体領域、第1半導体領域、第2半導体領域、第4半導体領域を有し、

前記複数の画素の各々はさらに、前記第3半導体領域と前記第1半導体領域との間に配された第1導電パターンと、前記第1半導体領域と前記第2半導体領域との間に配された第2導電パターンと、前記第2半導体領域と前記第4半導体領域との間に配された第3導電パターンとを有し、前記第1導電パターン、前記第2導電パターン、前記第3導電パターンは互いに電氣的に分離されており、

前記転送トランジスタは、前記第1半導体領域、前記第3半導体領域、前記第1導電パターンを有し、

前記付加容量は、前記第1半導体領域、前記第2半導体領域、前記第2導電パターンを有し、

前記リセットトランジスタは、前記第2半導体領域、前記第4半導体領域、前記第3導電パターンを有し、

10

20

前記第1導電パターンは前記第1の方向と交差する第2の方向に沿って延在し、
 前記第3導電パターンは前記第1の方向と交差する第3の方向に沿って延在し、
 前記付加容量は、前記第1導電パターンと前記第3導電パターンとによって挟まれる領域の内部にのみ配されていることを特徴とする固体撮像装置。

【請求項2】

前記増幅トランジスタのソース領域およびドレイン領域は、前記活性領域との間に素子分離部を介して配された別の活性領域に配置されていることを特徴とする請求項1に記載の固体撮像装置。

【請求項3】

前記増幅トランジスタは、複数の前記光電変換部で共有されていることを特徴とする請求項1または2のいずれかに記載の固体撮像装置。

10

【請求項4】

前記増幅トランジスタを共有する複数の光電変換部のそれぞれに対応して複数の前記転送トランジスタの各々が配され、

各々が、前記複数の転送トランジスタの各々のゲートである複数の第1導電パターンは、互いに電氣的に分離されていることを特徴とする請求項3に記載の固体撮像装置。

【請求項5】

前記複数の光電変換部で共有された前記増幅トランジスタの入力ノードの電位を所定の電位にするリセットトランジスタは、間に素子分離部を介して配された複数のチャンネルを有することを特徴とする請求項3または4のいずれかに記載の固体撮像装置。

20

【請求項6】

前記複数のチャンネル上には、前記素子分離部を介して、各々が電氣的に分離された複数の前記第3導電パターンが配されていることを特徴とする請求項5に記載の固体撮像装置。

【請求項7】

前記増幅トランジスタを共有する前記複数の光電変換部の各々にそれぞれが対応して配される複数の前記付加容量を有し、当該複数の付加容量の第2導電パターンは、各々が電氣的に分離されていることを特徴とする請求項3～6のいずれか1項に記載の固体撮像装置。

【請求項8】

30

前記増幅トランジスタを共有する前記複数の光電変換部の各々にそれぞれが対応して配される複数の前記付加容量を有し、当該複数の付加容量の第2導電パターンは、一の導電パターンにより構成されていることを特徴とする請求項3～6のいずれか1項に記載の固体撮像装置。

【請求項9】

複数の前記転送トランジスタと、複数の前記第2導電パターンとを有し、
前記複数の第2導電パターンのうちの一の第2導電パターンは、前記複数の転送トランジスタの1つに対応して設けられ、

前記複数の第2導電パターンのうちの別の一の第2導電パターンは、前記複数の転送トランジスタの別の1つに対応して設けられ、

40

前記第3導電パターンの下部の活性領域の、前記リセットトランジスタのチャンネル幅方向に平行な方向の長さを W_3 、前記一の第2導電パターンの下部の活性領域の、前記第1半導体領域から前記第2半導体領域に向かう方向と交差する方向の長さを W_1 、前記別の一の前記第2導電パターンの下部の活性領域の、前記第1半導体領域から前記第2半導体領域に向かう方向と交差する方向の長さを W_2 とした時、

$$0.9 \times (W_1 + W_2) \leq W_3$$

となることを特徴とする請求項1に記載の固体撮像装置。

【請求項10】

更に、 $0.9 \times (W_1 + W_2) \leq W_3 \leq 1.1 \times (W_1 + W_2)$ であることを特徴とする請求項9に記載の固体撮像装置。

50

【請求項 1 1】

前記第 2 の方向と前記第 3 の方向が同じ方向であることを特徴とする請求項 1 ~ 1 0 のいずれか 1 項に記載の固体撮像装置。

【請求項 1 2】

前記第 2 導電パターンが、前記第 2 の方向に沿って延在していることを特徴とする請求項 1 ~ 1 1 のいずれか 1 項に記載の固体撮像装置。

【請求項 1 3】

光電変換部と、増幅トランジスタと、前記光電変換部の信号を前記増幅トランジスタの入力ノードに転送する転送トランジスタと、前記入力ノードに対し、接続状態、非接続状態のいずれかを切り替え可能な付加容量と、前記入力ノードの電位を所定の電位とするリセットトランジスタとを各々が有する複数の画素を有する固体撮像装置であって、

10

前記複数の画素の各々は、活性領域内に第 1 の方向に沿って順に配され、互いに同じ導電型である、第 3 半導体領域、第 1 半導体領域、第 2 半導体領域、第 4 半導体領域を有し、

前記複数の画素の各々はさらに、前記第 3 半導体領域と前記第 1 半導体領域との間に配された第 1 導電パターンと、前記第 1 半導体領域と前記第 2 半導体領域との間に配された第 2 導電パターンと、前記第 2 半導体領域と前記第 4 半導体領域との間に配された第 3 導電パターンとを有し、前記第 1 導電パターン、前記第 2 導電パターン、前記第 3 導電パターンは互いに電氣的に分離されており、

前記転送トランジスタは、前記第 1 半導体領域、前記第 3 半導体領域、前記第 1 導電パターンを有し、

20

前記付加容量は、前記第 1 半導体領域、前記第 2 半導体領域、前記第 2 導電パターンを有し、

前記リセットトランジスタは、前記第 2 半導体領域、前記第 4 半導体領域、前記第 3 導電パターンを有し、

前記増幅トランジスタは、複数の前記光電変換部で共有され、

前記複数の光電変換部で共有された前記増幅トランジスタの入力ノードの電位を所定の電位とするリセットトランジスタは、間に素子分離部を介して配された複数のチャンネルを有することを特徴とする固体撮像装置。

【請求項 1 4】

30

前記複数のチャンネル上には、前記素子分離部を介して、各々が電氣的に分離された複数の前記第 3 導電パターンが配されていることを特徴とする請求項 1 3 に記載の固体撮像装置。

【請求項 1 5】

光電変換部と、増幅トランジスタと、前記光電変換部の信号を前記増幅トランジスタの入力ノードに転送する転送トランジスタと、前記入力ノードに対し、接続状態、非接続状態のいずれかを切り替え可能な付加容量と、前記入力ノードの電位を所定の電位とするリセットトランジスタとを各々が有する複数の画素を有する固体撮像装置であって、

前記複数の画素の各々は、活性領域内に第 1 の方向に沿って順に配され、互いに同じ導電型である、第 3 半導体領域、第 1 半導体領域、第 2 半導体領域、第 4 半導体領域を有し、

40

前記複数の画素の各々はさらに、前記第 3 半導体領域と前記第 1 半導体領域との間に配された第 1 導電パターンと、前記第 1 半導体領域と前記第 2 半導体領域との間に配された第 2 導電パターンと、前記第 2 半導体領域と前記第 4 半導体領域との間に配された第 3 導電パターンとを有し、前記第 1 導電パターン、前記第 2 導電パターン、前記第 3 導電パターンは互いに電氣的に分離されており、

前記転送トランジスタは、前記第 1 半導体領域、前記第 3 半導体領域、前記第 1 導電パターンを有し、

前記付加容量は、前記第 1 半導体領域、前記第 2 半導体領域、前記第 2 導電パターンを有し、

50

前記リセットトランジスタは、前記第 2 半導体領域、前記第 4 半導体領域、前記第 3 導電パターンを有し、

前記増幅トランジスタは、複数の前記光電変換部で共有され、

前記増幅トランジスタを共有する前記複数の光電変換部の各々にそれぞれが対応して配される複数の前記付加容量を有し、当該複数の付加容量の第 2 導電パターンは、各々が電氣的に分離されていることを特徴とする固体撮像装置。

【請求項 16】

請求項 1 ~ 15 に記載の固体撮像装置と、

前記固体撮像装置の前記付加容量の接続状態、非接続状態とを切り替える制御部と、
を有する撮像システム。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は固体撮像装置に関する。

【背景技術】

【0002】

従来技術としてダイナミックレンジを拡大するためにフローティングディフュージョン（以下、FD）に付加容量を接続する構成が知られている。

【0003】

特許文献 1 は、高感度画素が高照度領域において、他の画素より低照度で飽和し、ダイナミックレンジが制限されることに対し、容量結合トランジスタと付加容量を挿入している。これにより、容量の分割を可能にし、容量値を調整することで高照度側のダイナミックレンジの拡大を図っている。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2010 - 3995 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 1 では、FD と容量結合トランジスタを構成する半導体領域とが同一活性領域に配されている。そしてリセットトランジスタは別の活性領域に配されている。

30

【0006】

本発明者らの検討によれば、このような素子レイアウトとした場合には、付加容量の容量値が画素ごとにばらつく恐れがあることが分かった。

【0007】

本発明は上記課題に鑑みなされたものであり、画素に付加容量を有する構成において、画素ごとの付加容量値のばらつきが低減された固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

40

【0008】

本発明は、光電変換部と、増幅トランジスタと、前記光電変換部の信号を前記増幅トランジスタの入力ノードに転送する転送トランジスタと、前記入力ノードに対し、接続状態、非接続状態のいずれかを切り替え可能な付加容量と、前記入力ノードの電位を所定の電位とするリセットトランジスタとを各々が有する複数の画素を有する固体撮像装置であって、前記複数の画素の各々は、活性領域内に第 1 の方向に沿って順に配され、互いに同じ導電型である、第 3 半導体領域、第 1 半導体領域、第 2 半導体領域、第 4 半導体領域を有し、前記複数の画素の各々はさらに、前記第 3 半導体領域と前記第 1 半導体領域との間に配された第 1 導電パターンと、前記第 1 半導体領域と前記第 2 半導体領域との間に配された第 2 導電パターンと、前記第 2 半導体領域と前記第 4 半導体領域との間に配された第 3

50

導電パターンとを有し、前記第1導電パターン、前記第2導電パターン、前記第3導電パターンは互いに電氣的に分離されており、前記転送トランジスタは、前記第1半導体領域、前記第3半導体領域、前記第1導電パターンを有し、前記付加容量は、前記第1半導体領域、前記第2半導体領域、前記第2導電パターンを有し、前記リセットトランジスタは、前記第2半導体領域、前記第4半導体領域、前記第3導電パターンを有し、前記第1導電パターンは前記第1の方向と交差する第2の方向に沿って延在し、前記第3導電パターンは前記第1の方向と交差する第3の方向に沿って延在し、前記付加容量は、前記第1導電パターンと前記第3導電パターンとによって挟まれる領域の内部にのみ配されていることを特徴とする固体撮像装置である。

【発明の効果】

10

【0009】

本発明によれば、付加容量値の画素ごとのばらつきを低減することが可能となる。

【図面の簡単な説明】

【0010】

【図1】本発明に係る固体撮像装置の画素の等価回路図の一例である。

【図2】本発明に係る固体撮像装置のタイミング図の一例である。

【図3】本発明の第1の実施例の固体撮像装置の画素を構成する部材の配置の一例を模式的に示した平面図である。

【図4】本発明の第1の実施例に係る固体撮像装置である図3のA-A'線に沿った断面における構造を模式的に示す断面図である。

20

【図5】固体撮像装置の製造プロセスフローの一例を示した図である。

【図6】本発明の固体撮像装置を構成する部材の配置の一例として2×2画素を模式的に示した平面図である。

【図7】従来技術に係る固体撮像装置を構成する部材の配置の一例として2×2画素を模式的に示した平面図である。

【図8】本発明の第2の実施例の固体撮像装置の画素を構成する部材の配置の一例を模式的に示した平面図である。

【図9】本発明の第3の実施例の固体撮像装置の画素を構成する部材の配置の一例を模式的に示した平面図である。

【図10】本発明の第4の実施例に係る固体撮像装置の画素の等価回路図の一例である。

30

【図11】本発明の第4の実施例に係る固体撮像装置の画素を構成する部材の配置の一例を模式的に示した平面図である。

【図12】本発明の第5の実施例に係る固体撮像装置の画素を構成する部材の配置の一例を模式的に示した平面図である。

【発明を実施するための形態】

【0011】

(実施例1)

図1に本実施例の固体撮像装置の画素の等価回路の一例を示す。ここでは1画素のみを示すが、固体撮像装置においては、複数の画素が2次元状に配置され、画素配列を構成している。本実施例では、信号電荷は電子とし、各トランジスタはN型のトランジスタとして説明する。ただし、導電型はこれに限られるものではなくP型のトランジスタを用い、信号電荷としてホールを用いてもよい。これらは、実施例1以降の実施例においても同様である。

40

【0012】

光電変換部は、光電変換により、入射光量に応じた量の電荷対を生じさせ、電子を蓄積する。例えばここでは光電変換部として、フォトダイオード102を用いている。

【0013】

転送部は光電変換部の電子を転送する。例えばここでは転送部として転送トランジスタ103を用いている。転送トランジスタ103のゲートには制御パルスp t xが供給され、オン状態、オフ状態が切り替えられる。転送トランジスタ103は後述の増幅トランジ

50

スタの入力ノードに光電変換部の信号を転送する。

【0014】

電荷保持部104は光電変換部で生じ、転送部により転送された電子を保持する。電荷保持部104は、半導体基板に配された浮遊拡散領域を含む容量により構成される。浮遊拡散領域はN型の半導体領域により構成される。

【0015】

画素増幅部は、転送部により転送された電子に基づく信号を増幅して出力する。例えばここでは、画素増幅部として増幅トランジスタ105を用いている。増幅トランジスタ105のゲートは、浮遊拡散領域に電氣的に接続されている。増幅トランジスタ105のドレインには所定の電圧が供給されている。このような接続関係によれば、増幅トランジスタ105は、不図示の電流源とともにソースフォロア回路を構成することができる。そして浮遊拡散領域に転送された電子は、その量に応じた電圧値に変換され、その電圧値に応じた電気信号が増幅トランジスタ105を介して画素外へ出力される。したがって浮遊拡散領域及び増幅トランジスタ105のゲートにより構成される電氣的なノードは、増幅トランジスタ105の入力ノードである。そしてこの入力ノードは電荷電圧変換部を構成している。

10

【0016】

画素リセット部は、少なくとも浮遊拡散領域の電位を所定の電位に設定する。例えばここでは、画素リセット部として、リセットトランジスタ106を用いている。リセットトランジスタ106のソースは、後述する付加容量108を介して増幅トランジスタ105のゲート及び浮遊拡散領域に電氣的に接続されている。リセットトランジスタ106のドレインには所定の電圧が供給されている。このため、リセットトランジスタ106により、増幅トランジスタ105のゲート及び浮遊拡散領域の電位を所定の電位に設定することができる。また、リセットトランジスタ106と転送トランジスタ103とのオン期間を一部重ならせることにより、光電変換部の電位を基準電位に設定することができる。リセットトランジスタ106のゲートには、制御パルス *pres* が供給され、リセットトランジスタ106のオン状態、オフ状態が切り替えられる。

20

【0017】

選択部は画素信号の出力線109への出力を制御する。この選択部により、1つの出力線109に対して複数設けられている画素の信号を1画素ずつもしくは複数画素ずつ出力させることができる。例えばここでは、選択部として選択トランジスタ107を用いている。選択トランジスタ107のドレインは、増幅トランジスタ105のソースに接続され、選択トランジスタ107のソースは出力線109に接続されている。本実施例の構成に代えて、選択トランジスタ107を増幅トランジスタ105のドレインと、所定の電圧が供給されている電圧配線との間に設けてもよい。いずれの場合も、選択トランジスタ107は、増幅トランジスタ105と信号線109との電氣的導通を制御する。選択トランジスタ107のゲートには、制御パルス *psel* が供給され、選択トランジスタ107のオン状態、オフ状態が切り替えられる。

30

【0018】

付加容量108は、増幅トランジスタ105の入力ノードに対し、接続状態、非接続状態を切り替え可能な構成となっている。ここでは、付加容量108として、ソース、ドレインのうち一方が、浮遊拡散領域に接続されたトランジスタを用いている。このトランジスタのゲートに供給される制御パルス *pFDINC* により、そのゲート下に形成されるチャンネルを含む領域を容量として用いるか否かを切り替えることができる。このような切替動作により、増幅トランジスタ105の入力ノード、すなわち、電荷保持部104に付加される容量値を変化させることが可能である。付加容量108を電荷保持部104に付加して、容量値を増大させた場合には、電荷保持部104で保持可能な電子数を増加させることが可能となる。つまり電荷保持部104における信号のダイナミックレンジを向上させることが可能となる。また、付加容量108を電荷保持部104に付加させない場合には、電荷保持部104における電荷電圧変換効率が向上する。つまり、少ない電子数で

40

50

あっても変換された後の電圧振幅が大きくなるため、低照度における感度を向上させることが可能となる。これらを読出しモードに応じて切り替えて用いることで、多様な被写体の撮影を可能とする。

【0019】

次に図1の撮像装置の駆動に関して図2を用いて説明する。図2においてpSELは図1の選択トランジスタの制御パルスp selを示し、pRESは図1のリセットトランジスタの制御パルスp resを示す。また、pTXは図1の転送トランジスタの制御パルスp txを示し、pFDINCは図1の浮遊拡散領域に接続されたトランジスタの制御パルスp FDINCを示す。pFDINCはローレベルで付加容量が電荷保持部に付加された状態となり、ハイレベルで付加されない状態となる。pFDINCを除く制御パルスはハイレベルのパルスで素子が導通状態になる。

10

【0020】

本図の実線は付加容量が付加される画素、もしくは付加容量が付加されるモードにおける制御パルスを示しており、点線は、付加容量が付加されない画素、もしくは非選択状態の画素、もしくは付加容量が付加されないモードにおける制御パルスを示している。

【0021】

まず時刻 $T = t_1$ において、制御パルスpSELがハイレベルになる。また、制御パルスpRES及びpFDINCがハイレベルであり、電荷保持部を構成する浮遊拡散領域の電位が基準電位になる。次に時刻 $T = t_2$ において、制御パルスpFDINCがローレベルになる。これにより、付加容量108が電荷保持部104に付加される状態となる。また、pRESがハイレベルであることから、電荷保持部104及び付加容量108が基準電位となる。次に時刻 $T = t_3$ において、制御パルスpRESがローレベルとなり、電荷保持部104及び付加容量の電位のリセット動作が完了する。時刻 $T = t_4$ において、制御パルスpTXがハイレベルになる。この時、光電変換部と電荷保持部104が導通し、光電変換部の電子が電荷保持部104に転送される。pFDINCがローレベルで付加容量が電荷保持部に付加された状態であるため、転送された電子は電荷保持部及び付加容量にて蓄積される。時刻 $T = t_5$ において、制御パルスpTXがローレベルになる。これにより、光電変換部と電荷保持部104が遮断される。時刻 $T = t_6$ において、制御パルスpFDINCがハイレベルになる。これにより、付加容量が電荷保持部に付加されない状態となる。時刻 $T = t_7$ において、制御パルスpRESがハイレベルとなることで、電荷保持部104の電位がリセットされる。期間 $T_5 - T_8$ において、出力線109の電圧を信号(光信号)として用いることで、付加容量が付加された状態の画素の信号を画像信号として用いることが可能となる。

20

30

【0022】

更に、必要に応じて、期間 $T_3 - T_4$ において、出力線109の電圧を信号として用いることで、画素のノイズ信号を得ることが可能となる。このノイズ信号と前述の光信号との差分を取ることでノイズを低減することが可能となる。

【0023】

制御パルスpSELを常にハイレベルにしたままとしているが、信号を読み出す期間だけオン状態とするのもよい。

40

【0024】

このようにして電荷保持部104に容量が付加されることで容量値を切り替えることが可能となる。更には、各画素毎に読出しモードを切り替えてもよい。この場合には、例えばカラーフィルタを用いたセンサの場合には色ごとに、付加される容量値を切り替えてもよい。

【0025】

図3は図1に例示した固体撮像装置の画素を構成する部材の配置の一例を模式的に示した平面図である。

【0026】

活性領域201A、201Bは、その周囲を素子分離部200に囲まれた領域であり、

50

画素の各構成要素のうち少なくとも一部が配される領域である。活性領域 201A、201B は素子分離部 200 により互いに分離されている。各活性領域には複数の N 型の半導体領域が配されている。また各活性領域 201A、201B の上部には絶縁部材を介して、複数の導電パターンが配置されており、複数の導電パターンの各々は互いに電氣的に分離されている。これら導電パターンは、後述するように各トランジスタのゲート電極、もしくは付加容量の一部を構成する部材である。

【0027】

本実施例では、活性領域 201A 内及びその上部に絶縁部材を介して配される導電パターンにより、図 1 に示すフォトダイオード 102、転送トランジスタ 103、付加容量 108、リセットトランジスタ 106 が構成される。また、活性領域 201B 内及びその上部に絶縁部材を介して配される導電パターンにより、図 1 に示す増幅トランジスタ 105、選択トランジスタ 107 のソース領域及びドレイン領域が構成される。

10

【0028】

はじめに活性領域 201A に関して説明する。

【0029】

活性領域 201A には、N 型半導体領域 202、204、206、208 が配される。これら N 型半導体領域 202、204、206、208 は紙面上部から下部に向かう方向（第 1 の方向）に沿ってこの順で配されている。また活性領域 201A 上には、絶縁部材を介して導電パターン 203、205、207 が配されている。これら導電パターン 203、205、207 も同様に第 1 の方向に沿ってこの順で配されている。そして、平面視において、N 型半導体領域 202（第 3 半導体領域）、導電パターン 203（第 1 導電パターン）、N 型半導体領域 204（第 1 半導体領域）、導電パターン 205（第 2 導電パターン）、N 型半導体領域 206（第 2 半導体領域）、導電パターン 207（第 3 導電パターン）、N 型半導体領域 208（第 4 半導体領域）が第 1 の方向（所定の方向）に沿ってこの順で配されている。ここで、各導電パターン及び各 N 型半導体領域は平面視した際に一部が重なっていてもよい。しかし、平面視した際に一方が他方にすべて包含されるような位置関係であってはならない。また、平面視した際に、各導電パターン及び各 N 型半導体領域は、それらの間に他の導電パターン、他の N 型半導体領域が配されない方が好ましい。ただし、各導電パターン間に、絶縁部材及び/または各 N 型半導体領域と電氣的に接続されたコンタクトプラグが配されてもよい。また、各 N 型半導体領域間には P 型半導体領域が配されてもよいし、各 N 型半導体領域に比べて不純物濃度の低い N 型半導体領域が配されていてもよい。

20

30

【0030】

よって、言い換えると、活性領域 201A 上に絶縁部材を介して第 1 の方向に沿って配された、第 1 導電パターン 203 と、第 2 導電パターン 205 と、第 3 導電パターン 207 とを有している。そして、第 1 導電パターン 203 と第 2 導電パターン 205 との間の活性領域 201A 内に、第 1 半導体領域 204 が配されている。更に、第 2 導電パターン 205 と第 3 導電パターン 207 との間の活性領域内に、第 2 半導体領域 206 が配されている。加えて、第 1 導電パターン 203 を挟んで第 1 半導体領域 204 とは反対側の活性領域内に、第 3 半導体領域 202 が配されている。そして、第 3 導電パターン 207 を挟んで第 2 半導体領域 206 とは反対側の活性領域内に、第 4 半導体領域 208 が配されている。

40

【0031】

第 3 半導体領域 202 は、後述する P 型半導体領域と PN 接合を構成してフォトダイオード 102 を構成する。

【0032】

第 3 半導体領域 202、第 1 導電パターン 203、第 1 半導体領域 204 により転送トランジスタ 214 が構成される。第 1 導電パターン 203 は転送トランジスタ 214 のゲート電極となる。また第 1 半導体領域 204 は、上述の浮遊拡散領域であり、更に転送トランジスタ 214 のドレインである。この転送トランジスタ 214 は、図 1 に示す転送ト

50

ランジスタ103に対応する。

【0033】

第1半導体領域204、第2導電パターン205、第2半導体領域206により付加容量215が構成される。第2導電パターン205に供給される制御パルスPFDINCにより、図1に示す増幅トランジスタ105の入力ノードである電荷保持部104に、付加容量が付加される状態と付加されない状態とを切り替えることができる。この付加容量215は、図1に示す付加容量108に対応する。

【0034】

第2半導体領域206、第3導電パターン207、第4半導体領域208によりリセットトランジスタ216が構成される。第2半導体領域206は、リセットトランジスタ216のソースとなり、第4半導体領域208はリセットトランジスタ216のドレインとなる。このリセットトランジスタ216は、図1に示すリセットトランジスタ106に対応する。

【0035】

また、ここで、第2、第4半導体領域206、208が活性領域201Aと別の活性領域に配されていてもよい。ただし、その際には少なくとも第2半導体領域206は活性領域201Aと別の活性領域の両方に配されており、各々が電氣的に接続されている必要がある。また別の活性領域に配される場合においても、各導電パターン及びN型半導体領域の配置順は、同一活性領域に配する場合と同じ配置順にする必要がある。

【0036】

次に活性領域201Bに配される素子に関して説明する。

【0037】

活性領域201Bには、N型半導体領域209、211、213が配される。N型半導体領域209、211、213は、紙面上部から下部に向けた方向(第1の方向)に沿ってこの順で配されている。また、活性領域201B上には、絶縁部材を介して導電パターン210、212が配されている。導電パターン210、212は、紙面上部から下部に向けた方向(第1の方向)に沿ってこの順で配されている。活性領域201Aの素子と配列方向が平行な方向となっているが、これに限られず任意の方向に沿って配されてもよい。

【0038】

そして、平面視において、N型半導体領域209(第6半導体領域)、導電パターン210(第4導電パターン)、N型半導体領域211(第5半導体領域)、導電パターン212(第5導電パターン)、N型半導体領域213(第7半導体領域)が紙面上部から下部に向けての方向(第1の方向)にこの順で配されている。ここで、各導電パターン及び各N型半導体領域は平面視した際に一部が重なっていてもよい。しかし、平面視した際に一方が他方にすべて包含されるような位置関係であってはならない。また、平面視した際に、各導電パターン及び各N型半導体領域は、それらの間に他の導電パターン、他のN型半導体領域が配されない方が好ましい。ただし、各導電パターン間には絶縁部材および/または各N型半導体領域と電氣的に接続されたコンタクトプラグが配されてもよい。また、各N型半導体領域間にはP型半導体領域が配されてもよいし、各N型半導体領域に比べて不純物濃度の低いN型半導体領域が配されていてもよい。

【0039】

よって、言い換えると、活性領域201B上に絶縁部材を介して第1の方向に沿って配された、第4導電パターン210と、第5導電パターン212とを有している。そして、第4導電パターン210と第5導電パターン212との間の活性領域201B内に、第5半導体領域211が配されている。加えて、第4導電パターンを挟んで、第5半導体領域211とは反対側の活性領域内に、第6半導体領域209が配されている。そして、第5導電パターン212を挟んで、第5半導体領域211とは反対側の活性領域201B内に、第7半導体領域213が配されている。

【0040】

第6半導体領域209、第4導電パターン210、第5半導体領域211により選択トランジスタ217が構成される。第6半導体領域209は、選択トランジスタ217のソースとなり、第5半導体領域211は選択トランジスタ217のドレインとなる。この選択トランジスタ217は、図1に示す選択トランジスタ107に対応する。

【0041】

第5半導体領域211、第5導電パターン212、第7半導体領域213により増幅トランジスタ218が構成される。第5半導体領域211は、増幅トランジスタ218のソースとなり、第7半導体領域213は増幅トランジスタ218のドレインとなる。この増幅トランジスタ218は、図1に示す増幅トランジスタ105に対応する。

【0042】

各導電パターン203、205、207、210、212は、たとえばポリシリコンで形成される。更にその一部がシリサイド化されていてもよい。

【0043】

各部材は説明のために略長方形となっているが、各構成を必ずしも略長方形にする必要はない。図3は活性領域201Aに配された各部材の、平面視した際の相対的な位置関係を示しているに過ぎない。

【0044】

図4は図3のA-A'線に沿った断面における構造を模式的に示す断面図である。図3と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。

【0045】

半導体基板301に各素子が形成される。半導体基板301はN型を用いてもよいし、P型を用いてもよい。ここでは、N型の半導体基板を用いている。

【0046】

P型ウエル302は半導体基板301に配される。P型ウエル302は、半導体基板301に対し、P型の不純物イオンをイオン注入して形成することができる。ここでは一つの領域として図示されているが、異なる深さに配され、各々が不純物濃度ピークを有する複数の半導体領域によりP型ウエル302が構成されていてもよい。更に、画素が配列された領域に配されるP型ウエル302を、周辺回路領域に配されるP型ウエルと異なる構成としてもよい。ここで周辺回路領域とは、半導体基板301上の、複数の画素が配列された領域の周辺部に配された領域を言う。この周辺回路領域には、先に説明した制御パルスpSEL、pRES、pTX、pFDINCなどを出力する制御回路が設けられている。また周辺回路領域には、複数の画素から図1に示す出力線109を通して出力された信号を、サンプリングしたり、半導体基板301外に出力したりする回路が設けられている。

【0047】

N型半導体領域303（第3半導体領域）は、P型ウエル302の一部（先に説明したP型半導体領域）とPN接合を構成し、フォトダイオードを形成する。ここではN型半導体領域303は一つの領域として図示されているが、複数の領域から構成してもよい。更に、図2に示す転送トランジスタ214のゲート電極を構成する導電パターン305（第1導電パターン）の下部に、第3半導体領域303の一部が延在するように配置することで、転送効率を向上させることが可能となる。

【0048】

P型半導体領域304は、第3半導体領域303と、活性領域上部に配される絶縁部材との間に配される領域で、絶縁部材と半導体との間の界面で生じる暗電流を抑制するために設けられる領域である。P型半導体領域304を設けることでいわゆる埋め込み型のフォトダイオードとすることができる。

【0049】

第1導電パターン305（図2に示す転送トランジスタ214のゲート）に供給される制御パルスにより、第3半導体領域303の電子をN型半導体領域306（第1半導体領域）へ転送する。

10

20

30

40

50

【 0 0 5 0 】

第1半導体領域306は、浮遊拡散領域である。不図示の増幅トランジスタのゲートと電氣的に接続される。第1半導体領域306と増幅トランジスタのゲートとの電氣的接続は、不図示のコンタクトプラグ、金属配線層を用いて行なうことができる。

【 0 0 5 1 】

導電パターン307(第2導電パターン)は図2に示す付加容量215の一部を構成する。仮に第2導電パターン307を付加容量215のゲートと呼ぶと、付加容量215のゲートに供給される制御パルスにより、電荷保持部に容量が付加される状態と、付加されない状態とを切り替えることができる。

【 0 0 5 2 】

N型半導体領域308(第2半導体領域)は、リセットトランジスタ216のソース領域であり、N型半導体領域310(第4半導体領域)は、リセットトランジスタ216のドレイン領域である。また導電パターン309(第3導電パターン)は、リセットトランジスタ216のゲート電極である。

【 0 0 5 3 】

素子分離部311は、活性領域210Aを周辺の素子もしくは周辺の活性領域と分離すべく配される領域である。素子分離部311は、例えば、LOCOS法で形成される素子分離、STI分離部などで構成することができる。更に、素子分離部311の下部には高濃度のP型半導体領域を配置してもよい。

【 0 0 5 4 】

ここで図1~4を用いて、画素における信号の読出しメカニズムについてさらに詳細に説明する。

【 0 0 5 5 】

電荷保持部104は、前述したように半導体基板に配された第1半導体領域306を含んで構成される。より具体的には、電荷保持部104の容量は、第1半導体領域306とP型半導体領域302とのPN接合容量(Cfd)に加え、第1、第2導電パターン305、307及びこれらの下部に配される絶縁部材によって形成される容量の総和(Ckfdとする)である。したがって、第1半導体領域306の平面視における面積の変化量は画素における電荷-電圧変換効率に影響を与える。

【 0 0 5 6 】

例えば、フォトダイオード102で生じた電荷量をQpdとし、転送トランジスタ103によって、電荷量Qpdが転送された場合の、増幅トランジスタ105のゲートの電圧振幅をVfdとする。Vfdは、 $Vfd = Qpd / Ckfd$ で表わされる。つまり、電荷保持部104の容量値の逆数に比例して電荷が電圧に変換される。したがって、例えば、Ckfdが一定であれば、Qpdの増加と共にVfdが上昇するため、電荷保持部の容量値Ckfdにより、信号のダイナミックレンジに影響を受ける。これに対し、付加容量108の容量値を電荷保持部104の容量値に付加すれば電荷保持部104におけるダイナミックレンジを拡大させることが可能となる。

【 0 0 5 7 】

ここで、付加容量の容量値が例えば画素ごとにばらついた場合には、付加容量を付加した際の上述の電荷電圧変換係数が画素ごとに異なることになるため、画質向上を図ることが困難になる。この容量値のバラツキの一例として、付加容量の一部を構成する第2半導体領域206の平面視における面積のバラツキがある。

【 0 0 5 8 】

例えば、電荷保持部を構成する第1半導体領域204の面積をSとすると、第1半導体領域204のPN接合により生じる容量値は、 $C = S / d$ で表すことができる。同様に、付加容量の一部を構成する第2半導体領域206において、面積をSSとすると $C = SS / d$ で表すことができる。したがって付加容量の容量値を決めるパラメータとして第2半導体領域206の平面視における面積が影響を与えることがわかる。この面積が画素ごとにずれれば、画素ごとに電荷電圧変換効率が異なる、もしくは付加容量を付加した際

10

20

30

40

50

のダイナミックレンジが異なるという課題が生じる可能性がある。本発明者らの詳細な検討により、製造プロセス中の相対的な位置関係のずれにより、第2半導体領域206の平面視における面積のずれが生じ得ることが分かった。

【0059】

ここで第2半導体領域206の面積のずれが生じる原因を図5～7を用いて説明する。図5(a)～(d)において、固体撮像装置の製造プロセスフローの一例を示す。図1～4と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。本図では素子分離部としてLOCOS法を用いた絶縁体分離を用いる場合を例に説明を行なう。

【0060】

図5(a)において、まず半導体基板301を準備する。そして半導体基板301上の全面に、膜401を形成する。膜401は単層であってもよいし複数層であってもよい。たとえば、膜401としては、シリコン酸化膜、ポリシリコン膜、シリコン窒化膜の積層膜で形成することができる。膜401を形成した後に、膜401の、素子分離部を形成すべき領域に対応する領域に開口が配置されるように膜401の全て、もしくは一部をパターンニングする。この際のパターンニングは、まず膜401上に不図示のフォトレジストを形成する。そしてステッパなどの露光装置を用いてフォトレジストに露光光を照射する。そしてフォトレジストを現像することで所定の領域にフォトレジストによるパターンを形成することが出来る。このパターンをマスクとして用いて膜401をエッチングすることで、膜401に開口を形成する。

【0061】

図5(b)において、所定の条件で熱処理を行なうことで、絶縁体膜401に設けられた開口部分の半導体基板301が酸化され、素子分離部310が形成される。この工程により、活性領域が規定される。

【0062】

図5(c)において、図5(b)において得られた構造体上に、絶縁体膜402、ポリシリコン膜403を形成する。絶縁体膜402は後に各トランジスタのゲート絶縁膜、もしくはゲート絶縁膜の一部となる膜である。絶縁体膜402としてはシリコン酸化膜、もしくはシリコン窒化膜、もしくはこれらの積層膜を用いることができる。

【0063】

図5(d)において、ポリシリコン膜403のパターンニングを行ない、第1、第2、第3導電パターン305、307、309を形成する。この際のパターンニングは、まずポリシリコン膜403上に不図示のフォトレジストを形成する。そしてステッパなどの露光装置を用いてフォトレジストに露光光を照射する。そしてフォトレジストを現像することで、所定の領域にフォトレジストによるパターンを形成する。このパターンをマスクとして用いてエッチングを行なうことで、ポリシリコン膜403をパターンニングして、各導電パターン305、307、309を形成する。

【0064】

図5(e)において、第1導電パターン305をマスクにしてイオン注入を行ない、第3半導体領域303、P型半導体領域304を形成する。第3半導体領域303、P型半導体領域304は光電変換部となる。この時、光電変換部が形成される部分以外の領域は不図示のフォトレジストマスクで覆っておく。ここで、第3半導体領域303は第1導電パターン305をマスクにしてイオン注入により形成したが、ポリシリコン膜403形成前に、フォトレジストマスクを用いたイオン注入により形成してもよい。

【0065】

そして、光電変換部をフォトレジストマスクで覆った状態で、第2、第3導電パターン307、309をマスクにしてイオン注入を行ない、第1、第2、第3半導体領域306、308、310を形成する。したがって、各半導体領域306、308、310は、それぞれ導電パターン307、309に対する平面視した際の相対的な位置の画素ごとの位置ずれは小さく形成することが可能である。

【0066】

10

20

30

40

50

これらの工程を経ることで、図3に示した断面構造を得ることができる。

【0067】

上述したように、活性領域が規定される図5(a)の工程と、図5(d)の工程は、それぞれ異なるマスク(レティクル)を用いて、ステッパなどを用いた露光工程により実行される。一般に、異なるレティクルを用いて行なう露光工程においては、平面視における相対的な位置関係を合わせるために、アライメントマークを用いる。たとえば活性領域が規定される工程において、アライメントマークを形成しておき、このアライメントマークを、ポリシリコン膜をパターニングする工程において用いることで、活性領域とポリシリコンとの相対的な位置関係を複数の画素でそろえることが可能となる。

【0068】

しかしながら、ステッパなどのレンズひずみなどにより、異なるレティクルを用いて各部材を形成する際に、相対的な位置ずれを完全になくすことは難しく、数nm程度のずれが生じてしまう。このような通常のデバイスであれば問題にならないような微小なずれが、上述の付加容量においては課題と成る場合があることが分かった。これは固体撮像装置が大判化されるとさらに顕著になる課題であり、フルサイズと呼ばれる撮像領域の対角が35mm程度あるものや、APS-Hと呼ばれる大きさになると、さらに相対的な位置ずれは顕著となる。もしくは1ウエハから1つの固体撮像装置のみを得る場合などのように、ステッパなどの露光装置を用いて、1つのチップに対し、同一の露光工程を複数のショットで形成する場合などにおいては、特に顕著な課題となる。

【0069】

図6、7に、相対的な位置ずれがおこる例として、活性領域と導電パターンとの相対的な位置関係がずれる場合を示している。図6、図7は図1に示した固体撮像装置の画素の等価回路の一例を構成する部材の配置の一例として2×2画素を模式的に示した平面図である。ここでは図2と同様の機能を有する部分には同様の符号を付し、詳細な説明は省略する。また、図6は本実施例であり、図7は比較例である。

【0070】

図6は、活性領域201Aにリセットトランジスタ106のソース、ドレインとなるN型半導体領域が配されている。付加容量の一部を構成するN型半導体領域(第2半導体領域)206の平面視における面積は、第2導電パターン205と第3導電パターン207との配置によって定まる。それに対して、図7は活性領域201Aとは別の活性領域である活性領域201Bにリセットトランジスタのソース、ドレインとなるN型半導体領域が配されている。そして付加容量を構成する第2半導体領域206とリセットトランジスタのソースとなる第4半導体領域208が電氣的に接続されている。このような構成においては、第2半導体領域206及び第4半導体領域208が付加容量の構成部材となる。この時、第2半導体領域206の平面視における面積は、第2導電パターン205と活性領域201Aの境界の位置関係によって定まる。また第4半導体領域208の平面視における面積は、第3導電パターン207の配置と活性領域201Bの境界によって定まる。この点において図6の本実施例と図7の比較例は異なる。

【0071】

ここで、図6(a)、図7(a)は導電パターンと活性領域とに相対的な位置ずれが生じていない理想的な場合である。また、図6(b)、図7(b)は導電パターンと活性領域とに相対的な位置ずれが生じた場合である。

【0072】

図6(b)、図7(b)の左側の列の画素は相対的な位置ずれが生じておらず、右列の上の画素が、導電パターンが活性領域に対し紙面下方にずれた場合を示し、右列の下の画素が、導電パターンが活性領域に対し紙面上方にずれた場合を示している。実際には、隣接する画素でこのような位置ずれが生じることはない。ただし、例えば、固体撮像装置の対向する端部どうしなど、長い距離離れて配置された画素どうしの場合には十分起こり得る現象である。

【0073】

図7に示した比較例の場合には、このような導電パターンと活性領域との相対的な位置ずれが生じると、付加容量の一部を構成する第2、第4半導体領域206、208の面積が変化してしまい、付加容量の容量値が変化してしまうおそれがある。例えば、導電パターンが紙面の下方に位置ずれした場合を示した右列の上側の画素では第2、第4半導体領域206、208の面積が小さくなる。そして、導電パターンが紙面の上方に位置ずれした場合を示した右列の下側の画素では第2、第4半導体領域206、208の面積が大きくなる。

【0074】

このように付加容量の一部を構成するN型半導体領域の面積のずれが生じると付加容量の容量値が変わってしまい、付加容量を用いた場合に、画素ごとに電荷電圧変換効率が変わってしまう。

10

【0075】

これに対して、図6に示した本実施例の構成によれば、図6(b)を参照すると明らかなように、付加容量の一部を構成する第2半導体領域206の面積は第2導電パターン205と第3導電パターン207の配置で定められる。したがって導電パターンと活性領域の相対的な位置関係がずれたとしても、導電パターン間の面積のずれは小さいため、第2半導体領域206の面積の変化量は図7に比べて小さい。したがって本実施例によれば、たとえ導電パターンと活性領域との間に相対的な位置関係のずれが生じたとしても、画素ごとに付加容量により付加される容量値の変化量は小さい。

【0076】

20

以上述べたように、本実施例によれば、導電パターンと活性領域との相対的な位置関係がずれたとしても、付加容量の一部を構成するN型半導体領域の面積の変化を抑制することができる。このため、付加容量の容量値のばらつきを低減することができる。それにより、画素毎の電荷電圧変換効率のバラツキを軽減し、画質を向上することが可能となる。

【0077】

(実施例2)

図8は、本実施例の固体撮像装置の画素を構成する部材の配置の一例を模式的に示した平面図である。実施例1と同様の機能を有する部分には同様の符号を付し、詳細な説明は省略する。

【0078】

30

本実施例の実施例1との違いは活性領域の平面視における形状である。実施例1では転送トランジスタ、付加容量、リセットトランジスタが配される活性領域の平面視における形状は略長方形であった。これに対し本実施例では、光電変換部が配される活性領域の平面視における幅が、その他の素子が配される活性領域の幅に比べて広い。ここで活性領域の幅とは、活性領域601Aの転送トランジスタのチャンネル幅に平行な方向の幅である。この幅が、浮遊拡散領域を構成するN型半導体領域604(第1半導体領域)側が光電変換部を構成するN型半導体領域602(第3半導体領域)側よりも小さい。

【0079】

また更に活性領域601Aの光電変換部と浮遊拡散領域との間の領域がテーパ形状となっているとさらによい。このような形状によれば、転送トランジスタをオン状態にした時に、光電変換部で生じた信号電荷は浮遊拡散領域へ滞りなく転送されやすいためである。また、浮遊拡散領域側で活性領域幅を狭くすることができるため、電荷保持部の容量値を小さくすることができ、電荷電圧変換効率を向上させることができる。ここでテーパ形状とは、活性領域601Aの、導電パターン603(第1導電パターン)を挟んで第3半導体領域602から第1半導体領域604に至る領域の、転送トランジスタのチャンネル幅に平行な方向の幅が、連続的にもしくは段階的に狭くなる構成である。

40

【0080】

図8に示すように、平面視において、活性領域601Aの紙面上部から下部に向けた方向(第1の方向)に沿って、第3半導体領域602、第1導電パターン603、第3半導体領域604、導電パターン605(第2導電パターン)、N型半導体領域606(第2

50

半導体領域)がこの順で配されている。更に、リセットトランジスタのゲートを構成する導電パターン607(第3導電パターン)、リセットトランジスタのドレインを構成するN型半導体領域608(第4半導体領域)がこの順で配置されている。これらの位置順は実施例1と同様である。

【0081】

上述したように、光電変換部と浮遊拡散領域との間の活性領域がテーパ形状となっているが、活性領域の第1導電パターン603と平面的に重なる領域の、素子分離部との境界は上記第1の方向と平行な方向であることが好ましい。このような形状であれば、仮に第1導電パターン603の活性領域に対する相対的な位置関係がずれたとしても、第1半導体領域604の平面視における面積の変化率が一定となり、面積のずれ量を低減させることができる。

10

【0082】

本実施例によっても実施例1と同様の効果が得られ、更に、光電変換部からの電荷の転送効率を向上させることができる。加えて、電荷保持部の容量値を小さくすることができるため、電荷保持部における電荷電圧変換効率を向上させることができる。

【0083】

(実施例3)

図9は本実施例の固体撮像装置の画素を構成する部材の配置の一例を模式的に示した平面図である。実施例1、2と同様の機能を有する部分には同様の符号を付し、詳細な説明は省略する。

20

【0084】

本実施例の実施例1、2との違いは導電パターンの平面視における形状である。実施例1、2では各導電パターンは互いに平行に配されていたが、本実施例においては、各導電パターンが平行な組と平行でない組とが混在している。さらに、実施例1、2では、導電パターンと活性領域とが平面視において直交していたが、本実施例では、導電パターンと活性領域とが平面視において、90度ではない角度で交わっている。

【0085】

本実施例においても図9に示すように、活性領域201Aの第1の方向に沿って、N型半導体領域901(第3半導体領域)、導電パターン902(第1導電パターン)、N型半導体領域903(第1半導体領域)が配される。更に、付加容量の一部を構成する導電パターン904(第2導電パターン)、付加容量の一部を構成するN型半導体領域905(第2半導体領域)が配されている。更に、リセットトランジスタのゲートを構成する導電パターン906(第3導電パターン)、リセットトランジスタのドレインを構成するN型半導体領域907(第4半導体領域)がこの順で配置されている。

30

【0086】

本実施例によっても、導電パターンと活性領域との相対的な位置関係のずれによる第2半導体領域905の面積の変化量は小さいため、実施例1、2と同様の効果が得られる。

【0087】

(実施例4)

図10は本実施例の画素の等価回路図、図11は本実施例の固体撮像装置の画素を構成する部材の配置の一例を模式的に示した平面図である。実施例1~3と同様の機能を有する部分には同様の符号を付し、詳細な説明は省略する。本実施例の実施例1~3との違いは、実施例1~3が1つの光電変換部に対応して1つの画素増幅部が設けられていたのに対して、本実施例では、複数の光電変換部で画素増幅部を共有している点である。具体的には本実施例では2つの光電変換部に対し1つの画素増幅部を設けている。

40

【0088】

本実施例の説明において符号の後に添え字を付している素子、部材は、同様の機能を有するもので、各々の画素もしくは光電変換部に対応して設けられていることを説明するものである。共通の機能を説明する場合には添え字を取った符号で説明をし、動作等が異なる場合には、添え字を付した状態で説明する。ここで、添え字を除いた符号が図3と同一

50

の部材は、実施例 1 と同様の部材を示す。

【 0 0 8 9 】

図 1 0 を用いて本実施例の等価回路を説明する。主に実施例 1 ~ 3 との差異に関して説明を行なう。フォトダイオード 1 0 2 A、1 0 2 B で生じた電子に基づく信号を、増幅トランジスタ 1 0 5 で増幅し、選択トランジスタ 1 0 7 を介して信号線 1 0 9 に出力する。転送トランジスタ 1 0 3 A のゲートには制御パルス p T X A が供給され、転送トランジスタ 1 0 3 B のゲートには制御パルス p T X B が供給される。これら制御パルス p T X A、p T X B の導通タイミングをずらして供給することで、フォトダイオード 1 0 2 A、1 0 2 B で生じた信号を独立して読み出すことが可能となる。

【 0 0 9 0 】

本実施例ではリセットトランジスタ 1 0 6 A、1 0 6 B のゲートに対し共通の制御パルスである p R E S が供給される構成となっているが、各々に対し独立した制御パルスが供給されるように構成してもよい。リセットトランジスタ 1 0 6 A、1 0 6 B のいずれかもしくは両方は複数のフォトダイオード 1 0 2 A、1 0 2 B で共有された増幅トランジスタ 1 0 5 の入力ノードの電位を所定の電位にする。

【 0 0 9 1 】

さらに、付加容量 1 0 8 A、1 0 8 B を構成するゲートにも同様に、共通の制御パルス p F D I N C が供給される構成となっているが、各々に対し独立した制御パルスが供給されるように構成してもよい。独立した制御パルスが供給されるように構成することで、電荷保持部 1 0 4 に付加される容量値を複数段階に切り替えることが可能となる。更には、各光電変換部毎に付加される容量値を切り替えることが可能となるため、各画素毎、もしくは各光電変換部毎に読出しモードを切り替えることが可能となる。カラーセンサに用いた場合には色ごとに、付加される容量値を切り替えてもよい。

【 0 0 9 2 】

図 1 1 を用いて本実施例の固体撮像装置の画素における模式的な平面図を説明する。主に実施例 1 ~ 3 との差異を中心に説明を行なう。本実施例においては、1 つの活性領域 1 0 0 1 に、2 つのフォトダイオード 1 0 2 A、1 0 2 B を構成する 2 つの N 型半導体領域 2 0 2 A、2 0 2 B (第 3 半導体領域) 及びこれらに対応して設けられる、転送トランジスタ、リセットトランジスタ、付加容量を構成する N 型半導体領域を配置されている。

【 0 0 9 3 】

図 1 1 (a) ではリセットトランジスタのゲート電極を構成する導電パターンを各フォトダイオード 1 0 2 A、1 0 2 B に対応して電気的に分離して、導電パターン 2 0 7 A、2 0 7 B として設けている。更に、付加容量のゲート電極を構成する導電パターンを、各フォトダイオード 1 0 2 A、1 0 2 B に対応して、各々電気的に独立して、導電パターン 2 0 5 A、2 0 5 B として設けている。リセットトランジスタのゲートを構成する導電パターン 2 0 7 A、2 0 7 B の下部の活性領域には、それぞれチャンネルが形成される。これら複数のチャンネルの間には、素子分離部 1 0 0 0 が配されている。2 つのリセットトランジスタのドレインとしては、N 型半導体領域 8 0 1 A (第 4 半導体領域) が共通に設けられている。

【 0 0 9 4 】

これに対して、図 1 1 (b) においては、リセットトランジスタのゲート電極 2 0 7 を 1 つの導電パターンで構成している。さらに、付加容量を構成する導電パターン 2 0 5 も一つの導電パターンで構成している点が図 1 1 (a) と異なる。ここで一つの導電パターンで構成するとは、1 のリセットトランジスタのチャンネル上部から、他のリセットトランジスタのチャンネル上部まで、それらの間に配される素子分離部上を導電パターンが連続して配置される構成である。

【 0 0 9 5 】

更に図 1 1 (b) の構成において、浮遊拡散領域となる第 1 半導体領域 2 0 4 を共通の半導体領域としてもよい。また、リセットトランジスタのソース領域となる第 2 半導体領域 2 0 6 も共通の半導体領域としてもよい。更に図 1 1 (b) のように構成する場合には

10

20

30

40

50

、2つの画素に対し、導電パターンを共通にしているため、活性領域どうしを可能な範囲で近づけて配置したほうがよい。したがって、図11(b)に示すように、フォトダイオード102A、102Bの各々に対応して設けられた浮遊拡散領域などが配される活性領域の一部を、各々フォトダイオードに近い部分から延出させるとよい。

【0096】

本実施例において実施例1～3と同様に導電パターンと活性領域との相対的な位置関係がずれたとしても、付加容量108を構成する第2半導体領域206の面積変化量を減少させることができる。このため、電荷保持部104に付加容量を付加した際の容量値の総和の変化量を減少させることができる。それにより、画素毎の電荷-電圧ゲインのゲインバラツキを軽減し、画像の品質を向上することが可能となる。さらに、複数の画素で画素増幅部を共有化しているため、各画素あたりの素子数を減らすことができ、フォトダイオードの開口率を向上させることができる。

10

【0097】

(実施例5)

図12は本実施例の固体撮像装置の画素を構成する部材の配置の一例を模式的に示した平面図である。実施例1～4と同様の機能を有する部分には同様の符号を付し、詳細な説明は省略する。本実施例は実施例4の変形例と見ることができ、等価回路は実施例4と同じく図10で示される。本実施例の実施例4との違いは、実施例4では、画素増幅部と選択部とが光電変換部などが配される活性領域とは別の活性領域に設けられていたが、本実施例では同じ活性領域に配されている点である。

20

【0098】

図12において説明のために、1つの活性領域を第1部分1201、第2部分1202、第3部分1203、第4部分1204に分けて説明する。

【0099】

第1部分1201には、図10に示すフォトダイオード102Aを構成するN型半導体領域202A(第3半導体領域)、浮遊拡散領域を構成するN型半導体領域204A(第1半導体領域)、リセットトランジスタのソース領域となるN型半導体領域206(第2半導体領域)の一部が配される。

【0100】

第2部分1202には、図10に示すフォトダイオード102BとなるN型半導体領域202B(第3半導体領域)、浮遊拡散領域となるN型半導体領域204B(第1半導体領域)、リセットトランジスタのソース領域となるN型半導体領域206の一部が配される。

30

【0101】

第3部分1203には、リセットトランジスタのソース領域となるN型半導体領域206(第2半導体領域)の一部が配される。

【0102】

第4部分1204には、リセットトランジスタのソース領域となる第2半導体領域206の他の一部、リセットトランジスタのドレイン領域となるN型半導体領域1206(第4半導体領域)が配される。更に、増幅トランジスタのソース領域となるN型半導体領域1208(第5半導体領域)、選択トランジスタのソース領域となるN型半導体領域1210(第6半導体領域)が配される。第4部分の上部には絶縁体膜を介して、導電パターン1205、1207、1209が配されており、これらはそれぞれリセットトランジスタ、増幅トランジスタ、選択トランジスタのゲート電極となる。

40

【0103】

第1部分1201と第2部分1202との間には、素子分離部1200が配されている。そして、第1部分1201、第2部分1202は第3部分1203につながり、更に、第3部分1203の一部から第4部分1204が延出している。

【0104】

そして第4部分1204の幅W3が、第1部分1201の幅W1、第2部分1202の

50

幅 W_2 よりも広い。更に好ましくは、

$$0.9 \times (W_1 + W_2) \leq W_3 \leq 1.1 \times (W_1 + W_2) \quad \dots \text{(式 1)}$$

の関係を満たしているのが好ましい。ここで各活性領域の幅は、各トランジスタのチャネル幅方向に平行な方向の長さである。

【0105】

なぜならば、仮に、導電パターン 205A、205B が活性領域に対し紙面右側にずれたことによる第2半導体領域 206 の面積減少分と、導電パターン 1205 がずれたことによる第2半導体領域 206 の面積増加分の差が小さくなるためである。結果として付加容量の容量値の画素ごとのばらつきを低減できる。

【0106】

(各実施例に共通の変形例)

上記各実施例においては、光電変換部、付加容量を構成する N 型半導体領域が配される活性領域にリセットトランジスタを構成する N 型半導体領域及び、その上部にそれらの素子を構成する導電パターンを配する例を説明した。

【0107】

しかしリセットトランジスタ以外の素子であっても、上述の各実施例と同様の効果を奏する変形例が存在する。それは、上述の各実施例におけるリセットトランジスタの代わりに、付加容量が入力ノードに接続されている際に、導電パターン下部の活性領域にチャネルが形成されない電圧が供給されているような導電パターンを設ける構成である。このような導電パターンをリセットトランジスタのゲート電極を構成する導電パターンの代わりに配しても同様の効果を得ることができる。このような素子としては例えば、付加容量値を複数段階切り替えることが可能な第2の付加容量などが例として挙げられる。

【0108】

以上本発明を実施例を挙げて具体的に説明したが、本発明は発明の思想を超えることの無い範囲でこれらの実施例を適宜変更或いは組み合わせることが可能である。たとえば、各実施例では付加容量は1つの導電パターンと二つの N 型半導体領域で構成した例のみを示した。しかし更に、N 型半導体領域の一方と電気的に接続される容量を別途設けてもよい。この容量の具体例としては、間に絶縁部材を介して積層された導電パターンを含んで構成された容量が挙げられる。

【0109】

(撮像システムの例)

本発明の固体撮像装置は様々な用途に適用可能である。例えばデジタル一眼レフカメラ用の撮像センサ、デジタルビデオカメラ用の撮像センサもしくは携帯電話用の撮像センサなどである。これら応用デバイスにおいては、本発明の固体撮像装置の撮像面に集光する光学部材と、固体撮像装置の付加容量の接続状態、非接続状態とを切り替える制御部とを有することで撮像システムを構成することができる。

【符号の説明】

【0110】

- 200 素子分離部
- 201A 活性領域
- 202 N 型半導体領域 (第3半導体領域)
- 203、205、207 導電パターン
- 204 N 型半導体領域 (第1半導体領域)
- 206 N 型半導体領域 (第2半導体領域)
- 208 N 型半導体領域 (第4半導体領域)
- 214 転送トランジスタ
- 216 リセットトランジスタ

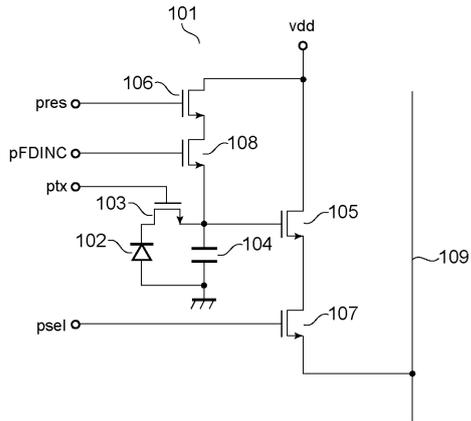
10

20

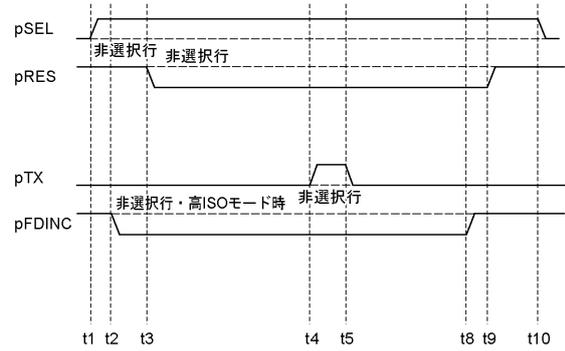
30

40

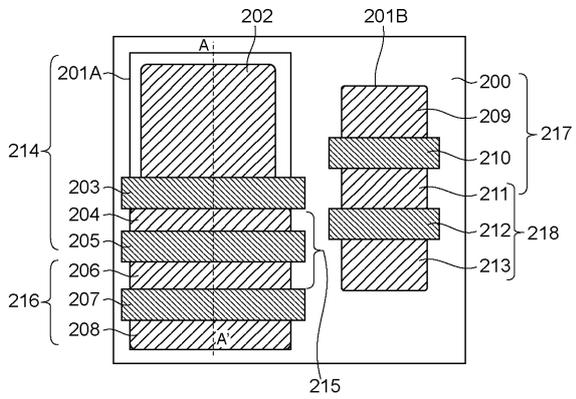
【図1】



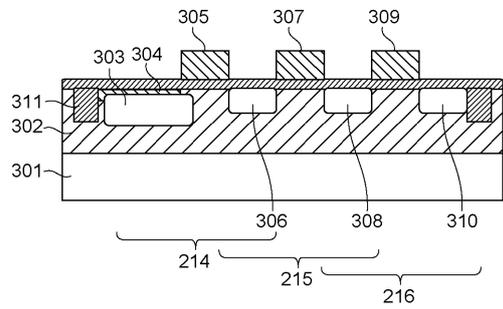
【図2】



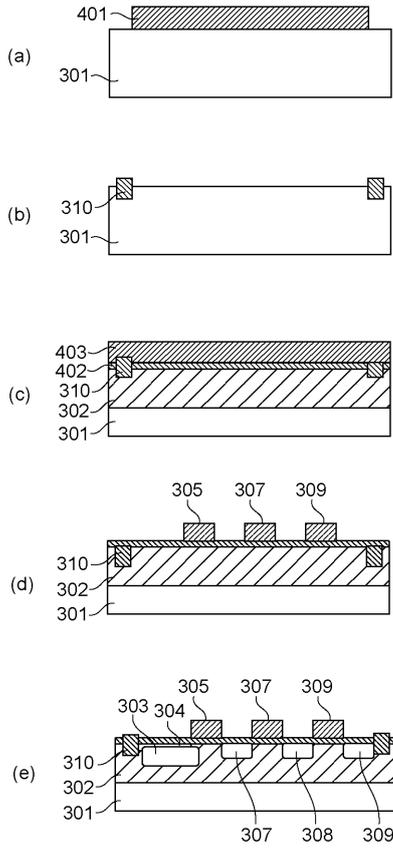
【図3】



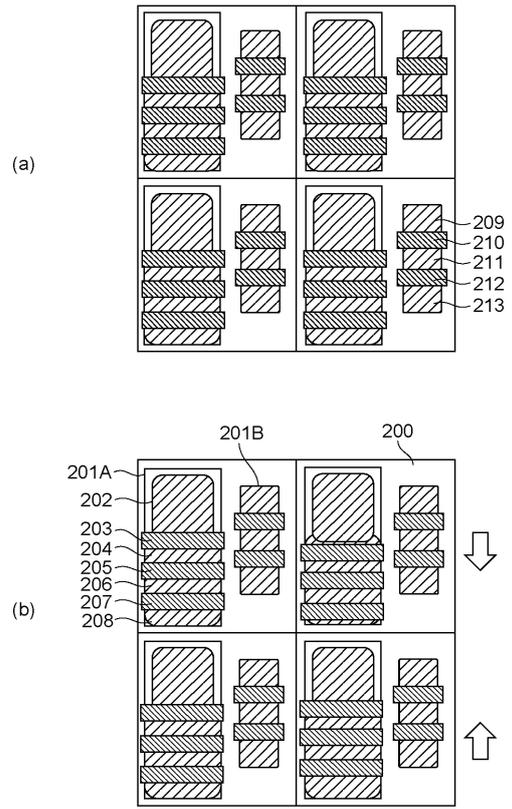
【図4】



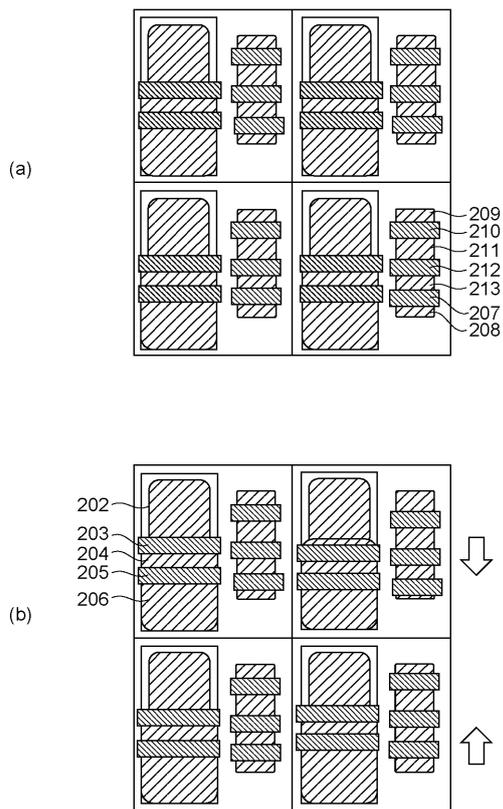
【 図 5 】



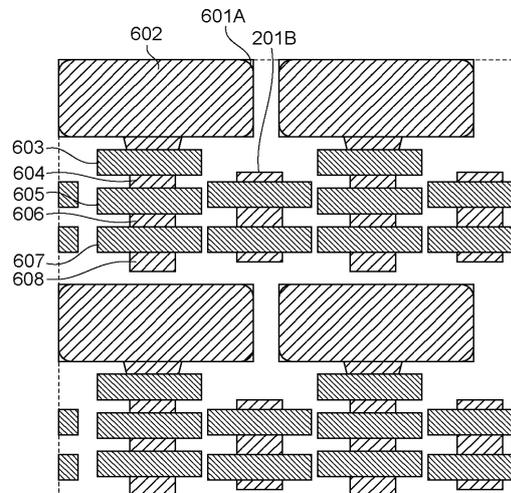
【 図 6 】



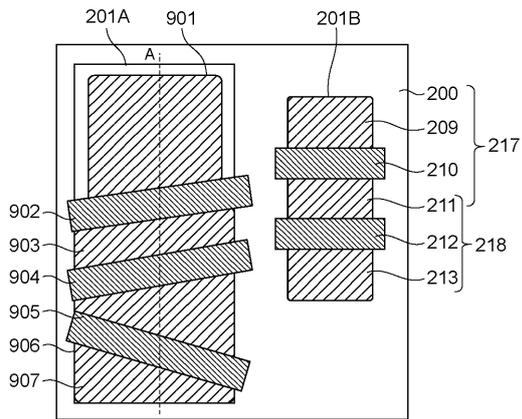
【 図 7 】



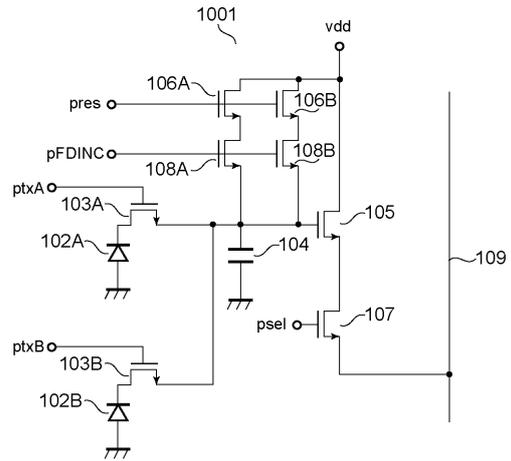
【 図 8 】



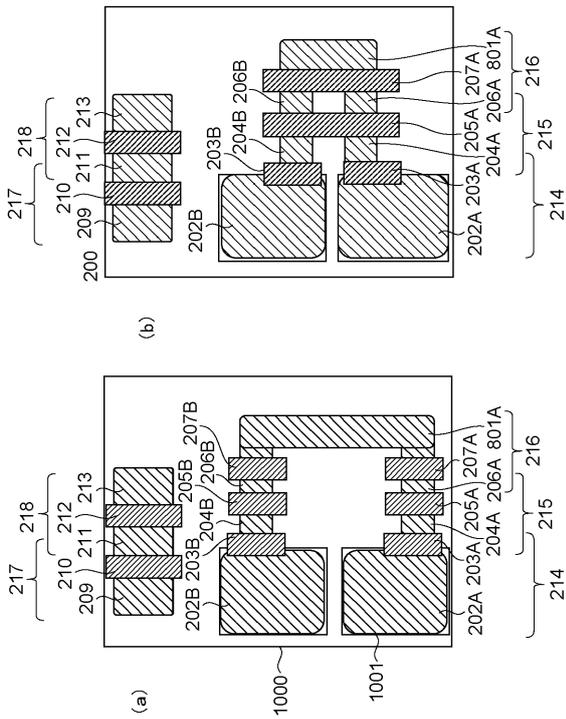
【図9】



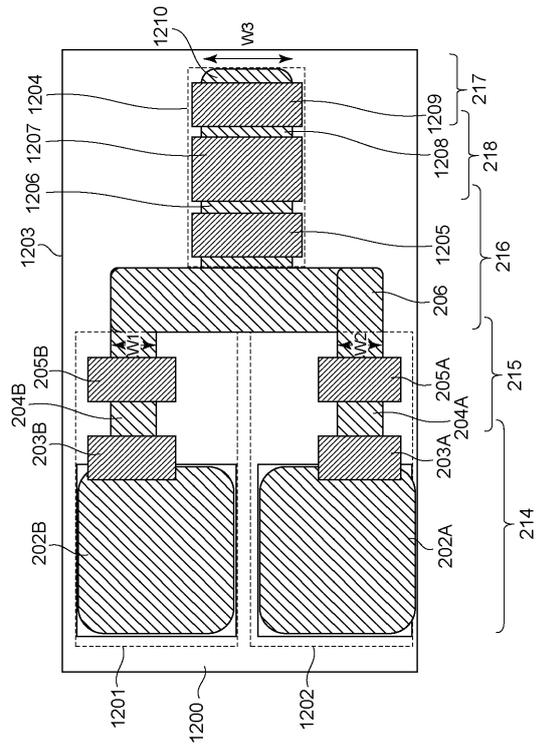
【図10】



【図11】



【図12】



フロントページの続き

- (56)参考文献 国際公開第2005/083790(WO, A1)
米国特許出願公開第2005/0110884(US, A1)
米国特許出願公開第2006/0255380(US, A1)
米国特許出願公開第2012/0104465(US, A1)
特開平11-126895(JP, A)
特開2004-111871(JP, A)
特開2005-005573(JP, A)
特開2009-188049(JP, A)
特開2013-033896(JP, A)
特表2008-537340(JP, A)
米国特許出願公開第2007/0215970(US, A1)
特開2007-180557(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14 - 148
H04N 5/335 - 378