

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-32724

(P2009-32724A)

(43) 公開日 平成21年2月12日(2009.2.12)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/337 (2006.01)	HO 1 L 29/80 C	5 F 1 0 2
HO 1 L 29/808 (2006.01)	HO 1 L 29/80 H	
HO 1 L 21/338 (2006.01)		
HO 1 L 29/778 (2006.01)		
HO 1 L 29/812 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願2007-192103 (P2007-192103)
 (22) 出願日 平成19年7月24日 (2007.7.24)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100080160
 弁理士 松尾 憲一郎
 (72) 発明者 野本 和生
 東京都港区港南1丁目7番1号 ソニー株式会社内
 Fターム(参考) 5F102 FA00 GB01 GC01 GD04 GJ05
 GK04 GL04 GM04 GM07 GQ01
 GQ02 GQ03 GR11 GV08 HC01
 HC15

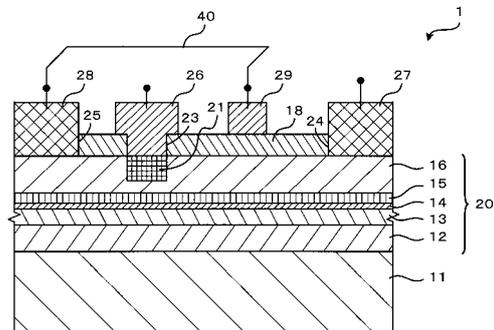
(54) 【発明の名称】 電界効果型トランジスタ、及びそれを備えたパワーアンプモジュール及び移動体通信装置並びに電界効果型トランジスタの製造方法

(57) 【要約】

【課題】コストの増加、オン抵抗 R_{on} の増減及び工程数の増加なく利得を変えることができる電界効果型トランジスタ等を提供すること。

【解決手段】積層半導体層 20 上に、ゲート電極 26 と、このゲート電極 26 を挟んで互いに対向するドレイン電極 27 及びソース電極 28 とが形成された電界効果型トランジスタ 1 において、ゲート電極 26 とドレイン電極 27 の間における積層半導体層 20 上に、絶縁膜 18 を介してソース電極 28 に接続したフィールドプレート電極 29 を設けた。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

積層半導体層上に、ゲート電極と、このゲート電極を挟んで互いに対向するソース電極及びドレイン電極とが形成された電界効果型トランジスタにおいて、

前記ゲート電極と前記ドレイン電極の間における前記積層半導体層上に、絶縁膜を介して前記ソース電極に接続したフィールドプレート電極を設けたことを特徴とする電界効果型トランジスタ。

【請求項 2】

積層半導体層上に、ゲート電極と、このゲート電極を挟んで互いに対向するソース電極及びドレイン電極とが形成された電界効果型トランジスタを有して構成されるパワーアンプを複数段設けて形成したパワーアンプモジュールにおいて、

前記電界効果型トランジスタは、前記ゲート電極と前記ドレイン電極の間における前記積層半導体層上に、絶縁膜を介して前記ソース電極に接続したフィールドプレート電極を設けたことを特徴とするパワーアンプモジュール。

【請求項 3】

前記フィールドプレート電極の位置は、前記パワーアンプ毎に異なることを特徴とする請求項 2 に記載のパワーアンプモジュール。

【請求項 4】

積層半導体層上に、ゲート電極と、このゲート電極を挟んで互いに対向するソース電極及びドレイン電極とが形成された電界効果型トランジスタを有して構成されるパワーアンプを複数段設けて形成したパワーアンプモジュールにおいて、

前記複数段のパワーアンプのうちの少なくとも 1 段のパワーアンプを構成する電界効果型トランジスタは、前記ゲート電極と前記ドレイン電極の間における前記積層半導体層上に、絶縁膜を介して前記ソース電極に接続したフィールドプレート電極を設けたことを特徴とするパワーアンプモジュール。

【請求項 5】

高周波信号をパワーアンプで増幅して送信する送信回路を備えた移動体通信装置において、

前記パワーアンプは、積層半導体層上に、ゲート電極と、このゲート電極を挟んで互いに対向するソース電極及びドレイン電極とが形成された電界効果型トランジスタを有し、

前記電界効果型トランジスタは、前記ゲート電極と前記ドレイン電極の間における前記積層半導体層上に、絶縁膜を介して前記ソース電極に接続したフィールドプレート電極を設けたことを特徴とする移動体通信装置。

【請求項 6】

積層半導体層上に、ゲート電極と、このゲート電極を挟んで互いに対向するソース電極及びドレイン電極とが形成された電界効果型トランジスタの製造方法において、

前記積層半導体層上に絶縁膜を形成する工程と、

前記絶縁膜を選択的に除去し、この絶縁膜をマスクとして、前記積層半導体層の最上層に形成される障壁層にゲート領域を形成する工程と、

前記ゲート領域上に前記ゲート電極を形成する工程と、

前記絶縁膜を選択的に除去し、前記積層半導体層上に前記ドレイン電極と前記ソース電極を形成する工程と、

前記ゲート電極と前記ドレイン電極の間における前記積層半導体層上に、前記絶縁膜を介してフィールドプレート電極を形成する工程と、

前記フィールドプレート電極と前記ソース電極とを接続する工程と、を有することを特徴とする電界効果型トランジスタの製造方法。

【請求項 7】

前記ゲート電極を形成する工程と、前記フィールドプレート電極を形成する工程とを同一工程としたことを特徴とする請求項 6 に記載の電界効果型トランジスタの製造方法。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、電界効果型トランジスタ、及びそれを備えたパワーアンプモジュール及び移動体通信装置、並びに電界効果型トランジスタの製造方法に関する。

【背景技術】

【0002】

携帯電話やPDA(Personal Digital Assistance)などの移動体通信装置においては、高周波信号を利用しているため、そのRF送受信回路には、高周波集積回路であるMMIC(Microwave Monolithic Integrated Circuit)を使用して高周波信号の送受信を行っている。

10

【0003】

このようなRF送受信回路においては、消費電力が大きい送信用パワーアンプモジュールが用いられているが、移動体通信装置における低消費電力化の流れから、高利得化や高電力付加効率化などの性能の向上の要請が強い。

【0004】

例えば、W-CDMA(第3世代携帯電話)の仕様では、高い利得特性を持った送信用パワーアンプモジュールが望まれている。そのため、従来の送信用パワーアンプモジュールにおいては、高性能増幅素子を有するパワーアンプを複数段に接続して、回路的な手法で各段における利得の制御を行い、仕様に沿ったデバイス性能を提供している。

20

【0005】

図10に従来のパワーアンプモジュールに用いられる増幅素子である電界効果型トランジスタの概略構成断面を示す。この図に示す電界効果型トランジスタは、接合型高電子移動度トランジスタ(JPHEMT: Junction Pseudomorphic High Electron Mobility Transistor)であり、電界効果型トランジスタの中でも特に高利得化や高電力付加効率(Power Added Efficiency)化に適していると考えられている電界効果型トランジスタである(例えば、特許文献1の図11参照)。

【0006】

図10において、従来の接合型高電子移動度トランジスタ100は、半絶縁性GaAs基板101上に、アンドープGaAsパuffers層102、アンドープInGaAsチャネル層103、アンドープAlGaAsスペーサー層104、n型AlGaAsドーピング層105、n型AlGaAs障壁層106が順次エピタキシャル成長により形成される積層半導体層を有している。ここで、n型AlGaAsドーピング層105とn型AlGaAs障壁層106には、n不純物、例えばシリコン(Si)がドーピングされており、その濃度はn型AlGaAsドーピング層105に $2 \times 10^{18} / \text{cm}^3 \sim 5 \times 10^{18} / \text{cm}^3$ 程度とし、n型AlGaAs障壁層106は $5 \times 10^{16} / \text{cm}^3$ 程度としている。

30

【0007】

n型AlGaAs障壁層106のゲート電極形成領域直下には、亜鉛(Zn)などのp型不純物がドーピングされたp型AlGaAs領域からなるゲート領域107が形成される。

40

【0008】

また、n型AlGaAs障壁層106上には、例えば窒化シリコン(SiN)が堆積されて絶縁膜108が形成される。そして、この絶縁膜108には、ソース電極形成領域、ドレイン電極形成領域及びゲート電極形成領域にそれぞれ開口部が設けられ、それらの開口部を通してn型AlGaAs障壁層106と接続するようにドレイン電極127及びソース電極128が形成され、ゲート領域107と接続するようにゲート電極126が形成される。

【特許文献1】特開2003-100774号公報

【発明の開示】

【発明が解決しようとする課題】

50

【0009】

ところで、W - C D M A の仕様においては、図 1 1 に示すように、前段のパワーアンプ 1 5 2 の利得が 1 5 . 0 d B 、後段のパワーアンプ 1 5 4 の利得が 1 4 . 0 d B である 2 段パワーアンプを有するパワーアンプモジュールが要求される。これらの利得は一般的に、図 1 1 に示すように、マッチング回路 1 5 1 , 1 5 3 , 1 5 5 を導入することで制御されており、パワーアンプそのものが持つ性能は、どちらの段においても同一である。

【0010】

上記特性を有するパワーアンプモジュール 1 5 0 を作製するにあたり、利得特性を調整するマッチング回路 1 5 1 , 1 5 3 , 1 5 5 の構成は、パワーアンプ 1 5 2 , 1 5 4 を構成する接合型高電子移動度トランジスタの性能を考慮しなければならず、その設計が複雑である。

10

【0011】

そこで、これらマッチング回路の設計工程の簡略化を図る方法として、パワーアンプを構成する接合型高電子移動度トランジスタの利得を、各段のパワーアンプで異なるようにデバイス設計することが考えられる。

【0012】

接合型高電子移動度トランジスタの利得向上の為に、接合型高電子移動度トランジスタのゲート長を短縮することが簡単な手法である。しかし、フォトリソグラフィやエッチング工程の増加や設備投資を余儀なくされ、スループットやコストの観点においてデメリットが大きい。

20

【0013】

また、接合型高電子移動度トランジスタの利得向上の為に別の手法として、ゲート・ドレイン間距離 (L g d) などのデバイスサイズを変更することが考えられる。しかし、その副作用としてオン抵抗 R o n の変化を伴い、その結果、効率の増減が発生し、マッチングの複雑化を増してしまう恐れがある。

【0014】

また、特開 2 0 0 6 - 2 3 7 2 8 6 号公報に示されるように、ゲート電極のサイドウォールに沿ってフローティング状態でフィールドプレート電極を形成することにより、接合型高電子移動度トランジスタのデバイス特性を向上する案も考えられるが、この場合には、フィールドプレート電極のみを形成する工程が従来のプロセスフローに追加され、工程数の増加による T A T (T u r n A r o u n d T i m e) やコストの増加を招いてしまう。

30

【0015】

本発明は、かかる課題を解決するためになされたものであり、コストの増加、オン抵抗 R o n の増減及び工程数の増加なく利得を変えられることができる電界効果型トランジスタ、及びそれを備えたパワーアンプ及び移動体通信装置並びに電界効果型トランジスタの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0016】

かかる課題を解決するために、請求項 1 に記載の発明は、積層半導体層上に、ゲート電極と、このゲート電極を挟んで互に対向するソース電極及びドレイン電極とが形成された電界効果型トランジスタにおいて、前記ゲート電極と前記ドレイン電極の間における前記積層半導体層上に、絶縁膜を介して前記ソース電極に接続したフィールドプレート電極を設けたことを特徴とする。

40

【0017】

また、請求項 2 に記載の発明は、積層半導体層上に、ゲート電極と、このゲート電極を挟んで互に対向するソース電極及びドレイン電極とが形成された電界効果型トランジスタを有して構成されるパワーアンプを複数段設けて形成したパワーアンプモジュールにおいて、前記電界効果型トランジスタは、前記ゲート電極と前記ドレイン電極の間における前記積層半導体層上に、絶縁膜を介して前記ソース電極に接続したフィールドプレート電

50

極を設けたことを特徴とする。

【0018】

また、請求項3に記載の発明は、請求項2に記載の発明において、前記フィールドプレート電極の位置は、前記パワーアンプ毎に異なることを特徴とする。

【0019】

また、請求項4に記載の発明は、積層半導体層上に、ゲート電極と、このゲート電極を挟んで互いに対向するソース電極及びドレイン電極とが形成された電界効果型トランジスタを有して構成されるパワーアンプを複数段設けて形成したパワーアンプモジュールにおいて、前記複数段のパワーアンプのうち少なくとも1段のパワーアンプを構成する電界効果型トランジスタは、前記ゲート電極と前記ドレイン電極の間における前記積層半導体層上に、絶縁膜を介して前記ソース電極に接続したフィールドプレート電極を設けたことを特徴とする。

10

【0020】

また、請求項5に記載の発明は、高周波信号をパワーアンプで増幅して送信する送信回路を備えた移動体通信装置において、前記パワーアンプは、積層半導体層上に、ゲート電極と、このゲート電極を挟んで互いに対向するソース電極及びドレイン電極とが形成された電界効果型トランジスタを有し、前記電界効果型トランジスタは、前記ゲート電極と前記ドレイン電極の間における前記積層半導体層上に、絶縁膜を介して前記ソース電極に接続したフィールドプレート電極を設けたことを特徴とする。

【0021】

また、請求項6に記載の発明は、積層半導体層上に、ゲート電極と、このゲート電極を挟んで互いに対向するソース電極及びドレイン電極とが形成された電界効果型トランジスタの製造方法において、前記積層半導体層上に絶縁膜を形成する工程と、前記絶縁膜を選択的に除去し、この絶縁膜をマスクとして、前記積層半導体層の最上層に形成される障壁層にゲート領域を形成する工程と、前記ゲート領域上に前記ゲート電極を形成する工程と、前記絶縁膜を選択的に除去し、前記積層半導体層上に前記ドレイン電極と前記ソース電極を形成する工程と、前記ゲート電極と前記ドレイン電極の間における前記積層半導体層上に、前記絶縁膜を介してフィールドプレート電極を形成する工程と、前記フィールドプレート電極と前記ソース電極とを接続する工程とを有する。

20

【0022】

また、請求項7に記載の発明は、前記ゲート電極を形成する工程と、前記フィールドプレート電極を形成する工程とを同一工程としたことを特徴とする。

30

【発明の効果】

【0023】

本発明によれば、コストの増加、オン抵抗 R_{on} の増減及び工程数の増加なく利得を変えることができる電界効果型トランジスタ、及びそれを備えたパワーアンプ及び移動体通信装置並びに電界効果型トランジスタの製造方法を提供することができる。

【発明を実施するための最良の形態】

【0024】

本発明に係る実施形態の電界効果型トランジスタは、例えば、ヘテロ界面を利用したヘテロ接合型の接合型高電子移動度トランジスタであり、パワーアンプを多段に複数段接続したパワーアンプモジュールに適用することができる。このパワーアンプモジュールは、例えば、携帯電話やPDA等の移動体通信装置の電力増幅器として使用することができる。以下の説明では、ヘテロ接合型の接合型高電子移動度トランジスタを一例に挙げ説明する。

40

【0025】

本実施形態における電界効果型トランジスタは、積層半導体層上に、ゲート電極と、このゲート電極を挟んで互いに対向するソース電極及びドレイン電極とが形成され、ゲート電極とドレイン電極の間における積層半導体層上に、絶縁膜を介してソース電極に接続したフィールドプレート電極を設けている。

50

【0026】

そして、このフィールドプレート電極の配置によって、電子移動度トランジスタの利得特性を変更することができる。例えば、フィールドプレート電極をゲート電極に近づけるほど、利得向上させることができ、逆にドレイン電極に近づけると利得向上の効果が少なくなる。よって、コストの増加やオン抵抗 R_{on} の増減なく、電子移動度トランジスタの利得特性を変更することが可能となる。

【0027】

従って、少なくとも1段のパワーアンプに、上記フィールドプレート電極を備えた電子移動度トランジスタを適用することにより、利得特性が異なる複数段のパワーアンプを備えたパワーアンプモジュールを提供することが容易となる。

10

【0028】

また、本実施形態における電子移動度トランジスタは、例えば、積層半導体層上に絶縁膜を形成する工程と、選択的に除去した上記絶縁膜をマスクとして積層半導体層の最上層に形成される障壁層にゲート領域を形成する工程と、ゲート領域上にゲート電極を形成する工程と、上記絶縁膜を選択的に除去し、積層半導体層上にドレイン電極とソース電極を形成する工程と、ゲート電極とドレイン電極の間における積層半導体層上に、絶縁膜を介してフィールドプレート電極を形成する工程と、フィールドプレート電極とソース電極とを接続する工程とにより製造することができる。

【0029】

しかも、ゲート電極を形成する工程と、フィールドプレート電極を形成する工程とを同一工程とすることにより、工程数を増加させずに、電子移動度トランジスタの利得特性を向上することができるのである。

20

【0030】

以下、本発明の電界効果型トランジスタを備えた半導体装置に係る一実施の形態を、図1の概略構成断面図によって具体的に説明する。図1では、一例として、 $InGaAs$ と $AlGaAs$ のヘテロ界面を利用したシングルヘテロ接合型の接合型高電子移動度トランジスタ (JPHEMT) に応用した構成を示す。

【0031】

図1に示すように、基板11上には、バッファ層12、チャネル層13、スペーサー層14、ドーピング層15、障壁層16が下層より順に、例えば、エピタキシャル成長し、エピタキシャル構造の積層半導体層20を形成する。上記基板11には、一例として半絶縁性 $GaAs$ 基板を用いる。上記バッファ層12には、一例として膜厚500nmのアンドープ $GaAs$ バッファ層を用いる。上記チャネル層13には、一例として膜厚20nmのアンドープ $InGaAs$ チャネル層を用いる。上記スペーサー層14には、一例として膜厚10nmのアンドープ $AlGaAs$ スペーサー層を用いる。上記ドーピング層15には、一例として膜厚5nmのn型 $AlGaAs$ ドーピング層を用いる。上記障壁層16には、一例として膜厚200nmのn型 $AlGaAs$ 障壁層を用いる。

30

【0032】

ドーピング層15と障壁層16には、n型不純物として、例えばシリコン (Si) がドーピングされており、その濃度は、ドーピング層15においては $2 \times 10^{18} / cm^3 \sim 5 \times 10^{18} / cm^3$ 程度、障壁層16においては $5 \times 10^{16} / cm^3$ 程度である。

40

【0033】

障壁層16のゲート電極形成領域直下には、ゲート領域21が形成される。このゲート領域21は、p型不純物、例えば亜鉛 (Zn) がドーピングされたp型 $AlGaAs$ 領域により形成されている。

【0034】

また、障壁層16上には、絶縁膜18が、例えば窒化シリコン (SiN) で形成されている。この絶縁膜18には、電極形成用の開口部23, 24, 25が形成されている。この開口部23には、ゲート領域21に接続するゲート電極26が形成されている。このゲート電極26は、例えばチタン (Ti)、プラチナ (Pt)、金 (Au) の積層構造とな

50

っている。また、開口部 24, 25 には、障壁層 16 に接続するドレイン電極 27、ソース電極 28 が形成されている。これらドレイン電極 27 とソース電極 28 は、例えば金 (Au) とゲルマニウムの合金 (AuGe) とニッケル (Ni) を合金化したものが用いられる。

【0035】

そして、ゲート電極 26 とドレイン電極 27 の間の絶縁膜 18 上に、ソース電極 28 に配線部 40 で接続されたフィールドプレート電極 29 が配置されている。このフィールドプレート電極 29 は、ゲート電極 26 と同一工程で同時に形成されたものであり、例えばチタン (Ti)、プラチナ (Pt)、金 (Au) の積層構造となっている。

【0036】

このように、ゲート電極 26 とドレイン電極 27 の間の絶縁膜 18 上に、ソース電極 28 に接続されたフィールドプレート電極 29 を配置することにより、ゲート電極 26 近傍の電界集中の緩和、また、ゲート・ドレイン間寄生容量 C_{gd} の外因性部分を低減することができる。

【0037】

従って、ソース、ゲート、ドレイン直下のキャリア濃度は減少せず、ソース・ゲート間寄生抵抗 R_s 、ゲート・ドレイン間寄生抵抗 R_d を増加させることなく、効率よく利得特性を向上させることができる。

【0038】

しかも、 L_g などのデバイスサイズが従来と同じである為、DC 特性をまったく変えずに、RF 特性のひとつである利得を変えることが可能となる。

【0039】

本実施の形態の製造方法を用いて上述した接合型高電子移動度トランジスタ 1 の試作を行い、MSG (Maximum Stable Gain; 最大安定利得) を評価した結果を図 2 に示す。図 2 は、本実施形態における接合型高電子移動度トランジスタ 1 において、最大安定利得 MSG と、ゲート電極 26 とフィールドプレート電極 29 との間の距離 L_{fp} (図 2 (b) 参照) との関係を示す図 (図 2 (b) 参照) である。この図 2 に示すように、フィールドプレート電極 29 をゲート電極 26 に近づけるほど、利得向上させることができ、逆にドレイン電極 27 に近づけると利得向上の効果が少なくなる。例えば、距離 $L_{fp} = 1.0 \mu\text{m}$ のとき、最大安定利得 $MSG = 20.5 \sim 20.8 \text{ dB}$ であるのに対し、距離 $L_{fp} = 3.0 \mu\text{m}$ のとき、最大安定利得 $MSG = 19.5 \sim 19.8 \text{ dB}$ である。従って、フィールドプレート電極 29 の配置によって、利得の調整が可能となり、後述のように、利得の異なるパワーアンプを多段にしたパワーアンプモジュールの作成が容易となる。

【0040】

(製造方法について)

次に、本発明の高電子移動度トランジスタ 1 の製造方法に係る一実施の形態を、図 3 ~ 図 5 の製造工程断面図によって説明する。この製造方法では、図 1 を参照して説明した接合型高電子移動度トランジスタ 1 の製造方法を説明する。

【0041】

図 3 (a) に示すように、基板 11 上には、バッファ層 12、チャネル層 13、スペーサー層 14、ドーピング層 15、障壁層 16 が下層より順に、例えば、エピタキシャル成長し、エピタキシャル構造の積層半導体層を形成する。上記基板 11 には、一例として半絶縁性 GaAs 基板を用いる。上記バッファ層 12 には、一例として膜厚 500 nm のアンドープ GaAs バッファ層を用いる。上記チャネル層 13 には、一例として膜厚 20 nm のアンドープ InGaAs チャネル層を用いる。上記スペーサー層 14 には、一例として膜厚 10 nm のアンドープ AlGaAs スペーサー層を用いる。上記ドーピング層 15 には、一例として膜厚 5 nm の n 型 AlGaAs ドーピング層を用いる。上記障壁層 16 には、一例として膜厚 200 nm の n 型 AlGaAs 障壁層を用いる。ドーピング層 15 と障壁層 16 には、n 型不純物として、例えば Si がドーピングされており、その濃度は、ドーピング層 15 においては $2 \times 10^{18} / \text{cm}^3 \sim 5 \times 10^{18} / \text{cm}^3$ 程度、障壁層 16

10

20

30

40

50

においては $5 \times 10^{16} / \text{cm}^3$ 程度に設定する。

【0042】

次に、図3(b)に示すように、障壁層16上に絶縁膜18を形成する。この絶縁膜18は、例えばCVD法(Chemical Vapor Deposition)によって、SiNを堆積して形成する。

【0043】

次に、図3(c)に示すように、上記絶縁膜18上に塗布技術によってレジストを塗布してレジスト膜30を形成する。次いで、フォトリソグラフィ(Photolithography)技術によりゲート形成領域上のレジスト膜30に開口部31を形成する。次に、このレジスト膜30をエッチングマスクに用いて、絶縁膜18の一部をエッチングして、開口部32を形成する。このエッチングは、例えばRIE(Reactive Ion Etching)により行う。その後、レジスト膜30を除去する。

10

【0044】

次に、図4(a)に示すように、p型不純物、例えばZnの有機金属化合物であるジエチルジルク(DEZ)を用いて気相拡散により、開口部32より障壁層16中に亜鉛(Zn)を導入することで、p型AlGaAs領域からなるゲート領域21を形成する。

【0045】

次に、絶縁膜18上に開口部32内を含めて導電膜である電極形成膜を成膜する。この電極形成膜は、例えば、チタン(Ti)、プラチナ(Pt)、金(Au)を順次蒸着して形成する。続いて、フォトリソグラフィ技術によるマスクの形成とそのマスクを用いたミリング技術により、図4(b)に示すように、上記電極形成膜からなるゲート電極26を形成すると同時に、ゲート・ドレイン間にこのゲート電極26から、例えば1.5 μm 離れた位置に上記電極形成膜からなるフィールドプレート電極29を形成する。ゲート電極26は、開口部32を通してゲート領域21に接続される。

20

【0046】

次に、ゲート電極26及びフィールドプレート電極29を被覆するように絶縁膜18上に、塗布技術によってレジストを塗布してレジスト膜を形成する。次いで、フォトリソグラフィ技術によりドレイン電極27を形成するドレイン電極形成領域上及びソース電極28を形成するソース形成電極領域上が開口されるように、レジスト膜に開口部を形成する。次に、図4(c)に示すように、レジスト膜をエッチングマスクに用いて、絶縁膜18をエッチングして、ドレイン電極形成領域上及びソース電極形成領域上に開口部33、34を形成する。このエッチングは例えばRIEにより行う。

30

【0047】

次に、全面にオーミック電極材料、例えば金・ゲルマニウム合金(AuGe)、ニッケル(Ni)、Auを順次蒸着した後、リフトオフ法とその後の合金化プロセスにより、図5(a)に示すように、開口部33にドレイン電極27を、開口部34にソース電極28をそれぞれ形成する。

【0048】

その後、図5(b)に示すように、配線部40においてフィールドプレート電極29とソース電極28とを接続する。

40

【0049】

このような製造方法によって、ソース、ゲート、ドレイン直下のキャリア濃度は減少せず、ソース・ゲート間寄生抵抗 R_s 、ゲート・ドレイン間寄生抵抗 R_d を増加させることなく、効率よく利得特性を向上させることができ、しかも、DC特性を変えずに利得を変えることができる接合型高電子移動度トランジスタ構造を実現することができる。

【0050】

上述においては、InGaAsとAlGaAsのヘテロ界面を利用したシングルヘテロ接合型の接合型高電子移動度トランジスタを例に挙げて説明したが、ダブルヘテロ接合型の構造のものについても適応可能である。ダブルヘテロ接合型の接合型高電子移動度トランジスタの積層半導体層として、例えば、半絶縁性GaAs基板上に、アンドープGaA

50

sバッファ層、第一のアンドープAlGaAs層、第一のn型AlGaAsドーピング層、第一のアンドープAlGaAsスペーサー層、アンドープInGaAsチャンネル層、第二のアンドープAlGaAsスペーサー層、第二のn型AlGaAsドーピング層、n型AlGaAs障壁層を順次積層した積層半導体層を用いる。その他の構成は、シングルヘテロ接合型の接合型高電子移動度トランジスタと同様である。

【0051】

(パワーアンプモジュールについて)

次に、上述した接合型高電子移動度トランジスタ1を有して構成されるパワーアンプを同一基板11上で多段に接続したパワーアンプモジュールについて図面を参照して説明する。図6はW-CDMAの仕様要求に適合したパワーアンプモジュールの回路構成を示す図である。

10

【0052】

図6に示すように、このパワーアンプモジュール50は、入力マッチング回路51と、前段パワーアンプ52と、中間マッチング回路53と、後段パワーアンプ54と、出力マッチング回路55とを有している。そして、前段パワーアンプ52の利得は15.0dBであり、後段パワーアンプ54の利得は14.0dBとなるように設定される。

【0053】

そして、前段パワーアンプ52と後段パワーアンプ54とは、増幅素子として上述した接合型高電子移動度トランジスタ1を含んで構成されている。それぞれのパワーアンプ52, 54は、ゲート電極とフィールドプレート電極との距離Lfpを異ならせることによって、上述した異なる利得を実現している。

20

【0054】

上述した図2(b)に示すように、接合型高電子移動度トランジスタ1において、そのゲート電極26とフィールドプレート電極29との距離Lfpと利得MSGとは関数の関係にあり、例えば、距離Lfpが1.0μmのときにパワーアンプの利得が15.0dBとなり、距離Lfpが2.0μmのときにパワーアンプの利得が14.0dBとなる場合、図7(a)に示すように、前段パワーアンプ52を構成する接合型高電子移動度トランジスタ1の前記距離Lfpを1.0μmとし、図7(b)に示すように、後段パワーアンプ54を構成する接合型高電子移動度トランジスタ1の前記距離Lfpを2.0μmとすることで、上述したW-CDMAの仕様要求に適合することができる。

30

【0055】

このように、ゲート電極とフィールドプレート電極との距離Lfpを異ならせるだけで異なる利得を有するパワーアンプを作製することができるから、コストの増加、オン抵抗Ronの増減或いは工程数の増加なく利得を変えることができ、回路設計の簡単化を図ることができる。

【0056】

また、前段パワーアンプ52のみに上述した接合型高電子移動度トランジスタ1を適用し、後段パワーアンプ54にはフィールドプレート電極29を設けない従来の接合型高電子移動度トランジスタを適用したパワーアンプモジュールとしてもよい。

【0057】

例えば、接合型高電子移動度トランジスタ1の前記距離Lfpが2.0μmのときにパワーアンプの利得が15.0dBとなり、フィールドプレート電極29を設けないときのパワーアンプの利得が14.0dBとなる場合、図8(a)に示すように、前段パワーアンプ52を構成する接合型高電子移動度トランジスタ1の前記距離Lfpを2.0μmとし、図8(b)に示すように、後段パワーアンプ54を構成する接合型高電子移動度トランジスタを、フィールドプレート電極29を設けない接合型高電子移動度トランジスタとすることで、上述したW-CDMAの仕様要求に適合することができる。

40

【0058】

このように、前段パワーアンプ52のみにソース電極28に接続するフィールドプレート電極29を設けることで、各段のパワーアンプの利得を実現するようにしてもよい。こ

50

の場合、例えば、後段パワーアンプ54を構成する接合型高電子移動度トランジスタにおいて、従来通りの構造を実現する為に、マスク上でフィールドプレート電極29を作製しないような描画パターンを準備しておけばよい。なお、各段の利得に応じて、前段から終段までのどの部分を、フィールドプレート電極29を有しない接合型高電子移動度トランジスタとするかを適宜決定することができる。

【0059】

上述においては、同一基板上で多段にパワーアンプを接続したパワーアンプモジュールであって、W-CDMAの仕様要求に適合したパワーアンプモジュールの例について説明したが、W-CDMAの仕様に限らず、様々な仕様に合わせた多段パワーアンプを有するパワーアンプモジュールに上述したエピタキシャル構造を有する接合型高電子移動度トランジスタ1を適用することが可能である。

10

【0060】

例えば、HSDPA(High Speed Downlink Packet Access)変調の通信方式の装置において、2段パワーアンプを備えたパワーアンプモジュールに上述したエピタキシャル構造を有する接合型高電子移動度トランジスタ1を適用することができる。この場合、例えば、前段パワーアンプで15.5dB、後段パワーアンプで13.0dBの利得特性が要求される。そこで、各段パワーアンプにおける接合型高電子移動度トランジスタ1のフィールドプレート構造で実現するために、例えば、前段パワーアンプの接合型高電子移動度トランジスタ1で距離Lfpを0.5μm、後段パワーアンプの接合型高電子移動度トランジスタ1で距離Lfpを3.2μm、若しくはフィールドプレート電極29のない構造を有するものとする。

20

【0061】

また、HSDPA変調の通信方式の装置において、3段パワーアンプを備えたパワーアンプモジュールに上述したエピタキシャル構造を有する接合型高電子移動度トランジスタ1を適用することができる。この場合、例えば、初段パワーアンプで4.5dB、中段パワーアンプで14.0dB、終段パワーアンプで10.5dBの利得特性が要求される。これを、各段における接合型高電子移動度トランジスタ1のフィールドプレート構造で実現するために、例えば、中段パワーアンプの接合型高電子移動度トランジスタ1で距離Lfpを0.5μm、終段パワーアンプの接合型高電子移動度トランジスタ1で距離Lfpを3.2μm、若しくはフィールドプレート電極29のない構造を有するものとする。なお、初段パワーアンプの接合型高電子移動度トランジスタ1については、出力電力が小さく、大きな利得を要しない為、フィールドプレート構造は必要としない。

30

【0062】

(移動体通信装置について)

次に、上記実施の形態のパワーアンプモジュール50などを搭載した移動体通信装置の構成について説明する。図9は、移動体通信装置の概略構成を示す図である。

【0063】

図9に示した移動体通信装置60は、CPU61と、ROM62と、RAM63と、入力部64と、表示部65と、音声入出力部66と、無線送受信回路67とを備えており、例えば、携帯電話器、情報携帯端末(PDA)などである。

40

【0064】

そして、無線送受信回路67(送信回路の一例に相当)には、上記実施の形態において説明した接合型高電子移動度トランジスタ1を備えたパワーアンプモジュール50を電力増幅器として搭載しており、変調された高周波信号をこのパワーアンプモジュール50で増幅し、デュプレクサ71及びアンテナ72を介して無線信号として出力する。なお、他の無線装置からの無線信号は、アンテナ72及びデュプレクサ71を介して電力増幅器73で増幅され、その後復調されて処理される。

【0065】

このように上述したパワーアンプモジュール50を移動体通信装置などに適用することができる。

50

【 0 0 6 6 】

以上、本発明の実施の形態のいくつかを図面に基づいて詳細に説明したが、これらは例示であり、当業者の知識に基づいて種々の変形、改良を施した他の形態で本発明を実施することが可能である。

【 図面の簡単な説明 】

【 0 0 6 7 】

【 図 1 】 本発明に係る一実施の形態における高電子移動度トランジスタの概略構成断面図である。

【 図 2 】 図 1 の高電子移動度トランジスタにおけるフィールドプレート電極の配置と利得との関係を説明するための図である。

【 図 3 】 本発明に係る一実施の形態における高電子移動度トランジスタの製造工程断面図である。

【 図 4 】 本発明に係る一実施の形態における高電子移動度トランジスタの製造工程断面図である。

【 図 5 】 本発明に係る一実施の形態における高電子移動度トランジスタの製造工程断面図である。

【 図 6 】 本発明に係る一実施の形態におけるパワーアンプモジュールの概略構成を示す図である。

【 図 7 】 本発明に係る一実施の形態におけるパワーアンプモジュールの概略構成断面図を示す図である。

【 図 8 】 本発明に係る一実施の形態における他のパワーアンプモジュールの概略構成断面図を示す図である。

【 図 9 】 本発明に係る一実施の形態における移動体通信装置の概略構成を示す図である。

【 図 1 0 】 従来の高電子移動度トランジスタの概略構成断面図である。

【 図 1 1 】 パワーアンプモジュールの概略構成を示す図である。

【 符号の説明 】

【 0 0 6 8 】

- 1 高電子移動度トランジスタ
- 1 1 基板
- 1 2 バッファ層
- 1 3 チャンネル層
- 1 4 スペース層
- 1 5 ドーピング層
- 1 6 障壁層
- 1 8 絶縁膜
- 2 0 積層半導体層
- 2 1 ゲート領域
- 2 6 ゲート電極
- 2 7 ドレイン電極
- 2 8 ソース電極
- 2 9 フィールドプレート電極
- 5 0 パワーアンプモジュール
- 5 2 前段パワーアンプ
- 5 4 後段パワーアンプ

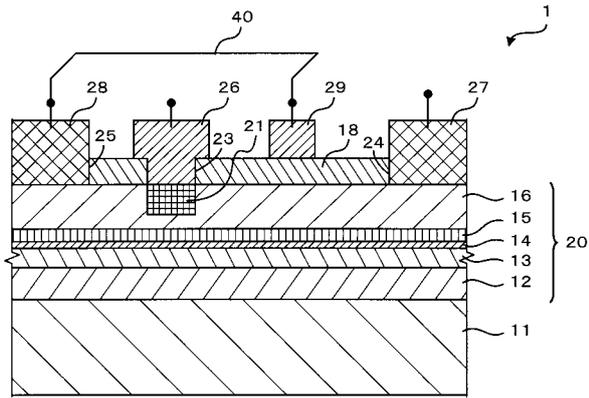
10

20

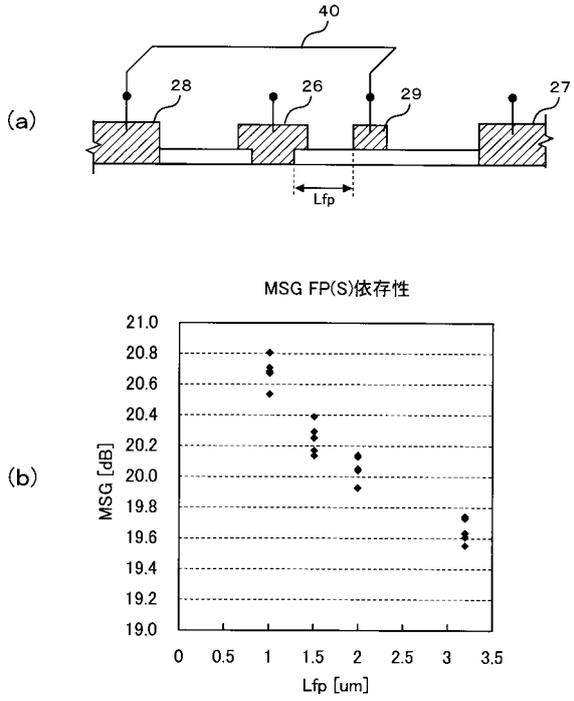
30

40

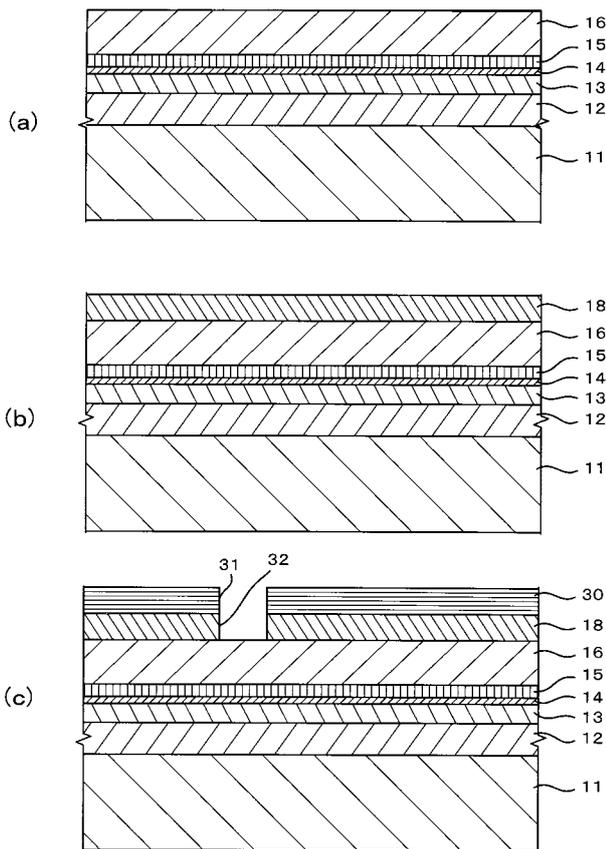
【 図 1 】



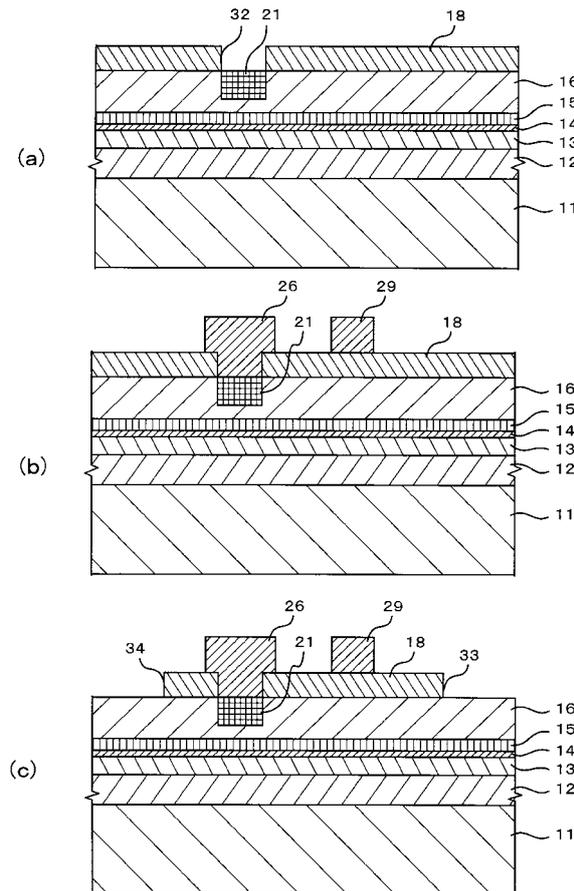
【 図 2 】



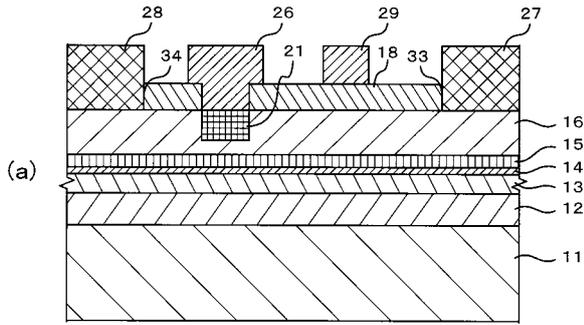
【 図 3 】



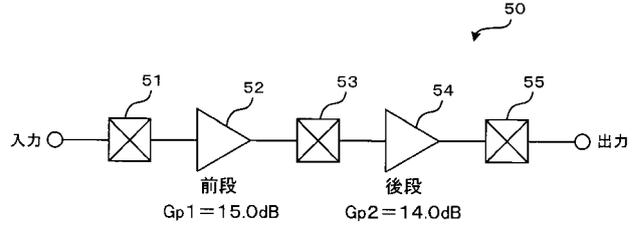
【 図 4 】



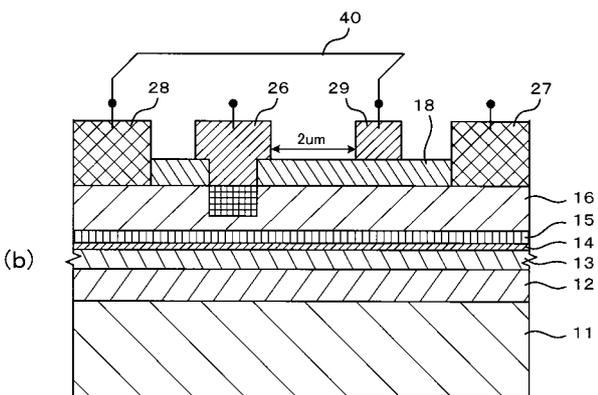
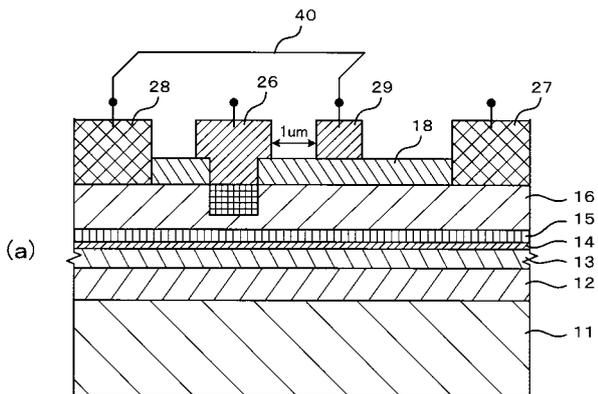
【図5】



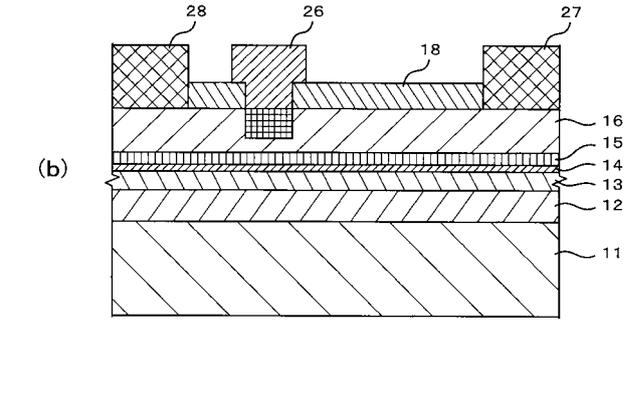
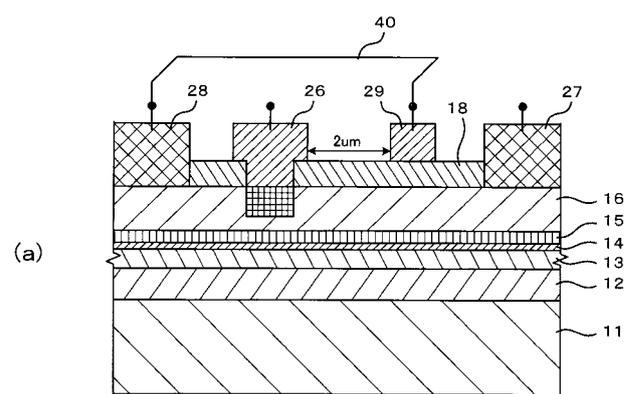
【図6】



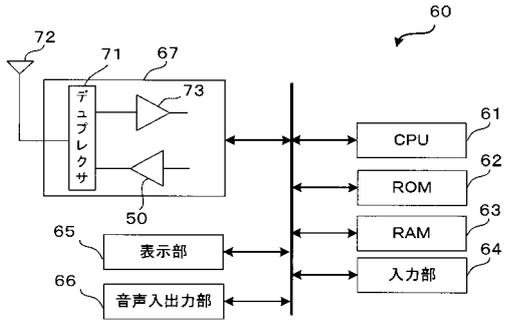
【図7】



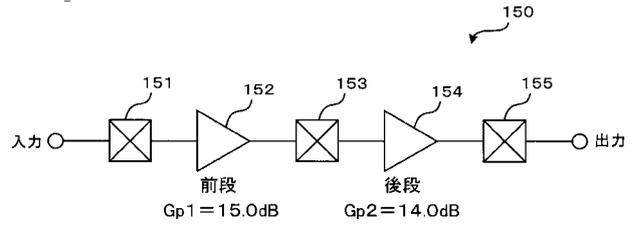
【図8】



【図9】



【図11】



【図10】

