

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4853620号  
(P4853620)

(45) 発行日 平成24年1月11日(2012.1.11)

(24) 登録日 平成23年11月4日(2011.11.4)

(51) Int.Cl.

F I

G06F 11/20 (2006.01)

G06F 11/20 310G

請求項の数 3 (全 9 頁)

(21) 出願番号	特願2005-354989 (P2005-354989)	(73) 特許権者	000004237
(22) 出願日	平成17年12月8日(2005.12.8)		日本電気株式会社
(65) 公開番号	特開2007-157060 (P2007-157060A)		東京都港区芝五丁目7番1号
(43) 公開日	平成19年6月21日(2007.6.21)	(74) 代理人	100123788
審査請求日	平成20年11月12日(2008.11.12)		弁理士 官崎 昭夫
		(74) 代理人	100106138
			弁理士 石橋 政幸
		(74) 代理人	100127454
			弁理士 緒方 雅昭
		(72) 発明者	橋口 達郎
			東京都港区芝五丁目7番1号 日本電気株式会社内
		審査官	稲垣 良一

最終頁に続く

(54) 【発明の名称】 マルチプロセッサシステムと初期立ち上げ方法およびプログラム

(57) 【特許請求の範囲】

【請求項1】

複数のプロセッサを具備し、エミュレーションにより、各プロセッサが機能が異なるアーキテクチャのシステムを実現するマルチプロセッサシステムであって、

システム立ち上げ時に前記複数のプロセッサのそれぞれが行った初期診断試験の結果を保持する構成レジスタを具備し、

前記複数のプロセッサは、前記構成レジスタに保持されている初期診断試験の結果が正常であるプロセッサの中で、物理プロセッサ番号が最若番のプロセッサをブートストラッププロセッサとし、

前記ブートストラッププロセッサは、エミュレーションで実現される論理プロセッサ番号に対して、入出力制御プロセッサであるかを示す属性と、物理プロセッサ番号を示す物理IDと、当該論理プロセッサの有効/無効情報とを含む論理プロセッサ情報表にて、入出力制御用として定義される論理プロセッサの中で物理プロセッサ番号が最若番の論理プロセッサに、自身の物理プロセッサ番号を割り当て、それまで前記論理プロセッサ情報表にて自身の物理IDが割り当てられていた論理プロセッサについては無効とすることを特徴とするマルチプロセッサシステム。

【請求項2】

複数のプロセッサを具備し、エミュレーションにより、各プロセッサが機能が異なるアーキテクチャのシステムを実現するマルチプロセッサシステムで行われる初期立ち上げ方法であって、

10

20

システム立ち上げ時に前記複数のプロセッサが、それぞれ初期診断試験を行うステップと、

前記初期診断試験の結果が正常であるプロセッサの中で、物理プロセッサ番号が最若番のプロセッサをブートストラッププロセッサとするステップと、

前記ブートストラッププロセッサが、エミュレーションで実現される論理プロセッサ番号に対して、入出力制御プロセッサであるかを示す属性と、物理プロセッサ番号を示す物理IDと、当該論理プロセッサの有効/無効情報とを含む論理プロセッサ情報表にて、入出力制御用として定義される論理プロセッサの中で物理プロセッサ番号が最若番の論理プロセッサに、自身の物理プロセッサ番号を割り当て、それまで前記論理プロセッサ情報表にて自身の物理IDが割り当てられていた論理プロセッサについては無効とするステップと、を有することを特徴とするマルチプロセッサシステムの初期立ち上げ方法。

10

【請求項3】

請求項2記載の方法をコンピュータシステムに実行させるプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、異なるアーキテクチャのプロセッサ（CPU：中央処理装置）をエミュレーションにより実現するマルチプロセッサシステムに関し、特に、マルチプロセッサシステム立ち上げ時の故障発生に対応した救済処理を可能とするマルチプロセッサシステムに関する。

20

【背景技術】

【0002】

従来、複数のプロセッサを有するマルチプロセッサシステムにおいては、システムの立ち上げ時に故障したプロセッサが存在した場合、その故障したプロセッサを切り離して立ち上げていた。

【0003】

上記のような故障したプロセッサを切り離すことによる性能低下を防止するための技術として、特許文献1（特開2000-76216号公報）には予備のプロセッサを複数予め設け、障害発生時にその予備のプロセッサへ切り替えるという技術が開示されている。

【0004】

また、特許文献2（特開2000-181890号公報）には、主プロセッサに故障が発生したときに、複数の従プロセッサの中から主プロセッサの機能を実行するに最適な従プロセッサを選択する技術が開示されている。

30

【0005】

また、特許文献3（特開2001-14290号公報）には、各プロセッサのそれぞれにいずれかのプロセッサが故障した際に、故障していないプロセッサの中からシステム制御プロセッサを決定し、決定されたシステムプロセッサによりシステムを再開する手段を設けることが開示されている。

【特許文献1】特開2000-76216号公報

【特許文献2】特開2000-181890号公報

【特許文献3】特開2001-14290号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

上述した特許文献1ないし特許文献3のマルチプロセッサシステムのいずれにおいても、システムの立ち上げ時に故障したプロセッサが存在した場合、その故障したプロセッサを切り離して立ち上げていた。特許文献1に開示される技術では予備のプロセッサを複数予め設け、障害発生時にその予備のプロセッサへ切り替えられる。

【0007】

また、特許文献2に開示される技術では、複数の従プロセッサの中から主プロセッサの

50

機能を実行するに最適な従プロセッサが選択される。

【0008】

特許文献3に開示される技術では、各プロセッサのそれぞれにいずれかのプロセッサが故障した際に、故障していないプロセッサの中からシステム制御プロセッサが決定されて使用される。

【0009】

上記の特許文献に記載の技術のいずれにおいても、予め機能が限定された予備のプロセッサを主となるプロセッサとして用いることが行われているが、マルチプロセッサシステムでは、各プロセッサの機能は固有な機能とされることが多いため、各プロセッサの種類ごとに予備を設ける構成とするとシステムが冗長となるという問題点がある。

10

【0010】

また、マルチプロセッサシステムを構成するプロセッサの機能のうち、入出力を制御する機能を備えるプロセッサはシステム制御する上で必須のものであり、このような必須の機能を有するプロセッサが機能しないと再立ち上げを行うことができず、システム運用継続は不可となり、特に重要である。

【0011】

本発明は上述したような従来技術が有する問題点に鑑みてなされたものであって、確実な再立ち上げが行われるとともにシステムが冗長となることのないマルチプロセッサシステムを実現することを目的とする。

【0012】

本発明の目的は、上記問題を解消し、システムに必須の機能を分担するプロセッサが故障しても次のシステム立ち上げ時に必ず運用継続を可能とすることができるマルチプロセッサシステムを提供することにある。

20

【課題を解決するための手段】

【0013】

本発明のマルチプロセッサシステムは、複数のプロセッサを具備し、エミュレーションにより、各プロセッサが機能が異なるアーキテクチャのシステムを実現するマルチプロセッサシステムであって、

システム立ち上げ時に前記複数のプロセッサのそれぞれが行った初期診断試験の結果を保持する構成レジスタを具備し、

30

前記複数のプロセッサは、前記構成レジスタに保持されている初期診断試験の結果が正常であるプロセッサの中で、物理プロセッサ番号が最若番のプロセッサをブートストラッププロセッサとし、

前記ブートストラッププロセッサは、エミュレーションで実現される論理プロセッサ番号に対して、入出力制御プロセッサであるかを示す属性と、物理プロセッサ番号を示す物理IDと、当該論理プロセッサの有効/無効情報とを含む論理プロセッサ情報表にて、入出力制御用として定義される論理プロセッサの中で物理プロセッサ番号が最若番の論理プロセッサに、自身の物理プロセッサ番号を割り当て、それまで前記論理プロセッサ情報表にて自身の物理IDが割り当てられていた論理プロセッサについては無効とすることを特徴とする。

40

【0014】

本発明のマルチプロセッサシステムの初期立ち上げ方法は、複数のプロセッサを具備し、エミュレーションにより、各プロセッサが機能が異なるアーキテクチャのシステムを実現するマルチプロセッサシステムで行われる初期立ち上げ方法であって、

システム立ち上げ時に前記複数のプロセッサが、それぞれ初期診断試験を行うステップと、

前記初期診断試験の結果が正常であるプロセッサの中で、物理プロセッサ番号が最若番のプロセッサをブートストラッププロセッサとするステップと、

前記ブートストラッププロセッサが、エミュレーションで実現される論理プロセッサ番号に対して、入出力制御プロセッサであるかを示す属性と、物理プロセッサ番号を示す物

50

理IDと、当該論理プロセッサの有効/無効情報を含む論理プロセッサ情報表にて、入出力制御用として定義される論理プロセッサの中で物理プロセッサ番号が最若番の論理プロセッサに、自身の物理プロセッサ番号を割り当て、それまで前記論理プロセッサ情報表にて自身の物理IDが割り当てられていた論理プロセッサについては無効とするステップと、を有することを特徴とする。

【0015】

本発明のプログラムは、上記の方法をコンピュータシステムに実行させる。

【0016】

上記のように構成される本発明においては、初期診断試験の結果、正常とされたプロセッサが最初にブートストラッププロセッサとされる。ブートストラッププロセッサは、この後、入出力制御用と定義されたプロセッサに自身の物理プロセッサ番号を割り当てるので、以降は入出力制御用のプロセッサにより確実な立ち上げ処理が行われることとなる。

10

【発明の効果】

【0017】

本発明による効果は、マルチプロセッサ上でエミュレーションにより異なるアーキテクチャのコンピュータを実現する場合、システムディスク等のシステムのコアとなるデバイスの入出力制御を行うプロセッサを常時構成する事を可能としてシステムが継続稼働出来ると言う効果がある。

【0018】

その理由は、ベアのマルチプロセッサのBSP(ブートストラッププロセッサ)を上記入出力制御プロセッサに割り当てることにより常時該プロセッサを構成できる。

20

【発明を実施するための最良の形態】

【0019】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0020】

図1は、本発明の一実施の形態としてのマルチプロセッサシステムの構成を示すブロック図である。

【0021】

図1に示すシステムは、CPU(プロセッサ)1~4と、チップセット5と、メモリ6と、IDバス7と、CPUバス8から構成されている。

30

【0022】

チップセット5は各CPU1~4、メモリ6、IDバス7と、CPUバス8と接続している。

【0023】

CPU1~4は、システムを構成するハードウェアとして物理的な識別番号が付与されたもので、CPUバス8を経由してチップセット5にその配下として接続され、チップセット5を介してメモリ6へのアクセスが可能とされ、また、IOバス7を経由して周辺装置(不図示)へのアクセスが可能とされている。

【0024】

CPU1~4のそれぞれには、システムにおいてユニークな識別番号9(物理ID#0~ID#3)がチップセット5により分配されている。

40

【0025】

チップセット5を構成する構成レジスタ51は、システム立ち上げ時に行われる初期診断試験等の結果として異常が検出されたCPUを記憶し、その有効/無効を記憶するレジスタである。

【0026】

CPU1~4およびチップセット5はメモリ6に格納されたプログラムを実行する。このメモリ6としては、フロッピーディスク、CD-ROM等の外部記憶媒体やROM(リードオンリメモリ)が使用可能であり、本発明はメモリ6に格納されるプログラムを含む。

50

## 【 0 0 2 7 】

本発明はエミュレーションで実現されるコンピュータシステムである。各CPU1～4はエミュレーションにより、機能が異なるアーキテクチャのシステムを実現するものであり、チップセット5、メモリ6、およびIOバス7を介して接続される外部機器がエミュレータとして機能し、マルチプロセッサシステムの構成が決定される。

## 【 0 0 2 8 】

なお、以下の説明では、CPU（プロセッサ）の識別番号として以下のものを用いる。

## 【 0 0 2 9 】

論理プロセッサ番号（0～n）：エミュレーションで実現されるコンピュータを構成するプロセッサの識別番号

物理プロセッサ番号（0～m）：図1に示されるハードウェアを構成する物理的なプロセッサの識別番号

識別番号9：物理プロセッサ番号を切り分ける為の信号で、物理プロセッサ番号と同じと考えてよいもの

物理ID：実際にコード化された物理プロセッサ番号を示すもので、内容は物理プロセッサ番号と同じ

以上、実施例の構成を述べたが、CPU1～4自体やチップセットの詳細は当業者にとってよく知られており、また、本発明とは直接関係しないので、その詳細な構成は省略する。

## 【 0 0 3 0 】

図3は本実施形態の動作を示すフローチャートであり、以下に、図3を参照して本実施形態の動作について説明する。

## 【 0 0 3 1 】

マルチプロセッサシステムは電源投入されると、最初に各プロセッサ（CPU1～4）のそれぞれが初期診断試験を開始し、その結果がCPUバス8を介してチップセット5に送られ、チップセット5内の構成レジスタ51に反映される（ステップS31）。

## 【 0 0 3 2 】

構成レジスタ51には、各プロセッサについて、初期診断結果が良好であれば「1」が設定され、異常あるいは設定するまで到達できない場合には「1」は設定されない。つまり、「1」が設定されたプロセッサは、存在し、異常のない正常なプロセッサであることを意味する。

## 【 0 0 3 3 】

次に、各プロセッサは、正常なプロセッサのうち、物理プロセッサ番号が最若番のプロセッサをBSP（ブートストラッププロセッサ）、つまり、第一のプロセッサとして決定する（ステップS32）。図3に示す例では、物理プロセッサ番号が1のプロセッサ1（図1中のCPU1）がBSPとして決定される。以降のステップS33～S37は、プロセッサ1により行われる。

## 【 0 0 3 4 】

BSPとなったプロセッサ1は以降の初期設定処理のマスタとして動作し、以下の制御を行う。

## 【 0 0 3 5 】

まず、構成レジスタ51の格納内容をチップセット5から取り込み、物理プロセッサ情報表を作成する（ステップS33）。

## 【 0 0 3 6 】

物理プロセッサ情報表は、図2（b）に示すように、物理プロセッサ番号0～mに対して、有効（正常）かどうかの情報、BSPであるか否かの情報、物理ID等からなる。

## 【 0 0 3 7 】

物理プロセッサ情報表が生成され、その中のBSPとなっている（BSPとなっているのは一つしかない）自身の物理ID（コード化された物理プロセッサ番号）を得る（ステップS34）。

10

20

30

40

50

## 【 0 0 3 8 】

次に、初期の論理プロセッサ情報表を得る（ステップ S 3 5）。論理プロセッサ情報表は、図 2（a）に示すように、論理プロセッサ番号 0 ~ n に対して、属性、論理 ID、物理 ID 等からなる。

## 【 0 0 3 9 】

論理プロセッサ情報表はエミュレーションで実現されるコンピュータシステムの構成（障害等の無い初期の構成）を定義したもので、不図示の外部記憶装置あるいは内部記憶装置（フラッシュメモリ）等から取り込むことによって得られる。この論理プロセッサ情報表の初期値は、個々のプロセッサに予め決められた規定の構成を示している。

## 【 0 0 4 0 】

論理プロセッサ情報表に示される属性は、該プロセッサが演算処理プロセッサとして割り当てられたプロセッサか、あるいは入出力制御プロセッサとして割り当てられたプロセッサか等を表している。

## 【 0 0 4 1 】

ステップ S 3 2 にて B S P と定められたプロセッサ 1 は、初期の論理プロセッサ情報表を得ると、これに示される属性が入出力制御プロセッサであるとともに物理 ID が示す物理プロセッサ番号が最若番のプロセッサを検索し、これにステップ S 3 4 にて得られた自身の物理 ID を割り当てる（ステップ S 3 6）。

## 【 0 0 4 2 】

続いて、初期の論理プロセッサ情報表にて自身の物理 ID が割り当てられていた論理プロセッサ（自身）を無効として（ステップ S 3 7）、終了する。

## 【 0 0 4 3 】

上記構成とすることにより、属性が入出力制御プロセッサで物理プロセッサ番号が最若番の論理プロセッサは、エミュレーションで実現するシステムのシステムディスク等、コアなデバイスの制御を行う。B S P である物理プロセッサは以上のとおり割り当て使用される。B S P は通常、物理プロセッサ番号が最若番のものであるが、プロセッサの故障により移動している可能性があり、この場合は新たに B S P となった物理プロセッサを初期値にて割り当てられていた論理プロセッサは有効表示が解除される。

## 【 0 0 4 4 】

以上により論理プロセッサ情報表の作成が完了し、エミュレーションで実現するマルチプロセッサの構成が決定し、以降論理プロセッサ構成表に従い各プロセッサの初期化が実施される。

## 【 0 0 4 5 】

なお、上記実施例では、新たに B S P となった物理プロセッサを元々使用する予定であった論理プロセッサの有効表示を解除して新たな構成を決定しているが、予め最若番の物理プロセッサ以降 1 以上の物理プロセッサを予備として確保し、初期の論理プロセッサ情報上で割り当てていなければ元々予定していた構成を縮小せず性能低下無しに新たな構成とするようにしてもよい。

## 【 図面の簡単な説明 】

## 【 0 0 4 6 】

【 図 1 】 本発明の一実施形態のハードウェア構成を示すブロック図である。

【 図 2 】（a）は論理プロセッサ構成情報表の内容を示す図、（b）は物理プロセッサ構成情報表の内容を示す図である。

【 図 3 】 本発明の一実施例の構成決定動作フローを示す。

## 【 符号の説明 】

## 【 0 0 4 7 】

- 1 ~ 4 プロセッサ（CPU）
- 5 チップセット
- 6 メモリ
- 7 I O バス

10

20

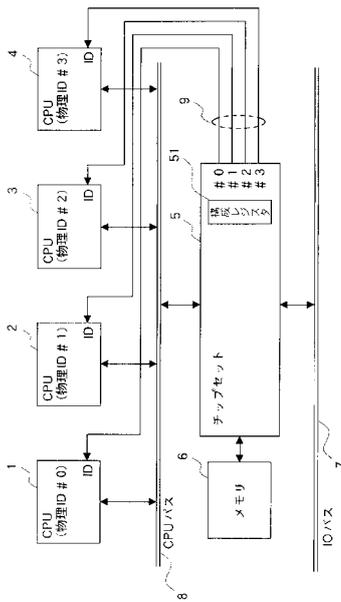
30

40

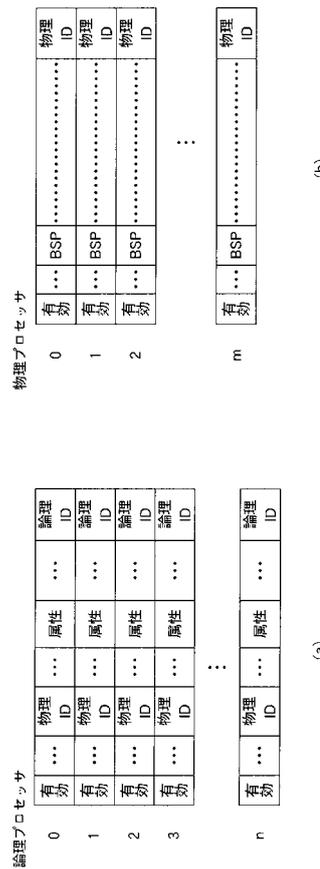
50

- 8 CPUバス
- 9 プロセッサ個別専用線
- 5 1 構成レジスタ
- S 3 1 ~ S 3 7 処理ステップ

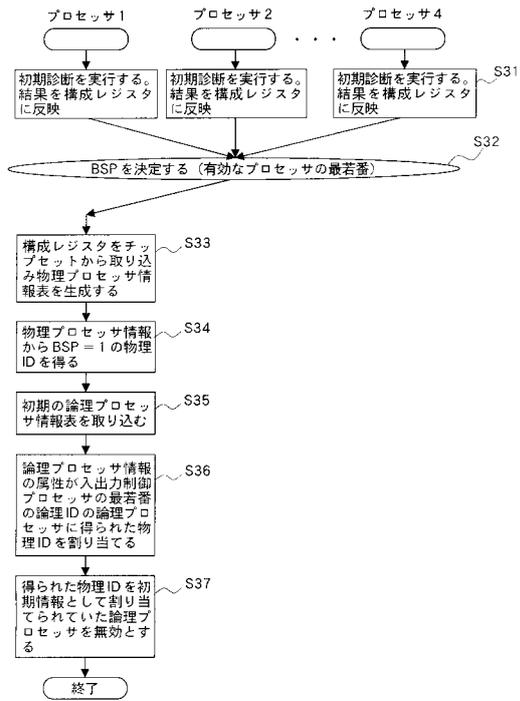
【図 1】



【図 2】



【図3】



---

フロントページの続き

- (56)参考文献 特開平02 - 130666 (JP, A)  
特開2005 - 250840 (JP, A)  
特開2003 - 029998 (JP, A)  
特開平02 - 236656 (JP, A)  
特開平09 - 218862 (JP, A)  
特開昭63 - 083856 (JP, A)  
特開2001 - 022720 (JP, A)  
特開2002 - 259156 (JP, A)  
特開2005 - 326935 (JP, A)  
特開平06 - 230992 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 11/20