

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年11月18日(18.11.2010)

PCT

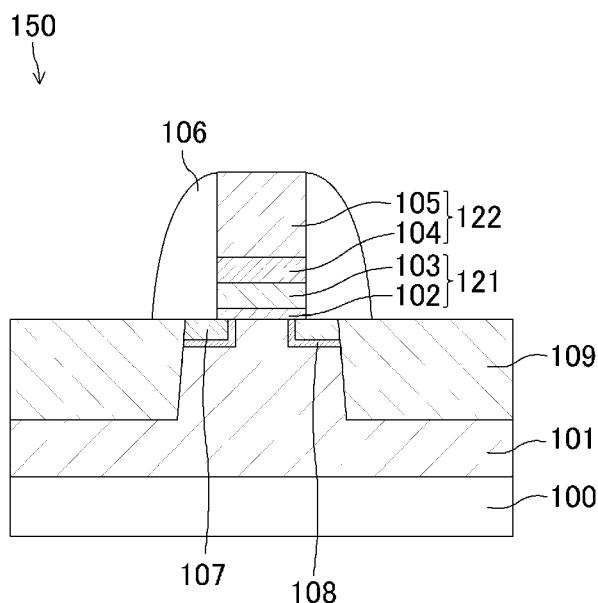
(10) 国際公開番号
WO 2010/131312 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
H01L 21/265 (2006.01)
 - (21) 国際出願番号: PCT/JP2009/007030
 - (22) 国際出願日: 2009年12月18日(18.12.2009)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2009-116577 2009年5月13日(13.05.2009) JP
 - (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 竹岡慎治 (TAKEOKA, Shinji).
 - (74) 代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD OF PRODUCING SAME

(54) 発明の名称: 半導体装置及びその製造方法

[図1]



(57) Abstract: A semiconductor device (150) is provided with a first semiconductor region (101) of a first conductivity type including Ge, a gate electrode (122) formed on the first semiconductor region (101) with a gate insulating film (121) interposed between, diffusion regions (107) of a second conductivity type formed at portions of the first semiconductor region (101) that are to the two lateral sides of the gate electrode (122), and second semiconductor regions (108) of a first conductivity type formed between the first semiconductor region (101) and diffusion regions (107). The second semiconductor region (108) contains a concentration of Si higher than the channel forming region at the portion of the first semiconductor region (101) below the gate electrode (122).

(57) 要約: 半導体装置 (150) は、Geを含む第1導電型の第1の半導体領域 (101) と、第1の半導体領域 (101) 上にゲート絶縁膜 (121) を介して形成されたゲート電極 (122) と、第1の半導体領域 (101) におけるゲート電極 (122) の両側方に形成された第2導電型の拡散領域 (107) と、第1の半導体領域 (101) と拡散領域 (107) との間に形成された第1導電型の第2の半導体領域 (108) とを備える。第2の半導体領域 (108) は、第1の半導体領域 (101) におけるゲート電極 (122) 下方のチャンネル形成領域よりも高い濃度のSiを含有する。

WO 2010/131312 A1

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本開示は、チャンネルがS i G e層によって形成されたP型電界効果型トランジスタ（P型F E T）であって、基板リーク電流の低減が可能なトランジスタとその製造方法に関するものである。

背景技術

[0002] 半導体装置のデザインルールの縮小に伴い、回路の集積度は飛躍的に向上し、1チップ上に1億個以上の電界効果型トランジスタ（F E T、Feild Effect Transistor）を搭載することも可能となっている。高性能なトランジスタを実現するためには、ゲート長の縮小に加えて、ゲート絶縁膜の薄膜化も求められている。

[0003] 従来、ゲート絶縁膜には、シリコン酸化膜又はその窒化膜であるシリコン酸窒化膜が用いられてきた。しかし、E O T（Equivalent Oxide Thickness、シリコン酸化膜換算膜厚）が2 nm以下である薄膜領域になると、ゲートリーク電流が増大し、回路の消費電力が増大する。このため、ゲートリーク電流を低減しつつ、E O T薄膜化を実現するために、高誘電率ゲート絶縁膜に関心が寄せられている。

[0004] また、更なるE O T薄膜化のために、高誘電率ゲート絶縁膜／メタルゲート電極構造を有するトランジスタについて多くの研究開発がなされている。これは、ゲート電極として従来のシリコン電極に代えて窒化チタン、窒化タンタル等のメタル材料を用い、高誘電率ゲート絶縁膜と組み合わせた構造である。

[0005] 高誘電率ゲート絶縁膜／メタルゲート電極構造を実現する上での重要となる点の一つに、トランジスタのしきい値電圧制御がある。従来用いられていたシリコン電極の場合、不純物イオン注入によってシリコン電極の仕事関数を調整し、N型F E T、P型F E Tそれぞれに適したしきい値電圧を実現し

てきた。具体的に、N型FETに対しては、シリコン電極にヒ素、リン等のN型不純物を注入することにより仕事関数の低減を図り、P型FETに対しては、シリコン電極にボロン等のP型不純物を注入することによって仕事関数の増大を図ってきた。

[0006] しかしながら、メタル電極については、不純物注入による仕事関数制御ができない。このため、トランジスタのしきい値電圧制御が重要となっている。

[0007] P型FETのしきい値電圧制御の手段（特に、低減の手段）として、トランジスタのチャネル領域を、従来はSi（シリコン）からなる層であったのに代えて、Ge（ゲルマニウム）を含む $Si_{1-x}Ge_x$ （ $0 < x \leq 1$ ）からなる層として形成することが提案されている（非特許文献1）。尚、本明細書中において、 $Si_{1-x}Ge_x$ （ $0 < x \leq 1$ ）の意味で単にSiGeと表記する場合がある。

[0008] このような技術によると、例えば、半導体基板に形成されたP型FETにおいて、半導体基板の表面から50nm程度の範囲（チャネル領域の構成される部分を含む範囲）をSiGeによって形成する。

[0009] このようにすると、以下に説明するメカニズムにより、しきい値電圧が低減される。

[0010] まず、Siのエネルギーバンドギャップは1.12eVであるのに比べ、Geのエネルギーバンドギャップは0.66eVと小さい。また、SiとGeとの混晶であるSiGeのエネルギーバンドギャップは、Geの組成比xに応じて、0.66~1.12eVの間にて連続的に変化する。

[0011] また、Si及びGeは、ほぼ同じ電子親和力を有する。このため、Geの組成比xの変化に伴うSiGeのエネルギーバンドギャップの変動は、主に、価電子帯のエネルギーの変動に起因する。つまり、SiGeの価電子帯のエネルギーは、Siの価電子帯のエネルギーに比べて高くなる。

[0012] この結果、Siチャネルに代えてSiGeチャネルを形成することにより、しきい値電圧を低減することが可能となる。尚、しきい値電圧を有意に低

減するためには、Geを10%よりも多く含む ($0.1 < x \leq 1$) ようにする。また、代表的な組成は $X = 0.5$ の場合、つまり、 $Si : Ge = 1 : 1$ となる場合である。非特許文献1には、250~300mVのしきい値電圧の低減が報告されている。

先行技術文献

非特許文献

- [0013] 非特許文献1: H. R. Harris et al., Symp. VLSI Technology, p.154, 2007.

発明の概要

発明が解決しようとする課題

- [0014] しかしながら、前記のようにチャネル部を $Si_{1-x}Ge_x$ ($0.1 < x \leq 1$) からなる領域に構成する方法を用いてしきい値電圧制御を行った場合、基板リーク電流が増大するという問題が発生する。よって、その解決が課題となっている。
- [0015] 以上に鑑み、 $SiGe$ チャネル構造を有するP型FETにおいて、基板リーク電流の増大を抑制することが可能なトランジスタとその製造方法とについて以下に説明する。

課題を解決するための手段

- [0016] 前記の目的を達成するため、本願発明者は、非特許文献1の方法によってしきい値電圧を制御する場合に基板リーク電流が増大する理由について検討した。
- [0017] まず、FETにおいて、ゲート電極下方のチャネル部を $SiGe$ によって構成すると、FETが有する拡散層（ソース・ドレイン領域、エクステンション領域等）についても $SiGe$ からなるものとして形成されることになる。
- [0018] また、基板リーク電流は、拡散層領域と、チャネル部を含むウェル領域とによって形成されるPN接合に対し、逆バイアスが加えられた場合に発生するリーク電流である。その大きさは、PN接合部におけるエネルギーバンド

ギャップの大きさに依存し、エネルギーバンドギャップが小さいほど増大する。

[0019] よって、S i G eチャネルを形成した場合、S iチャネルの場合に比べた基板リーク電流の増大の程度は、P N接合部におけるエネルギーバンドギャップの大きさに依存し、更には、G eの組成比xに依存することになる。

[0020] そこで、本願発明者は、拡散層領域とウェル領域とによって形成されるP N接合部におけるS i濃度（含有率）を、チャネル部に比べて高くすることにより、しきい値電圧を低減すると共に基板リーク電流の増大を抑制することを考案した。

[0021] 具体的に、本開示に係る半導体装置は、G eを含む第1導電型の第1の半導体領域と、第1の半導体領域上にゲート絶縁膜を介して形成されたゲート電極と、第1の半導体領域におけるゲート電極の両側方に形成された第2導電型の拡散領域と、第1の半導体領域と拡散領域との間に形成された第1導電型の第2の半導体領域とを備え、第2の半導体領域は、第1の半導体領域におけるゲート電極下方のチャネル形成領域よりも高い濃度のS iを含有する。

[0022] このような半導体装置によると、G eを含む第1の半導体領域にチャネルが形成されることによりしきい値電圧を制御（低減）しながら、P N接合の部分においてチャネル形成領域よりもS i濃度が高くなっている（言い換えると、G e濃度が低くなっている）ことにより、基板リーク電流の増大を抑制することができる。

[0023] 尚、第1の半導体領域はN型であり、拡散領域はP型であることが好ましい。

[0024] G eを含むチャネル（S i G eチャネル）とすることによるしきい値電圧の低減は、P型F E Tにおいて特に有用である。よって、第1の半導体領域がN型不純物を含むことによりN型となっており、拡散領域がP型不純物を含むことによりP型となっている場合に、本開示の半導体装置の効果が顕著に得られる。

- [0025] また、拡散領域は、ボロン及びインジウムの少なくとも一方を不純物として含有することが好ましい。また、第1の半導体領域は、ヒ素及びリンの少なくとも一方を不純物として含有することが好ましい。各領域に含まれる不純物として、このような元素を用いることができる。
- [0026] また、拡散領域は、ソース・ドレイン領域及びエクステンション領域の少なくとも一方であることが好ましい。
- [0027] 基板リーク電流が発生する箇所の例としては、ソース・ドレイン領域及びエクステンション領域の底部及び側部のPN接合が挙げられる。よって、拡散領域がソース・ドレイン領域及びエクステンション領域のいずれか一方又は両方であるようにすると、基板リーク電流を抑制することができる。
- [0028] また、第2の半導体領域は、第1の半導体領域と拡散領域との間の全体に形成されていても良い。また、第2の半導体領域は、前記第1の半導体領域と前記拡散領域との間の一部に形成されていても良い。
- [0029] つまり、基板リーク電流が発生するPN接合の全体についてS i濃度を高くするのであっても良いし、特に基板リーク電流の多い部分についてS i濃度を高くするのであっても良い。
- [0030] このように、個々の半導体装置の特性等に合わせて適切な箇所に第2の半導体領域を配置することにより、基板リーク電流を抑制することができる。
- [0031] また、第2の半導体領域及びチャネル形成領域は、いずれも $S i_{1-x} G e_x$ ($0 < x \leq 1$) からなり、第2の半導体領域における x は、チャネル領域における x よりも0.1以上小さいことが好ましい。
- [0032] $S i_{1-x} G e_x$ ($0 < x \leq 1$) において、Geの組成比である x が小さいほどS iの濃度が高いのであるから、第2の半導体領域において x が小さいことが求められる。特に、0.1以上小さい場合に、基板リーク電流を抑制する効果がより確実に得られる。
- [0033] 前記の目的を達成するため、本開示に係る半導体装置の製造方法は、基板上に、Geを含む第1導電型の第1の半導体領域を形成する工程(a)と、第1の半導体領域上に、ゲート絶縁膜を介してゲート電極を形成する工程(

b) と、第 1 の半導体領域におけるゲート電極の両側方に、第 2 導電型の拡散領域を形成する工程 (c) と、第 1 の半導体領域におけるゲート電極の両側方に、第 1 導電型の第 2 の半導体領域を形成する工程 (d) とを備え、第 2 の半導体領域は、少なくとも第 1 の半導体領域と拡散領域との間に位置していると共に、第 1 の半導体領域におけるゲート電極下方のチャンネル形成領域よりも高い濃度の S_i を含有する。

[0034] 本開示の半導体装置の製造方法によると、本開示の半導体装置を製造することができる。つまり、 G_e を含むチャンネル形成領域を備えることによりしきい値電圧を低減しながら、PN 接合の部分において S_i 濃度が高くなっていることにより基板リーク電流が抑制された半導体装置を製造することができる。

[0035] 尚、拡散領域は、ソース・ドレイン領域及びエクステンション領域の少なくとも一方であることが好ましい。また、拡散領域は、ボロン及びインジウムの少なくとも一方をイオン注入することにより形成されることが好ましい。具体的な拡散領域として、このようになっても良い。

[0036] また、第 2 の半導体領域は、 S_i イオンの注入により形成しても良い。

[0037] チャンネル形成領域よりも S_i 濃度が高い第 2 の半導体領域を形成するために、このようにしても良い。

発明の効果

[0038] $S_{i_{1-x}}G_{e_x}$ ($0.1 < x \leq 1$) からなる領域にチャンネルを形成することによりしきい値電圧を制御 (低減) しながら、基板リーク電流が発生する PN 接合部分の S_i 濃度を高くすることにより基板リーク電流を抑制することができる。

図面の簡単な説明

[0039] [図1] 図 1 は、第 1 の実施形態における例示的半導体装置の要部断面を模式的に示す図である。

[図2] 図 2 (a) ~ (c) は、第 1 の実施形態における例示的半導体装置の製造方法の各工程を示す図である。

[図3] 図3 (a) ~ (c) は、図2 (c) に続いて、第1の実施形態における例示的半導体装置の製造方法の各工程を示す図である。

[図4] 図4 は、第2の実施形態における例示的半導体装置の要部断面を模式的に示す図である。

[図5] 図5 (a) ~ (c) は、第2の実施形態における例示的半導体装置の製造方法の各工程を示す図である。

[図6] 図6 (a) ~ (c) は、図5 (c) に続いて、第2の実施形態における例示的半導体装置の製造方法の各工程を示す図である。

発明を実施するための形態

[0040] (第1の実施形態)

以下、第1の実施形態における例示的半導体装置150について、その要部断面を模式的に示す図である図1を参照しながら説明する。

[0041] 図1に示すように、半導体装置150は、シリコンからなる半導体基板100を用いて形成されており、P型FET構造を有する。半導体基板100上には、 $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x \leq 1$) からなる第1の半導体領域101が形成されている。第1の半導体領域101は、膜厚が例えば90nmであり、リン、ヒ素等のN型不純物（ウェル形成、しきい値電圧制御用のチャネル不純物）を含むことによりN型になっている。第1の半導体領域101の上には、ゲート絶縁膜121を介してゲート電極122が形成されている。また、ゲート電極122及びゲート絶縁膜121の両側面を覆うように、シリコン酸化膜からなるサイドウォールスペーサー106が形成されている。尚、ゲート絶縁膜121は、酸化膜102上に、高誘電率絶縁膜103が積層された構造である。また、ゲート電極122は、金属を含む材料からなるメタルゲート電極、例えば窒化チタン膜104の上に、ポリシリコン、アモルファスシリコン等のシリコン膜105が積層された構造である。

[0042] 第1の半導体領域101におけるゲート電極122の両側方には、エクステンション領域107が形成されている。エクステンション領域107は、P型不純物であるボロンを含むことによりP型であり、深さは15nm程度

である。

- [0043] 更に、エクステンション領域107の外側には、P型のソース・ドレイン領域109（ソース領域及びドレイン領域を合わせてこのように呼ぶ）が接合深さ60nm程度に形成されている。
- [0044] また、エクステンション領域107と第1の半導体領域101との間に、エクステンション領域107を覆うように、N型の第2の半導体領域108が形成されている。第2の半導体領域108の深さは20nm程度であり、エクステンション領域107に対して5nm程度外側に形成されている。
- [0045] ここで、第1の半導体領域101を構成する $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x \leq 1$) について、例えば、 $x = 0.5$ （つまり、Geが50%）であってもよい。
- [0046] 半導体装置150に構成されたP型FETが動作する際には、ゲート電極122下方における第1の半導体領域101の部分にチャネルが形成される。チャネル形成領域がGeを含むことにより、Siチャネルの場合に比べてしきい値電圧が低減している。
- [0047] 尚、少しでもGeが含まれていればしきい値電圧は低減されるが、実質的に低減の効果を得るためには、10%程度は含まれていることが好ましい。また、Siを含まず、Geのみとなっても構わない。つまり、 $0.1 < x \leq 1$ を満たすことが好ましい。
- [0048] このようなチャネル形成領域に比べて、第2の半導体領域108におけるSi濃度が高くなっている。具体的には、例えば、Si濃度が50%（Geの組成比によって記すと $x = 0.5$ ）であるチャネル形成領域に対して、第2の半導体領域108のSi濃度は75%（Geの組成比によって記すと $x = 0.25$ ）である。
- [0049] このように、エクステンション領域107の底部及び側部のPN接合部は、第2の半導体領域108が形成されていることにより、チャネル形成領域に比べてSi濃度が高く（言い換えると、Ge濃度が低く）なっている。この結果、エクステンション領域107のPN接合部において発生する基板リーク電流を約一桁低減することができる。

- [0050] 尚、チャネル形成領域（第1の半導体領域101）において $x = 0.5$ の場合（S i 濃度では50%の場合）を一例として説明したが、これには限らない。 $0 < x \leq 1$ の範囲におけるいずれの値である場合にも、チャネル形成領域に比べてPN接合部分（第2の半導体領域108）におけるS i 濃度が高くなっていれば、基板リーク電流を低減することができる。
- [0051] また、第2の半導体領域108のS i 濃度がチャネル形成領域に比べて25%高くなっている（Ge組成比 x が0.25小さくなっている）例を説明したが、これには限らない。S i 濃度の差がより小さい場合にも基板リーク電流は低減される。但し、第2の半導体領域108がチャネル形成領域に比べて10%以上高いS i 濃度（ x が0.1以上小さいGe組成）を有していると、有意に基板リーク電流を抑制することができ、望ましい。チャネル形成領域のS i 濃度が50%である場合、第2の半導体領域108のS i 濃度を60%~100%とすることにより、基板リーク電流は3分の1~100分の1程度に低減される。
- [0052] また、以上の例の場合、S i 濃度の高い第2の半導体領域108は、エクステンション領域107の全体を覆うように（エクステンション領域107と第1の半導体領域101の間の全体に位置するように）形成されている。しかしながら、これには限らない。重要なのは、基板リーク電流の多く発生するPN接合部についてS i 濃度を高めることである。このため、エクステンション領域107の側面部（チャネル形成領域側の部分）において基板リーク電流が多く発生するのであれば、エクステンション領域107の側面とチャネル形成領域（ゲート電極122下方の第1の半導体領域101）との間に第2の半導体領域108を形成する。同様に、エクステンション領域107の底部において基板リーク電流が多く発生するのであれば、この部分に第2の半導体領域108を形成する。これにより、基板リーク電流を抑制することができる。
- [0053] また、第1の半導体領域101の厚さが90nm程度である場合を説明したが、これには限らない。エクステンション領域107の一部でもGeを

含む第1の半導体領域101とのPN接合を有していると、該PN接合部において基板リーク電流が増大する。これを抑制するために、Si濃度の高い第2の半導体領域108を設ける。従って、第1の半導体領域101がエクステンション領域107よりも薄い場合にも、基板リーク電流を低減する効果を得ることはできる。

[0054] また、以上では、Geを含む第1の半導体領域101上に酸化膜102が形成されている例を説明した。しかし、これには限らない。例えば、第1の半導体領域101上にSi層を形成し、その上に酸化膜102を形成することもできる。これにより、Siキャップ付きのSiGeチャネルを有するP型FET構造とすることができる。

[0055] また、以上では、エクステンション領域107に対して5nm程度外側まで第2の半導体領域108が設けられているが、この値には限らず、エクステンション領域107を覆うように第2の半導体領域108を設けることが要点である。

[0056] 次に、本実施形態における例示的半導体装置150の製造方法について、その工程を示す図2(a)～(c)及び図3(a)～(c)を参照して説明する。

[0057] まず、図2(a)に示すように、シリコンからなる半導体基板100上に、第1の半導体領域101を膜厚90nmに堆積する。第1の半導体領域101は、 $\text{Si}_{1-x}\text{Ge}_x$ においてGe組成比 $x=0.5$ (Si濃度として記せば50%)であるSiGe層とする。このためには、CVD(chemical vapor deposition)法を用いてシリコンからなる半導体基板100上にエピタキシャル成長しても良い。この際の条件としては、Si系ガスに SiH_4 、Ge系ガスに GeH_4 を用い、堆積温度を 500°C 、ガス圧を20Torr(2666Pa)とする。また、ウェル形成及びしきい値電圧制御のため、第1の半導体領域101は、リン、ヒ素等のN型不純物を含有させてN型の層として形成する。

[0058] 次に、図2(b)に示すように、第1の半導体領域101上に、ゲート絶

縁膜 121 を介してゲート電極 122 を形成する。このためには、まず、第 1 の半導体領域 101 表面の SiGe をオゾンにより酸化させることにより、膜厚 1 nm の酸化膜 102 を形成する。次に、該酸化膜 102 上に、例えばハフニウムを含む膜厚 2 nm の高誘電率絶縁膜 103 を堆積する。続いて、高誘電率絶縁膜 103 上に、メタルゲートとして膜厚 10 nm の窒化チタン膜 104 を堆積し、更にその上に、膜厚 100 nm のシリコン膜 105 を堆積する。この後、レジストパターニング、ゲートドライエッチング等を行なうことにより、図 2 (b) に示す酸化膜 102 と高誘電率絶縁膜 103 からなるゲート絶縁膜 121 及び窒化チタン膜 104 とシリコン膜 105 からなるゲート電極 122 の構造を得る。

[0059] 次に、図 2 (c) に示すように、半導体装置 150 製造における特徴となる Si の注入を行なう。具体的には、加速エネルギー 15 keV、注入ドーズ量 $3 \times 10^{16} \text{atoms/cm}^2$ の条件により、ゲート電極 122 をマスクとして Si のイオン注入を行なう。これにより、第 1 の半導体領域 101 におけるゲート電極 122 の両側方に、表面から深さ 20 nm 程度の Si 濃度が 25% 増加して 75% となった (Ge 濃度が 25% に低減した) N 型の第 2 の半導体領域 108 が形成される。

[0060] 尚、イオン注入の際、Si はゲート電極 122 の下方にも回り込む。但し、回り込み両、つまりゲート電極 122 下方へのオーバーラップ量は、深さに比べて小さく、10 nm 以下である。

[0061] 次に、図 3 (a) に示すように、エクステンション注入を行なう。具体的には、注入する不純物としてボロンを用い、加速エネルギー 0.3 keV、注入ドーズ量 $5 \times 10^{14} \text{atoms/cm}^2$ の条件によりゲート電極 122 をマスクとしてイオン注入を行なう。これにより、第 1 の半導体領域 101 におけるゲート電極 122 の両側方に P 型のエクステンション領域 107 を形成する。注入直後の接合深さは 10 nm 以下と非常に浅いが、後述する活性化アニールによりボロンが拡散し、最終的な接合深さは 15 nm 程度となる。このため、エクステンション領域 107 は、深さが 20 nm 程度である第 2 の半導

体領域 108 よりも 5 nm 浅く形成されることになる。

[0062] 次に、図 3 (b) に示すように、ゲート電極 122 及びゲート絶縁膜 121 の側面を覆うサイドウォールスペーサー 106 を形成する。このためには、エクステンション領域 107 を形成した後、半導体基板 100 上に膜厚 70 nm 程度のシリコン酸化膜を堆積する。続いて、ドライエッチングにより全面エッチバックを行なうことにより、ゲート電極 122 の側面上に幅 70 nm 程度のシリコン酸化膜からなるサイドウォールスペーサー 106 を形成する。

[0063] 次に、図 3 (c) に示すように、ソース・ドレイン領域 109 を形成する。このために、不純物としてボロンを用い、加速エネルギー 1.5 keV、注入ドーズ量 $4 \times 10^{15} \text{ atoms/cm}^2$ の条件により、ゲート電極 122 及びサイドウォールスペーサー 106 をマスクとしてイオン注入を行なう。これにより、第 1 の半導体領域 101 におけるサイドウォールスペーサー 106 の外側方の部分に P 型のソース・ドレイン領域 109 が形成される。続いて、1000°C、0 秒（目標到達温度に達した後、直ちに降温する）の条件のスパイクアニールを行なうことにより、エクステンション領域 107 及びソース・ドレイン領域 109 の不純物を活性化させる。このアニールにより、接合深さ 60 nm のソース・ドレイン領域 109 が形成される。

[0064] 以上により、半導体装置 150 が製造される。本実施形態の場合、エクステンション領域 107 を形成する前に、エクステンション領域 107 が形成される領域を覆うように、Si 濃度が高い第 2 の半導体領域 108 を形成することを特徴としている。これにより、エクステンション領域 107 の底部及び側部の PN 接合部において発生する基板リーク電流を低減している。本実施形態の例では、チャンネル形成領域（第 1 の半導体領域 101）における Si 濃度 50% に対して PN 接合部（第 2 の半導体領域 108）における Si 濃度は 75% であり、25% の差があることから、基板リーク電流は一桁程度低減している。

[0065] 尚、以上に説明したように先に第 2 の半導体領域 108 を形成すると、S

i 注入によるプリアモルファス化によって短チャネル特性を改善する効果が期待できる。しかしながら、以上とは異なる工程順として、先にエクステンション領域 107 を形成し、その後に第 2 の半導体領域 108 を形成することもできる。この場合にも、基板リーク電流を低減する効果は得られる。

[0066] また、 $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x \leq 1$) 層である第 1 の半導体領域 101 の形成条件、Si イオンの注入条件、エクステンション領域 107 の注入条件、サイドウォールスペーサー 106 の形成条件、ソース・ドレイン領域 109 の注入条件、活性化アニールの条件等について、いずれも例示するものであって、上記の記載には限定されない。

[0067] また、以上の説明では、Si 濃度の高い第 2 の半導体領域 108 は、エクステンション領域 107 の全体を覆うように形成している。しかし、基板リーク電流の発生箇所に合わせて配置しても良い。エクステンション領域 107 の側面部（チャネル形成領域の側）において基板リーク電流が多く発生するのであれば、Si 注入時に角度注入を行なってゲート電極 122 の下方に対する第 2 の半導体領域 108 のオーバーラップ量を増加させることもできる。これにより、エクステンション領域 107 の側面部における Si 濃度を増大させることができる。また、エクステンション領域 107 の底部において基板リーク電流が多く発生するのであれば、Si 注入時の加速エネルギーをより大きくすることにより、特にエクステンション領域 107 の底部に Si 濃度の高い領域を形成しても良い。

[0068] また、図 2 (a) の工程の後、図 2 (b) に示す酸化膜 102 を形成する間に、第 1 の半導体領域 101 上に膜厚 2 nm 程度の Si キャップ層を堆積するようにしても良い。これにより、酸化膜 102 の品質を向上することができる。

[0069] (第 2 の実施形態)

以下、第 2 の実施形態における例示的半導体装置 151 について、その要部断面を模式的に示す図である図 4 を参照しながら説明する。ここで、半導体装置 151 の構成のうち、第 1 の実施形態の半導体装置 150 と共通の部

分については同じ符号を用いることにより詳しい説明を省略し、相違点を主に説明する。

- [0070] 第1の実施形態の半導体装置150の場合、P型のエクステンション領域107を覆うように、Si濃度がチャネル形成領域に比べて高いN型の第2の半導体領域108を有している。これに対し、本実施形態の半導体装置151の場合には、P型のソース・ドレイン領域109を覆うように、Si濃度がチャネル形成領域に比べて高いN型の第2の半導体領域128が形成されている。
- [0071] ここで、ソース・ドレイン領域109の深さは60nm程度、第2の半導体領域128の深さは70nm程度である。また、第1の実施形態と同様、チャネル形成領域（ゲート電極122下方の第1の半導体領域101）においてSi濃度は50%である。第2の半導体領域128のSi濃度は75%である。
- [0072] このような構成により、本実施形態の半導体装置151において、ソース・ドレイン領域109の底部及び側部のPN接合部（ソース・ドレイン領域109と、ウェル及びチャネル形成領域とのPN接合部）における基板リーク電流を抑制することができる。
- [0073] 尚、ソース・ドレイン領域109全体を第2の半導体領域128が覆うことは必須ではなく、基板リーク電流が多く発生する箇所のみ第2の半導体領域を設けても良い。例えば、ソース・ドレイン領域109の底部のみ又は側部のみに設けることもできる。
- [0074] また、エクステンション領域107及びソース・ドレイン領域109の両方を覆うように、Si濃度の高い領域を設けても良い。つまり、第1の実施形態における第2の半導体領域108と、第2の実施形態における第2の半導体領域128とを両方備えるような半導体装置としても良い。この場合、エクステンション領域107及びソース・ドレイン領域109の両方について、PN接合部における基板リーク電流を低減することができる。
- [0075] また、チャネル形成領域に比べて第2の半導体領域128のSi濃度を2

5%高くしているが、これは必須ではない。Si濃度を10%高くする（チャネル形成領域においてSiが50%であるのに対し、第2の半導体領域128においてSiを60%とする）だけでも、基板リーク電流を3分の1程度に抑制することができる。

[0076] また、第1の半導体領域101の厚さが90nmであること、第2の半導体領域128がソース・ドレイン領域109から10nm外側にまで形成されていること等についても例示であって、これらに限定されることはない。

[0077] 次に、本実施形態における例示的半導体装置151の製造方法について、その工程を示す図5(a)～(c)及び図6(a)～(c)を参照して説明する。

[0078] 図5(a)及び(b)の工程は、第1の実施形態において説明した図2(a)及び(b)の工程と同様である。これらの工程により、シリコンからなる半導体基板100上にSiGe(Ge組成50%)からなる第1の半導体領域101が形成される。また、その上に、酸化膜102及び高誘電率絶縁膜103の積層されたゲート絶縁膜121を介して、窒化チタン膜104及びシリコン膜105の積層されたゲート電極122が形成される。

[0079] この後、図5(c)のように、エクステンション領域107を形成する。このためには、不純物としてボロンを用い、加速エネルギー0.3keV、注入ドーズ量 5×10^{14} atoms/cm²の条件によりゲート電極122をマスクとしてイオン注入を行なう。これにより、第1の半導体領域101におけるゲート電極122の両側方にエクステンション領域107が形成される。注入直後の接合深さは10nm以下と非常に浅いが、後述する活性化アニールによりボロンが拡散し、最終的な接合深さは15nm程度となる。

[0080] 次に、図6(a)に示すように、ゲート電極122及びゲート絶縁膜121の側面を覆うサイドウォールスペーサー106を形成する。このためには、P型のエクステンション領域107を形成した後、半導体基板100上に膜厚70nm程度のシリコン酸化膜を堆積する。続いて、ドライエッチングにより全面エッチバックを行なうことにより、ゲート電極122の側面上に

幅70nm程度のシリコン酸化膜からなるサイドウォールスペーサー106を形成する。

- [0081] 次に、図6(b)に示すように、半導体装置151製造における特徴となるSiの注入を行なう。具体的には、加速エネルギー55keV、注入ドーズ量 7.2×10^{16} atoms/cm²の条件により、ゲート電極122をマスクとしてSiのイオン注入を行なう。これにより、第1の半導体領域101におけるサイドウォールスペーサー106の外側方に、表面から深さ70nm程度のSi濃度が75%に増加した(Ge濃度が25%に低減した)第2のN型の半導体領域128が形成される。
- [0082] 尚、イオン注入の際、Siはサイドウォールスペーサー106の下方にも回り込む。但し、回り込み量、つまりサイドウォールスペーサー106下方へのオーバーラップ量は、垂直方向に比べて小さく、20nm程度である。
- [0083] 次に、図6(c)に示すように、ソース・ドレイン領域109を形成する。このためには、不純物としてボロンを用い、加速エネルギー1.5keV、注入ドーズ量 4×10^{15} atoms/cm²の条件により、ゲート電極122及びサイドウォールスペーサー106をマスクとしてイオン注入を行なう。これにより、第1の半導体領域101におけるサイドウォールスペーサー106の外側方の部分にP型のソース・ドレイン領域109が形成される。続いて、1000°C、0秒の条件のスパイクアニールを行なうことにより、エクステンション領域107及びソース・ドレイン領域109の不純物を活性化させる。このアニールにより、接合深さ60nmのソース・ドレイン領域109が形成される。これは、深さが70nmである第2の半導体領域128よりも10nm浅いことになる。
- [0084] 以上により、半導体装置151が製造される。本実施形態の場合、ソース・ドレイン領域109を形成する前に、ソース・ドレイン領域109が形成される領域を覆うように、Si濃度が高い第2の半導体領域128を形成することを特徴としている。これにより、ソース・ドレイン領域109の底部及び側部のPN接合部において発生する基板リーク電流を低減している。

- [0085] 尚、以上とは異なる工程順として、先にソース・ドレイン領域109を形成し、その後に第2の半導体領域128を形成することもできる。
- [0086] また、第1の半導体領域101の形成条件、Siイオンの注入条件、エクステンション領域107の注入条件、サイドウォールスペーサー106の形成条件、ソース・ドレイン領域109の注入条件、活性化アニールの条件等について、いずれも例示するものであって、上記の記載には限定されない。
- [0087] また、ソース・ドレイン領域109の全体を覆うように第2の半導体領域128を形成することは必須ではない。例えば、Si注入時に角度注入を行なってサイドウォールスペーサー106の下方に対する第2の半導体領域128のオーバーラップ量を増加させても良い。これにより、ソース・ドレイン領域109の側面部におけるSi濃度を増大させることができる。その結果、側面部が主要なリーク源である場合の基板リーク電流の低減が可能となる。また、ソース・ドレイン領域109の底部において基板リーク電流が多く発生するのであれば、Si注入時の加速エネルギーをより大きくすることにより、特にソース・ドレイン領域109の底部にSi濃度の高い領域を形成しても良い。
- [0088] 更に、エクステンション領域107及びソース・ドレイン領域109の両方を覆うように、Si濃度の高い領域を設けても良い。このためには、例えば、第1の実施形態における図2(a)～(c)と図3(a)及び(b)までの工程を終えた後、第2の実施形態における図6(b)及び(c)と同様の工程を行えばよい。これにより、エクステンション領域107及びソース・ドレイン領域109の両方について、基板リーク電流を抑制した半導体装置を製造することができる。
- [0089] また、図5(a)の工程の後、図5(b)に示す酸化膜102を形成する間に、第1の半導体領域101上に膜厚2nm程度のSiキャップ層を堆積するようにしても良い。これにより、酸化膜102の品質を向上することができる。
- [0090] また、エクステンション領域107、ソース・ドレイン領域109の形成

等に用いるP型不純物としてボロンを例示したが、これに代えてインジウムを用いても良い。更には、ボロン及びインジウムの両方を用いても良い。

産業上の利用可能性

[0091] 本開示の半導体装置は、Geを含む第1の半導体領域をチャネル形成領域とすることによりしきい値電圧を低減すると共に、PN接合部においてSi濃度を高くすることにより基板リーク電流を低減することができ、トランジスタの低消費電力化に有用である。

符号の説明

[0092]	100	半導体基板
	101	第1の半導体領域
	102	酸化膜
	103	高誘電率絶縁膜
	104	窒化チタン膜
	105	シリコン膜
	106	サイドウォールスペーサー
	107	エクステンション領域
	108、128	第2の半導体領域
	109	ソース・ドレイン領域
	121	ゲート絶縁膜
	122	ゲート電極
	150、151	半導体装置

請求の範囲

- [請求項1] Geを含む第1導電型の第1の半導体領域と、
前記第1の半導体領域上にゲート絶縁膜を介して形成されたゲート電極と、
前記第1の半導体領域における前記ゲート電極の両側方に形成された第2導電型の拡散領域と、
前記第1の半導体領域と前記拡散領域との間に形成された第1導電型の第2の半導体領域とを備え、
前記第2の半導体領域は、前記第1の半導体領域における前記ゲート電極下方のチャンネル形成領域よりも高い濃度のSiを含有することを特徴とする半導体装置。
- [請求項2] 請求項1において、
前記第1の半導体領域はN型であり、
前記拡散領域はP型であることを特徴とする半導体装置。
- [請求項3] 請求項1において、
前記拡散領域は、ボロン及びインジウムの少なくとも一方を不純物として含有することを特徴とする半導体装置。
- [請求項4] 請求項1において、
前記第1の半導体領域は、ヒ素及びリンの少なくとも一方を不純物として含有することを特徴とする半導体装置。
- [請求項5] 請求項1において、
前記拡散領域は、ソース・ドレイン領域及びエクステンション領域の少なくとも一方であることを特徴とする半導体装置。
- [請求項6] 請求項1において、
前記第2の半導体領域は、前記第1の半導体領域と前記拡散領域との間の全体に形成されていることを特徴とする半導体装置。
- [請求項7] 請求項1において、
前記第2の半導体領域は、前記第1の半導体領域と前記拡散領域と

の間の一部に形成されていることを特徴とする半導体装置。

[請求項8]

請求項1において、

前記第2の半導体領域及び前記チャンネル形成領域は、いずれも $Si_{1-x}Ge_x$ ($0 < x \leq 1$) からなり、

前記第2の半導体領域における x は、前記チャンネル領域における x よりも 0.1 以上小さいことを特徴とする半導体装置。

[請求項9]

基板上に、 Ge を含む第1導電型の第1の半導体領域を形成する工程 (a) と、

前記第1の半導体領域上に、ゲート絶縁膜を介してゲート電極を形成する工程 (b) と、

前記第1の半導体領域における前記ゲート電極の両側方に、第2導電型の拡散領域を形成する工程 (c) と、

前記第1の半導体領域における前記ゲート電極の両側方に、第1導電型の第2の半導体領域を形成する工程 (d) とを備え、

前記第2の半導体領域は、少なくとも前記第1の半導体領域と前記拡散領域との間に位置していると共に、前記第1の半導体領域における前記ゲート電極下方のチャンネル形成領域よりも高い濃度の Si を含有することを特徴とする半導体装置の製造方法。

[請求項10]

請求項9において、

前記拡散領域は、ソース・ドレイン領域及びエクステンション領域の少なくとも一方であることを特徴とする半導体装置の製造方法。

[請求項11]

請求項9において、

前記拡散領域は、ボロン及びインジウムの少なくとも一方をイオン注入することにより形成されることを特徴とする半導体装置の製造方法。

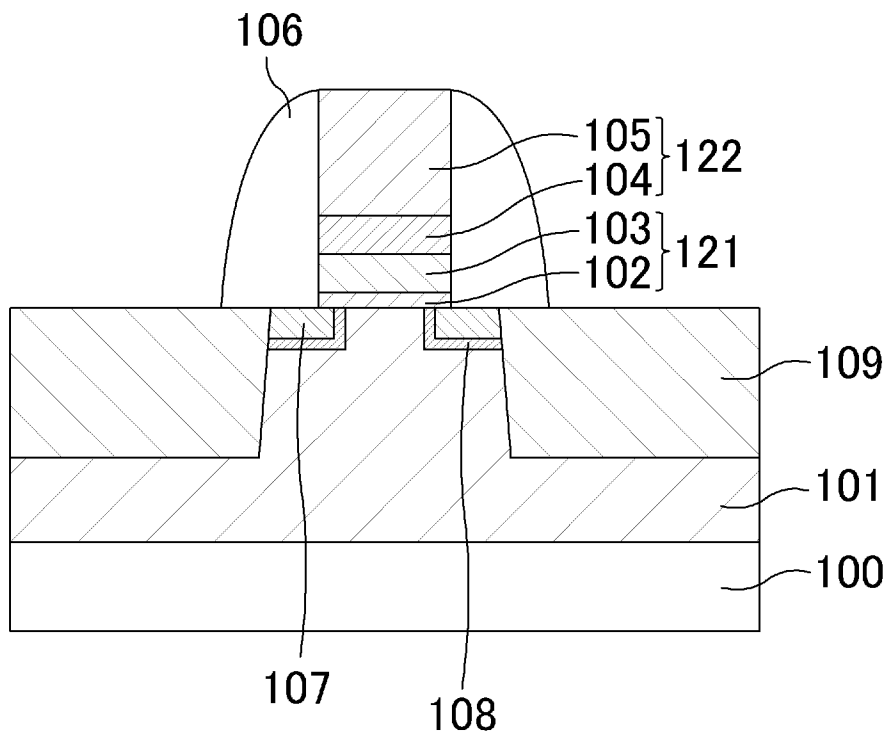
[請求項12]

請求項9において、

前記第2の半導体領域は、 Si イオンの注入により形成することを特徴とする半導体装置の製造方法。

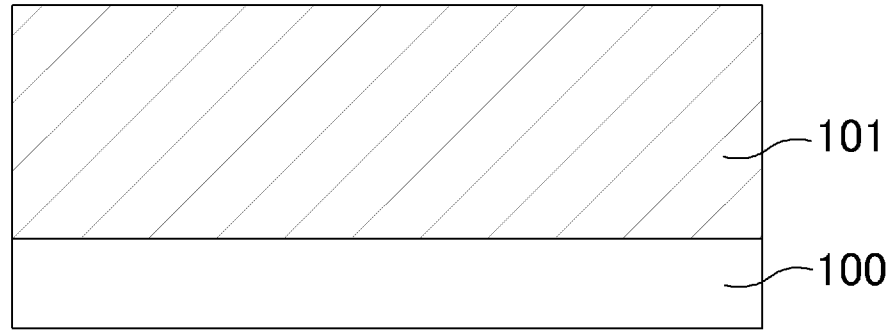
[図1]

150

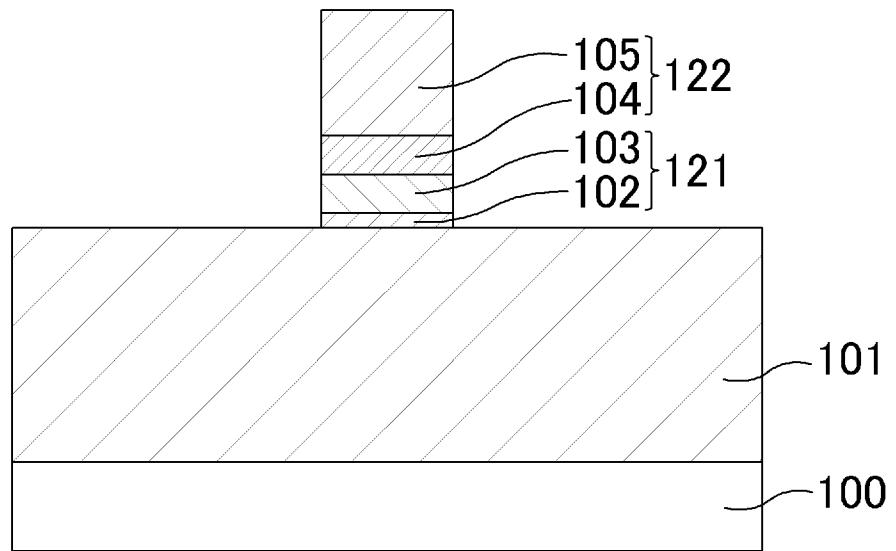


[図2]

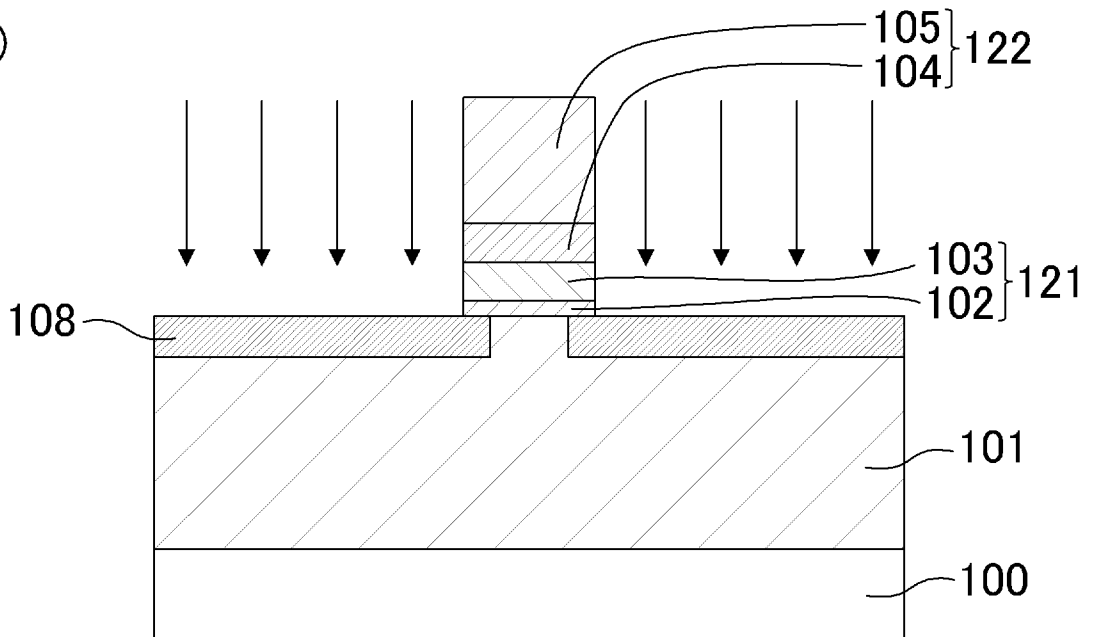
(a)



(b)

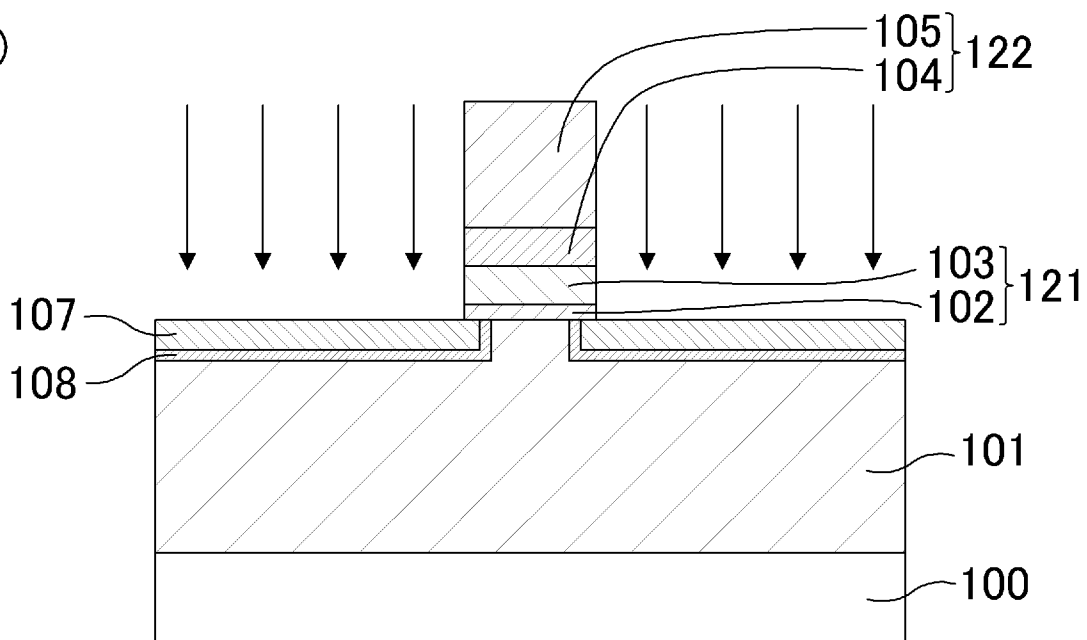


(c)

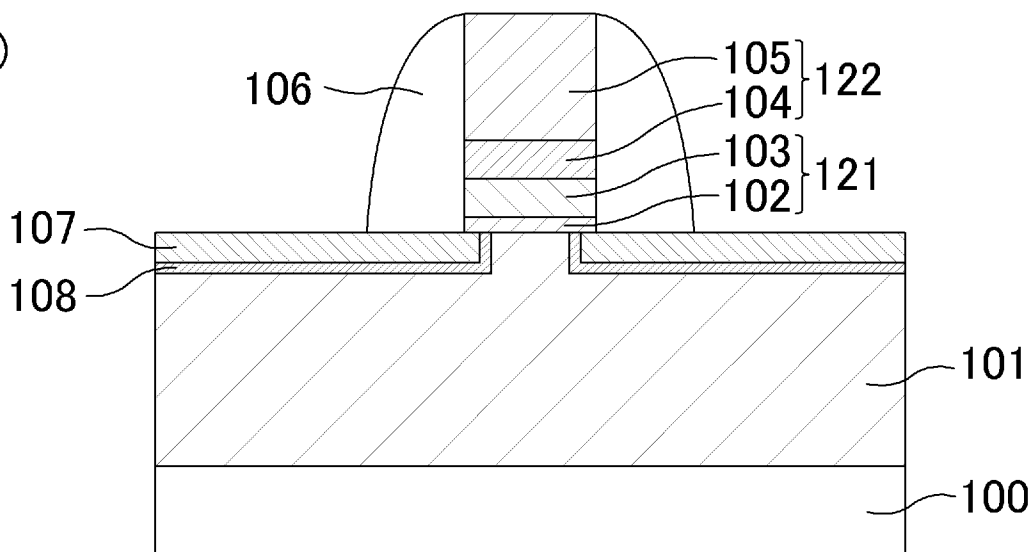


[図3]

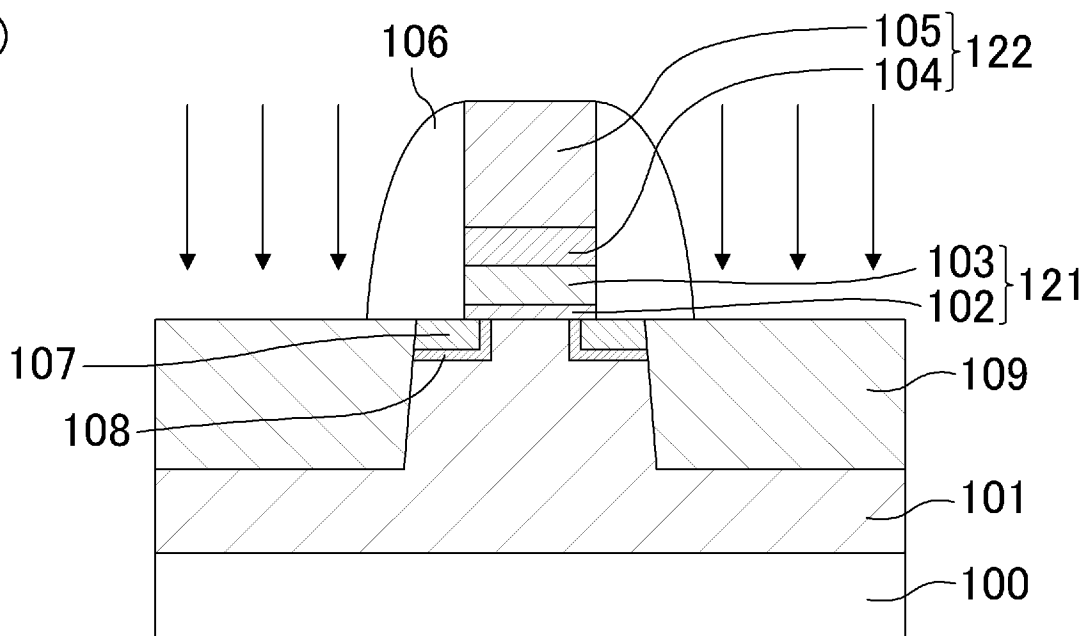
(a)



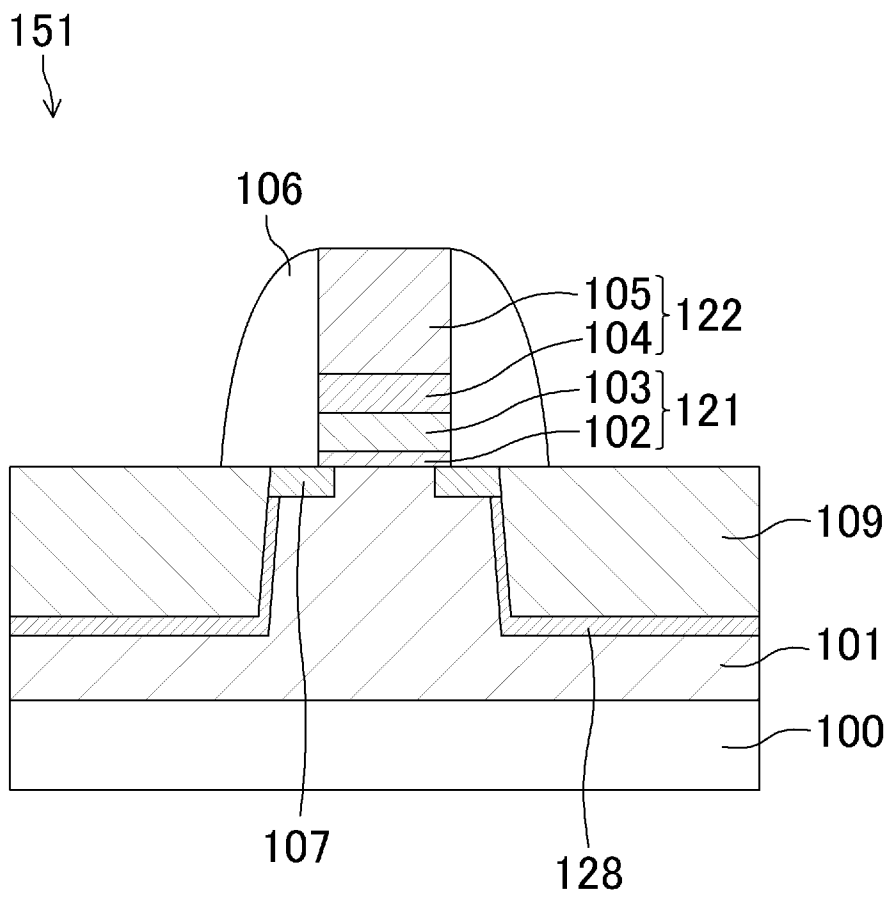
(b)



(c)



[図4]

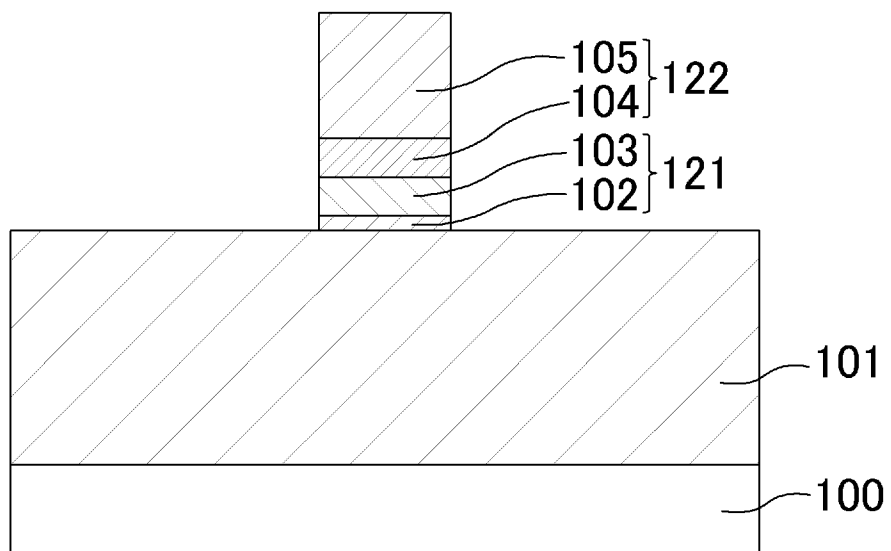


[図5]

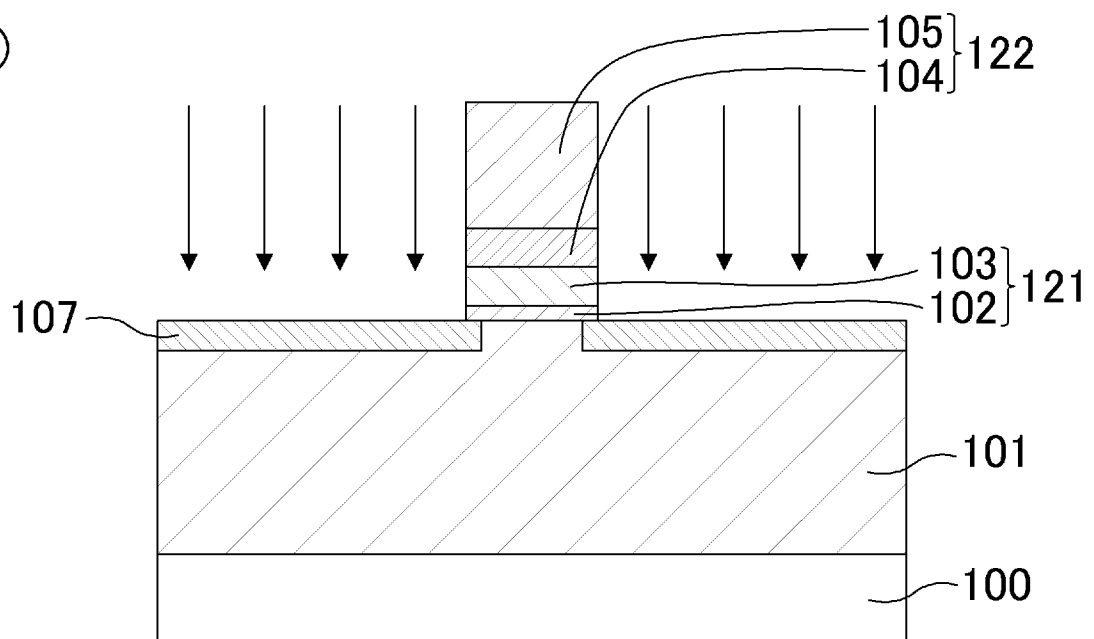
(a)



(b)

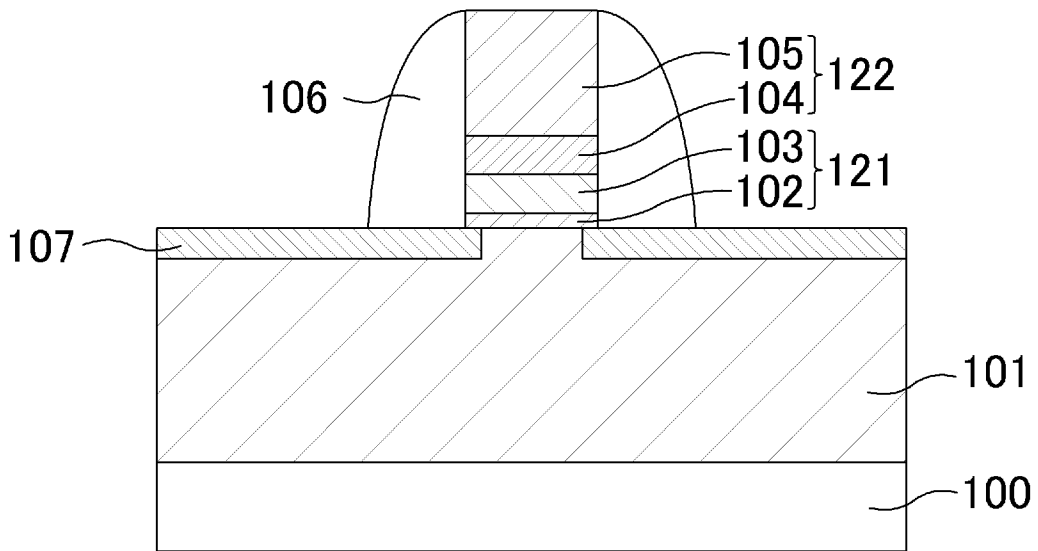


(c)

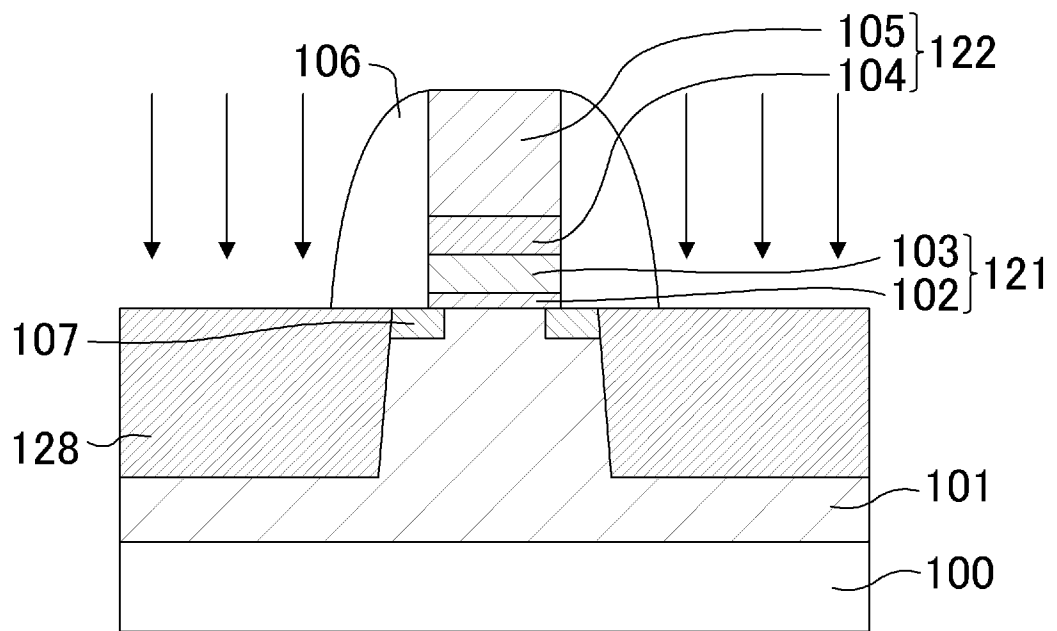


[図6]

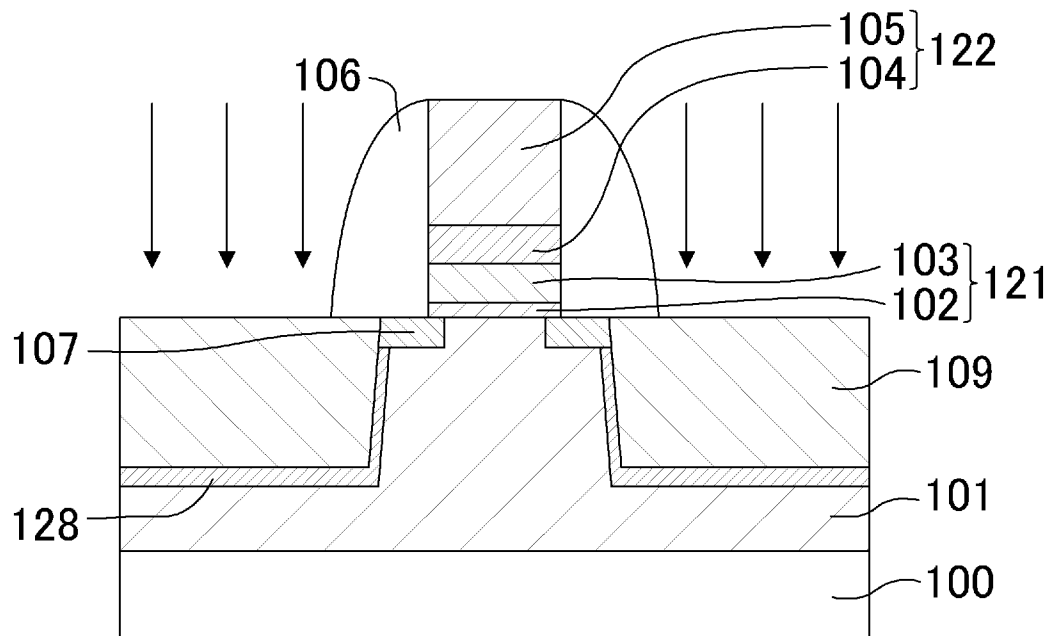
(a)



(b)



(c)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/007030

A. CLASSIFICATION OF SUBJECT MATTER H01L29/78(2006.01) i, H01L21/265(2006.01) i, H01L21/336(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/78, H01L21/265, H01L21/336		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010 Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-39762 A (Toshiba Corp.), 05 February 2004 (05.02.2004), paragraphs [0023] to [0025]; fig. 1 & US 2004/0155256 A1	1-6, 8-11 7, 12
Y A	JP 2008-311678 A (Toshiba Corp.), 25 December 2008 (25.12.2008), paragraphs [0043] to [0046]; fig. 3 (Family: none)	1-6, 8-11 7, 12
Y	JP 2004-214457 A (Fujitsu Ltd.), 29 July 2004 (29.07.2004), fig. 1, 13 (Family: none)	1-12
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the international search 24 March, 2010 (24.03.10)		Date of mailing of the international search report 06 April, 2010 (06.04.10)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/007030

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2000-77658 A (Toshiba Corp.), 14 March 2000 (14.03.2000), paragraph [0048]; fig. 6, 7 (Family: none)	1-6, 9-11 7, 8, 12
Y A	JP 2006-202951 A (Fujitsu Ltd.), 03 August 2006 (03.08.2006), paragraphs [0025] to [0027]; fig. 13 to 15 & US 2006/0172477 A1	1-6, 9-11 7, 8, 12
Y	JP 2007-500433 A (International Business Machines Corp.), 11 January 2007 (11.01.2007), paragraph [0067]; fig. 6, 8, 18 & US 2005/0026403 A1 & WO 2005/013344 A1 & CN 1830068 A	1, 5-10, 12
A	JP 2009-16866 A (Fujitsu Microelectronics Ltd.), 22 January 2009 (22.01.2009), paragraph [0029]; fig. 3 (Family: none)	1-12
A	JP 3-19348 A (Fujitsu Ltd.), 28 January 1991 (28.01.1991), page 5, lower left column, lines 3 to 5; fig. 1(m) (Family: none)	1-12
A	JP 2007-220809 A (Toshiba Corp.), 30 August 2007 (30.08.2007), paragraphs [0047] to [0048] & US 2007/0241399 A1 & DE 102007007261 A & KR 10-2007-0082528 A & CN 101022132 A	1-12
A	JP 2007-19314 A (Matsushita Electric Industrial Co., Ltd.), 25 January 2007 (25.01.2007), paragraphs [0027], [0028], [0039] to [0042] (Family: none)	1-12
A	JP 4-280682 A (Toshiba Corp.), 06 October 1992 (06.10.1992), paragraphs [0011], [0015], [0027] (Family: none)	1-12
A	JP 10-270685 A (Sony Corp.), 09 October 1998 (09.10.1998), paragraphs [0007], [0010] (Family: none)	1-12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/007030

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-350086 A (Matsushita Electronics Corp.), 22 December 1994 (22.12.1994), fig. 1 (Family: none)	1-12
P,A	JP 2009-182109 A (Toshiba Corp.), 13 August 2009 (13.08.2009), paragraphs [0046] to [0049] (Family: none)	1-12
P,A	JP 2009-181977 A (Toshiba Corp.), 13 August 2009 (13.08.2009), paragraphs [0027], [0028]; fig. 1, 16 & US 2009/0189189 A1	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/78(2006.01)i, H01L21/265(2006.01)i, H01L21/336(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/78, H01L21/265, H01L21/336		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2010年 日本国実用新案登録公報 1996-2010年 日本国登録実用新案公報 1994-2010年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2004-39762 A (株式会社東芝) 2004.02.05, 【0023】 - 【0025】, 図1 & US 2004/0155256 A1	1-6, 8-11 7, 12
Y A	JP 2008-311678 A (株式会社東芝) 2008.12.25, 【0043】 - 【0046】, 図3 (ファミリーなし)	1-6, 8-11 7, 12
Y	JP 2004-214457 A (富士通株式会社) 2004.07.29, 図1, 13 (ファミリーなし)	1-12
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 24.03.2010	国際調査報告の発送日 06.04.2010	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 松嶋 秀忠 電話番号 03-3581-1101 内線 3462	4M 9836

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2000-77658 A (株式会社東芝) 2000.03.14, 【0048】, 図6,7 (ファミリーなし)	1-6,9-11 7,8,12
Y A	JP 2006-202951 A (富士通株式会社) 2006.08.03, 【0025】 - 【0027】, 図13-15 & US 2006/0172477 A1	1-6,9-11 7,8,12
Y	JP 2007-500433 A (インターナショナル・ビジネス・マシーンズ・ コーポレーション) 2007.01.11, 【0067】, 図6,8,18 & US 2005/0026403 A1 & WO 2005/013344 A1 & CN 1830068 A	1,5-10,12
A	JP 2009-16866 A (富士通マイクロエレクトロニクス株式会社) 2009.01.22, 【0029】, 図3 (ファミリーなし)	1-12
A	JP 3-19348 A (富士通株式会社) 1991.01.28, 第5頁左下欄3行~5行, 第1図(m) (ファミリーなし)	1-12
A	JP 2007-220809 A (株式会社東芝) 2007.08.30, 【0047】 - 【0048】 & US 2007/0241399 A1 & DE 102007007261 A & KR 10-2007-0082528 A & CN 101022132 A	1-12
A	JP 2007-19314 A (松下電器産業株式会社) 2007.01.25, 【0027】, 【0028】, 【0039】 - 【0042】 (ファミリーなし)	1-12
A	JP 4-280682 A (株式会社東芝) 1992.10.06, 【0011】, 【0015】, 【0027】 (ファミリーなし)	1-12
A	JP 10-270685 A (ソニー株式会社) 1998.10.09, 【0007】, 【0010】 (ファミリーなし)	1-12
A	JP 6-350086 A (松下電子工業株式会社) 1994.12.22, 図1 (ファミリーなし)	1-12
P, A	JP 2009-182109 A (株式会社東芝) 2009.08.13, 【0046】 - 【0049】 (ファミリーなし)	1-12
P, A	JP 2009-181977 A (株式会社東芝) 2009.08.13, 【0027】, 【0028】, 図1,16 & US 2009/0189189 A1	1-12