

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/115	(11) 공개번호 특 1995-0012740
	(43) 공개일자 1995년 05월 16일
(21) 출원번호 특 1994-0025520	
(22) 출원일자 1994년 10월 04일	
(30) 우선권주장 09301040 1993년 10월 05일 벨기에(BE)	
(71) 출원인 필립스 일렉트로닉스 엔.브이. 에프.제이.스미트	
(72) 발명자 네델란드왕국 아인드호펜 그로네보드세베그 1 마르텐 제로엔 반 도로트	
(74) 대리인 네델란드왕국 아인드호펜 그로네보드세베그 1 김창세, 김영, 장성구	

심사청구 : 없음

(54) 프로그램가능 반도체 장치 및 메모리

요약

매트릭스 시스템의 교차부에 필라멘트 혹은 포인트 다이오드를 가지는 프로그램가능 반도체 메모리는 최소치수로 제조될 수 있으며, 자기정렬 공차로 인하여 상당히 높은 밀도로 제조될 수 있다. 가능한 문제는 인접한 다이오드들간의 펀치스루로 인하여 프로그래밍 동안 발생될 수 있는 강한 누설전류에 노출된다는 것이다. 형성된 다이오드 영역의 높은 배경 농도를 사용하여 누설전류를 감소시키는 것은 다이오드의 pn 접합에서의 항복전압이 상당히 크므로 불가능하다. 본 발명에 따라서, 다이오드들간의 상기 영역에 보다 강하게 도핑된 표면지대를 제공하고, 이 지대는 다이오드지점으로부터 적어도 얼마간 떨어진 거리에 위치한다. 특정 실시예에서, 상기 지대는 이 영역으로 다이오드보다 적은 깊이로 연장된다. 본 발명은 다이오드의 굴곡이 심한 곳에서 항복전압이 결정된다는 인식을 근거로 한다. 상기 지대는 상기 누설전류를 고수준으로 억제하고, 반면에 다이오드의 항복 전압은 충분히 높게 유지된다.

대표도

도 1

명세서

[발명의 명칭]
프로그램가능 반도체 장치 및 메모리

[도면의 간단한 설명]
제1도는 본 발명에 따른 반도체 장치의 평면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음.

(57) 청구의 범위

청구항 1

비교적 약하게 도핑된 제1도전형의 표면영역 (surface region)을 가지는 반도체 몸체를 포함하는 프로그램가능 반도체 장치(programmable semiconductor device)로서, 상기 표면영역을 제2의 반대 도전형과 비교적 높은 도핑 농도를 가지는 다수의 반도체 영역을 차례로 제공하는 유전체층(dielectric layer)으로 덮고, 각 반도체영역을 상기 인접한 유전체층의 일부와 결합하고, 상기 표면영역은 프로그램가능 요소를 형성하여 상기 반도체영역과 상기 표면영역사이에 충분히 높은 전압을 제공하도록 프로그래밍하고, 따라서 상기 유전체층에 걸친 항복(breakdown)으로 인해 상기 반도체 제2도전형의 지대(zone)가 상기 표면영역에 형성되고, 상기 지대는 상기 반도체영역에 도전성으로 연결되고 상기 반도체영역과 상기 표면영역사이에 정류정합(recifying)을 형성하되, 상기 표면영역에 동일한 도전형과 상기 표면영역보다 높은 도핑농도(dopingconcentration)를 가지는 하나 혹은 다수의 표면 지대가 제공되고, 상기 표면지대는 표면에 보여지는 바와 같이, 상기 반도체 영역사이에 연장되어, 프로그래밍동안 형성된 상기 정류정합의 상기 항복 전압이 적어도 상기 표면영역의 비교적 낮은 도핑농도에 의해 사실상 결정되도록 하고 상기 표면지대에 의해 영향을 받지 않거나 혹은 적어도 사실상 영향받지 않도록, 상기 표면영역내 표면지역(surface area)을 가지는 것을 특징으로 하는 프로그램가능 반도체 장치.

청구항 2

제1항에 있어서, 상기 제1도전형의 표면지대는 상기 지대 혹은 상기 제2도 전형지대의 상기 깊이보다 적은 깊이로, 횡방향으로 상기 표면으로부터 상기 반도체 몸체까지 연장되고, 상기 제2도전형지대는 프로그램동안 상기 제1도전형의 상기 표면영역에 형성되고 수직벽을 가진 상기 제1도전형의 표면지대와 인접하는 것을 더 포함하는 프로그램가능 반도체 장치.

청구항 3

제1항에 있어서, 상기 표면에서 알 수 있는 바와 같이, 상기 표면지대는 상호적으로 분리되고, 상기 제2도전형의 반도체 영역에 관련하여 상기 제2도전형 반도체 영역사이에 위치한 상기 표면영역의 영역에 자기정렬 방식으로 제공되는 것을 더 포함하는 프로그램가능 반도체 장치.

청구항 4

제1 내지 3항의 어느 한 항에 있어서, 상기 제1도전형의 상기 표면영역은 이후에 기판이라고 불리우는 pn 접합을 통해 상기 표면에 반대한 측면의 제2도전형 영역으로 합병되고, 상기 표면영역보다 높은 도핑 농도를 가지는 제1도전형 매립층은 상기 표면영역과 상기 기판사이에 형성되는 것을 더 포함하는 프로그램가능 반도체 장치.

청구항 5

제1 내지 4항의 어느 한 항에 있어서, 상기 표면영역은 상기 제2도전형 기판상에 에피텍셜(epitaxially)로 제공되는 제1도전형층으로 형성되는 것을 더 포함하는 프로그램가능 반도체 장치.

청구항 6

제1 내지 5항의 어느 한 항에 청구된 반도체 장치를 포함하는 프로그램가능 반도체 메모리.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1

