

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5766992号
(P5766992)

(45) 発行日 平成27年8月19日(2015.8.19)

(24) 登録日 平成27年6月26日(2015.6.26)

(51) Int. Cl. F I
H03K 17/16 (2006.01) H03K 17/16 H
H03K 17/687 (2006.01) H03K 17/687 A

請求項の数 6 (全 18 頁)

(21) 出願番号	特願2011-66339 (P2011-66339)	(73) 特許権者	514107233
(22) 出願日	平成23年3月24日 (2011.3.24)		トランスフォーム・ジャパン株式会社
(65) 公開番号	特開2012-204994 (P2012-204994A)		神奈川県横浜市港北区新横浜 2 - 5 - 1 5
(43) 公開日	平成24年10月22日 (2012.10.22)		新横浜センタービル9F
審査請求日	平成25年11月27日 (2013.11.27)	(74) 代理人	100079108
			弁理士 稲葉 良幸
		(74) 代理人	100109346
			弁理士 大貫 敏史
		(74) 代理人	100117189
			弁理士 江口 昭彦
		(74) 代理人	100134120
			弁理士 内藤 和彦
		(74) 代理人	100144325
			弁理士 小澁 高弘

最終頁に続く

(54) 【発明の名称】 スイッチング回路装置

(57) 【特許請求の範囲】

【請求項 1】

高電位端子に接続されたドレインと、低電位電源に接続されたソースと、ゲートとを有し、前記高電位端子と低電位電源との間に接続されたスイッチングトランジスタと、

入力制御信号にตอบสนองし、前記スイッチングトランジスタのゲートに前記スイッチングトランジスタの閾値電圧より高い高電位と前記低電位電源の電位とを有する駆動パルスを入力する駆動回路とを有し、

前記駆動回路は、前記スイッチングトランジスタのゲートとソースとの間に設けられた第1の駆動トランジスタと、前記スイッチングトランジスタのゲートと高電位電源との間に設けられた第2の駆動トランジスタとを含む第1のインバータを有し、前記第1の駆動トランジスタと第2の駆動トランジスタとの接続ノードに前記駆動パルスを生成し、前記駆動パルスにより前記スイッチングトランジスタがオンからオフに変化するときに、前記第1の駆動トランジスタが導通して前記スイッチングトランジスタのゲートとソース間を短絡し、

前記スイッチングトランジスタ、前記第1の駆動トランジスタ、及び第2の駆動トランジスタは、N型のエンハンスメント型HEMTであり、

前記第1のインバータは第1の制御信号を入力し、前記第1の制御信号を反転する制御信号反転回路を有し、

前記第1の制御信号は前記第1の駆動トランジスタのゲートに供給され、前記第1の制御信号の反転制御信号は前記第2の駆動トランジスタのゲートに供給される、

10

20

スイッチング回路装置。

【請求項 2】

請求項 1 において、

前記スイッチングトランジスタと前記駆動回路とが形成された半導体チップと、

前記半導体チップを収容するパッケージとを有し、

前記パッケージは、前記半導体チップの前記スイッチングトランジスタのソースが接続されたソース端子と、ボンディングワイヤを介して接続される低電位電源端子を有するスイッチング回路装置。

【請求項 3】

請求項 1 または 2 において、

前記高電位端子は、電源コンバータのコイルに接続され、前記スイッチングトランジスタが導通したときに前記コイルにエネルギーが蓄積されるスイッチング回路装置。

【請求項 4】

請求項 3 において、

前記コイルの第 1 の端子には入力電源が接続され、第 2 の端子には一方向性素子が接続され、前記スイッチングトランジスタが非導通したときに前記コイルに蓄積されたエネルギーが前記ダイオードを介して出力されるスイッチング回路装置。

【請求項 5】

請求項 1 ~ 4 のいずれかにおいて、

前記駆動回路は、さらに、前記高電位電源と前記低電位電源との間に設けられ第 2 の制御信号を反転して前記第 1 の制御信号を出力する第 2 のインバータを有し、

前記第 2 のインバータの低電位端子は、前記第 1 のインバータの前記第 1 の駆動トランジスタのソース端子とは、異なるボンディングワイヤを介して、パッケージの低電位電源端子と接続されるスイッチング回路装置。

【請求項 6】

高電位端子に接続されたドレインと低電位電源に接続されたソースとゲートとを有し、前記高電位端子と低電位電源との間の電流をスイッチするスイッチングトランジスタと、

入力制御信号を入力し、前記スイッチングトランジスタのゲートに前記スイッチングトランジスタの閾値電圧より高い高電位と前記低電位電源の電位とを有する駆動パルスを入力する駆動回路とを有し、

前記駆動回路は、前記スイッチングトランジスタのゲートとソースとの間に設けられた第 1 の駆動トランジスタを含む第 1 のインバータを有し、前記駆動パルスにより前記スイッチングトランジスタがオンからオフに変化するときに、前記第 1 の駆動トランジスタが導通して前記スイッチングトランジスタのゲートとソース間を短絡し、

前記駆動回路は、更に、前記第 1 の駆動トランジスタに並列にデプレッショントランジスタを有し、

更に、電源投入時に前記デプレッショントランジスタを導通し、電源投入後に前記低電位電源の電位より低く前記デプレッショントランジスタを非導通にする制御電圧を前記デプレッショントランジスタのゲートに供給するバイアス回路を有するスイッチング回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング回路装置及び制御回路に関する。

【背景技術】

【0002】

電源コンバータは、入力電圧を所定の電圧を有する出力電圧に変換し、負荷回路に出力する。そのような電源コンバータは、例えば、コイルに流れる電流をオン、オフする高耐圧のスイッチングトランジスタを有するスイッチング回路と、出力電圧が所望の電位になるようにスイッチング回路を制御する制御回路とを有する。入力電圧は例えば商用電源で

10

20

30

40

50

あり、出力電圧は例えば380Vと非常に高い直流電圧である。したがって、このスイッチング回路内のスイッチングトランジスタは、高い電圧に耐えられる高耐圧トランジスタである。

【0003】

制御回路は、出力電圧が所望の電圧になるように、スイッチングトランジスタを駆動するための制御信号を生成する。例えば、出力電圧が基準電圧より低いときはスイッチングトランジスタをより長く導通させてコイルのエネルギーを高くし、一方出力電圧が基準電圧より高いときはスイッチングトランジスタをより短く導通させてコイルのエネルギーを低くする。このように、スイッチングトランジスタのオンとオフを高精度に制御することで、出力電圧を高精度に所望の電圧に制御する。

10

【0004】

このような電源コンバータは、例えば、以下の特許文献1、2に記載されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平01-255263号公報

【特許文献2】特開2010-220330号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記のように、スイッチング回路内のスイッチングトランジスタは、高耐圧であることが要求され、シリコン半導体のトランジスタではなく、SiCやGaNなどの化合物半導体のトランジスタの利用が提唱されている。

20

【0007】

しかし、高耐圧のスイッチングトランジスタは、スイッチングのたびに大電流をオン、オフする。これに伴い、スイッチングトランジスタが形成された半導体チップ上の配線や、半導体チップの電極パッドと半導体チップを収容するパッケージの電極とを接続するボンディングワイヤなどの寄生インダクタにより、大電流をオンからオフにスイッチしたときスイッチングトランジスタのソース端子が負電位になり、スイッチングトランジスタがオフからオンに反転する誤動作が生じる場合がある。このような誤動作は、スイッチングトランジスタのオフ動作が高精度に行われなことを意味する。

30

【0008】

そこで、本実施の形態の目的は、スイッチングトランジスタのオフ動作を適切に行うことができるスイッチング回路装置を提供することにある。

【課題を解決するための手段】

【0009】

スイッチング回路装置の第1の側面は、高電位端子に接続されたドレインと、低電位電源に接続されたソースと、ゲートとを有し、前記高電位端子と低電位電源との間に接続されたスイッチングトランジスタと、

入力制御信号に応答し、前記スイッチングトランジスタのゲートに前記スイッチングトランジスタの閾値電圧より高い高電位と前記低電位電源の電位とを有する駆動パルスを出力する駆動回路とを有し、

40

前記駆動回路は、前記スイッチングトランジスタのゲートとソースとの間に設けられた第1の駆動トランジスタを含む第1のインバータを有し、前記駆動パルスにより前記スイッチングトランジスタがオンからオフに変化するときに、前記第1の駆動トランジスタが導通して前記スイッチングトランジスタのゲートとソース間を短絡する。

【発明の効果】

【0010】

第1の側面によれば、スイッチングトランジスタのオフ動作を適切に行うことができる。

50

【図面の簡単な説明】

【0011】

【図1】ACDCコンバータの力率改善回路（PFC回路：Power Factor Correction）と動作波形とを示す図である。

【図2】本実施の形態におけるACDCコンバータのPFC回路と動作波形とを示す図である。

【図3】第1の実施の形態におけるACDCコンバータのPFC回路と動作波形とを示す図である。

【図4】第1の実施の形態におけるスイッチング回路装置を使用したACDCコンバータのシステム構成図である。

【図5】第1の実施の形態におけるスイッチング回路装置のパッケージを示す図である。

【図6】第2の実施の形態におけるスイッチング回路装置とそれを利用したACDCコンバータ回路を示す図である。

【図7】第2の実施の形態におけるスイッチング回路の動作波形図である。

【図8】第3の実施の形態におけるスイッチング回路装置を示す図である。

【図9】第4の実施の形態におけるスイッチング回路装置の回路図である。

【図10】入力閾値変換回路30の具体的な回路図である。

【図11】入力閾値変換回路30の動作波形図である。

【図12】第1～第3の実施の形態におけるスイッチ回路装置のチップ平面図である。

【図13】第5の実施の形態におけるスイッチ回路装置を示す図である。

【発明を実施するための形態】

【0012】

図1は、ACDCコンバータの力率改善回路（PFC回路：Power Factor Correction）と動作波形とを示す図である。この電源コンバータは、交流電圧ACが一端に印加されるコイルL1と、コイルL1の他端に接続された一方性素子であるダイオードD1と、コイルL1とダイオードD1との接続ノードSWと低電位電源であるグランドVSSとの間に設けられた高耐圧のパワースwitchングトランジスタQ1とを有する。スイッチングトランジスタQ1は、例えばN型のエンハンスメント型トランジスタであり、そのゲートには駆動パルスとして制御信号PWMが供給される。

【0013】

制御信号PWMがHレベルのときにスイッチングトランジスタQ1は導通して、ノードSWから低電位電源のグランドVSSに向かう電流を流し、コイルL1にエネルギーを蓄積する。そして、制御信号PWMがLレベルのときにスイッチングトランジスタQ1は非導通になり、コイルL1に蓄積されたエネルギーにより発生する電流によりノードSWが高電位（例えば380V）になり、ダイオードD1が導通して出力端子OUTに出力電流が流れる。出力端子OUTには、図示しない負荷回路とコンデンサが接続され、出力電流により出力端子OUTには直流出力電圧が生成される。

【0014】

このように、スイッチングトランジスタQ1は、ノードSWからグランドVSSに向かって大きな電流のオン、オフを切り替える。そして、スイッチングトランジスタQ1がオフになるとノードSWは高電位になるので、トランジスタQ1は高い耐圧特性を有する。また、PFC回路は、コイルL1と、ダイオードD1と、スイッチングトランジスタQ1とを有する回路である。

【0015】

一方、スイッチングトランジスタQ1は、半導体チップCPに形成され、半導体チップCPに形成されたトランジスタQ1のソース端子N1は、外部のグランドVSSとは、例えばボンディングワイヤを介して接続される。このボンディングワイヤは寄生インダクタンスLp1を有する。そのため、図1の動作波形に示されるように、制御信号PWMがHレベルからLレベルに切り替わり、スイッチングトランジスタQ1がオンからオフに切り替わって大きな電流が切断されると、寄生インダクタンスLp1が電流を流し続けようと

10

20

30

40

50

し、トランジスタQ1のソースノードN1の電荷を引き抜き、ソースノードN1は一時的に負電位に低下する。その結果、トランジスタQ1のゲートソース間電圧が閾値電圧を超えてトランジスタQ1が再度導通する現象が生じる。つまり、制御信号PWMのLレベルによりトランジスタQ1をオフに制御しても、トランジスタQ1が再度オンしてしまい、適切にオフ動作しない。

【0016】

制御信号PWMは、図示しない制御回路により生成される駆動パルスであり、例えば、0V（低電位電源VSSの電位）と12V（高電位電源VDDの電位）のLレベル及びHレベルを有する。制御回路は、出力OUTの出力電圧を所望の電位に維持するように制御信号PWMのHレベルのパルス幅を制御する。つまり、制御信号PWMのHレベルとLレベルに応じて、スイッチングトランジスタQ1のオン状態とオフ状態を正確に制御することで、出力OUTの出力電圧を所望の電位に制御する。

10

【0017】

スイッチングトランジスタQ1は、高い耐圧を要するので、例えば、GaNやSiCなどの化合物半導体のトランジスタが利用される。特に、GaNのHEMT（光電子移動度トランジスタ）は、GaNの広いバンドギャップにより高い耐圧を実現し、電子移動度が大きく電子密度を高くできるので大電流の駆動に適している。

【0018】

しかし、N型のエンハンスメント型HEMTは、閾値電圧が例えば__Vと低い。そのため、上記のようにトランジスタをオフにしたときにソース電位が低下すると、ゲートソース間電圧が上記の低い閾値電圧を超えてしまい、トランジスタが再度オンする誤動作が起きやすい。前述のとおり、大電流のオンからオフの切り替え時に寄生インダクタンスLp1によりトランジスタQ1を適切にオフに制御できないとすると、ACDCコンバータの出力OUTの出力電圧を正確に制御することは困難になる。

20

【0019】

図2は、本実施の形態におけるACDCコンバータのPFC回路と動作波形とを示す図である。このPFC回路のスイッチング回路装置CPは、スイッチングトランジスタQ1と、制御信号/PWMを入力してその反転信号を駆動パルスとしてトランジスタQ1のゲートに供給する駆動回路INV0を有する。図示されるとおり、この駆動回路はインバータINV0を有し、インバータINV0は高電位電源VDDとトランジスタQ1のソースノードN1との間に設けられる。すなわち、本実施の形態のスイッチング回路装置CPは、GaNなどの化合物半導体チップCPに形成されたN型のエンハンスメントHEMTからなるスイッチングトランジスタQ1と、その駆動パルスを生成する駆動回路であるインバータINV0とを有する。

30

【0020】

このインバータINV0は、高電位電源VDD（例えば12V）と出力ノードN2との間にプルアップ用トランジスタを有し、さらに、出力ノードN2とトランジスタQ1のソースノードN1との間にプルダウン用トランジスタを有する。そして、制御信号/PWMがLレベルのときに、インバータINV0の出力N2の駆動パルスはHレベルになり、トランジスタQ1を導通させる。一方、制御信号/PWMがLレベルからHレベルに変化すると、インバータINV0の出力N2の駆動パルスはHレベルからLレベルに変化し、トランジスタQ1は非導通になる。この時、インバータINV0のプルダウントランジスタがオン状態になり、トランジスタQ1のゲートソース間（N2，N1間）を短絡する。

40

【0021】

そのため、図2の動作波形図に示されるとおり、トランジスタQ1がオフに制御されたときにトランジスタQ1のソースノードN1が寄生インダクタンスLp1により負電位に低下したとしても、そのソースノードN1と短絡しているトランジスタQ1のゲートノードN2も同様に負電位に低下する。その結果、トランジスタQ1のゲートソース間電圧は0Vに維持され、閾値電圧未満になり、トランジスタQ1がオフからオンに誤動作することはない。

50

【 0 0 2 2 】

更に、インバータの動作を考えると、制御信号/PWMとソースノードN1の関係において、ソースノードN1がノイズなどで降下しても、制御信号/PWMとソースノードN1の電圧差は大きくなるので、インバータは確実にゲートノードN2とソースノードN1間を短絡するように動作する。

【 0 0 2 3 】

[第 1 の実施の形態]

図3は、第1の実施の形態におけるACDCコンバータのPFC回路と動作波形とを示す図である。図3には、図2のインバータINV0が、高電位電源VDDとトランジスタQ1のソースノードN1との間に設けた駆動トランジスタQ2とQ3を有する。これらのトランジスタQ2、Q3も、トランジスタQ1と同様に、GaNの半導体チップCPに形成されたN型のエンハンスメント型HEMTである。そして、インバータINV0のプルダウントランジスタQ3のゲートには制御信号/PWMが印加され、プルアップトランジスタQ3のゲートには制御信号/PWMを反転した制御信号//PWMが印加される。

10

【 0 0 2 4 】

したがって、GaNの半導体チップCPには、トランジスタQ1、Q2、Q3が形成され、外部端子として、SW、N1、VDD、/PWM、//PWMの5端子になる。半導体チップCPは、パッケージPKG内に収容され、半導体チップCPの5つの外部端子は、それぞれパッケージPKGの対応する外部端子と接続される。図3には、トランジスタQ1のソースノードN1と低電位電源(グランド)VSSとの間だけに寄生インダクタンスLp1が示されている。この半導体チップCPまたはそれを収容したパッケージPKGが、本実施の形態のスイッチング回路装置を構成する。

20

【 0 0 2 5 】

動作波形図に示されるとおり、制御信号//PWMがHレベルからLレベルに変化し、制御信号/PWMがLレベルからHレベルに変化したとき、トランジスタQ2はオフにトランジスタQ3はオンになり、インバータINV0の出力N2(トランジスタQ1のゲート)はLレベルになりトランジスタQ1はオンからオフに切り替わる。この導通から非導通になったことで、前述のとおり、寄生インダクタンスLp1によりトランジスタQ1のソースノードN1は負電位に低下する。このとき、インバータINV0のプルダウントランジスタQ3が導通しているので、トランジスタQ1のゲートN2も同様に負電位に低下するので、トランジスタQ1のゲートソース間電圧は閾値電圧を超えることはなく、トランジスタQ1が再びオンに誤動作することは回避される。

30

【 0 0 2 6 】

そして、トランジスタQ1のオフによりノードSWが高い電位(例えば380V)まで上昇し、ダイオードD1を介して出力端子OUTに電流が供給される。

【 0 0 2 7 】

図4は、第1の実施の形態におけるスイッチング回路装置を使用したACDCコンバータのシステム構成図である。図3の回路に加えて、出力OUTとグランドVSSとの間に設けられたコンデンサC1と、直列抵抗R1、R2と、直列抵抗R1、R2の接続ノードN3の電圧を監視し、出力OUTの電圧が所望の電圧になるように制御信号/PWM、//PWMを生成する制御回路12と、出力OUTに生成される直流出力電圧を電源として供給される負荷回路10とが示されている。さらに、図4には、交流電源ACを整流するダイオードブリッジD2~D5が示され、交流電源ACを整流した電圧がコイルL1の一端に印加される。

40

【 0 0 2 8 】

スイッチング回路装置を構成する半導体チップCPとパッケージPKGの高電位電源VDDは、たとえば、出力OUTの電圧を図示しない降圧回路により降圧した電圧が使用される。

【 0 0 2 9 】

図5は、第1の実施の形態におけるスイッチング回路装置のパッケージを示す図である

50

。図5には、平面図と側面図とが示されている。モールド樹脂の本体20内に半導体チップが収容されていて、5本の外部端子21～25と放熱用金属26とが本体20から導出されている。外部端子21～25の信号は図示されるとおりである。これらの外部端子21～25は、本体内で半導体チップの外部端子とボンディングワイヤなどで接続されている。

【0030】

[第2の実施の形態]

図6は、第2の実施の形態におけるスイッチング回路装置とそれを利用したACDCコンバータ回路を示す図である。このスイッチング回路装置は、スイッチングトランジスタQ1に駆動パルスを提供する駆動回路は、インバータを構成し接続ノードN12に駆動パルスを出力するトランジスタQ12、Q13（図3のQ2、Q3に対応）に加えて、制御信号/PWMを反転してノードN14に反転制御信号を生成するトランジスタQ14、Q15、Q16とキャパシタC11とを含む制御信号反転回路を有する。これらのトランジスタQ14、Q15、Q16も、トランジスタQ1、Q12、Q13と同様にGaNのN型HEMTであり、同じGaNの半導体チップCPに形成される。

10

【0031】

図7は、第2の実施の形態におけるスイッチング回路の動作波形図である。以下、図6に示した各ノードのH、Lレベル及びトランジスタのオン、オフも参照しながら、動作を説明する。

【0032】

まず、制御信号/PWMがHレベル（この例では3V）のときは、トランジスタQ16、Q13は共にオン（導通状態）であり、ノードN14はLレベル（グランドVSS）、ノードN12もLレベルであり、スイッチングトランジスタQ1はオフである。このとき、高電位端子SWから低電位電源VSSへの電流は遮断され、端子SWは高い電位（この例では380V）になり、出力OUTに向かって電流が流れる。また、トランジスタQ14によりトランジスタQ15のゲートN13はVDD-Vth（VthはトランジスタQ14の閾値電圧）の電位であり、ノードN14がLレベルであるので、トランジスタQ15はオン状態にある。

20

【0033】

次に、制御信号/PWMがLレベルになると、トランジスタQ16、Q13は共にオフになり、オン状態のトランジスタQ15によりノードN14の電位が上昇し、容量C11のカップリングによりノードN13は高電位電源VDDよりも高い電位に上昇し、トランジスタQ15によりノードN14は高電位電源VDDレベルまで上昇する。その結果、トランジスタQ12はオフからオンになり、ノードN12がHレベル（VDD-Vth）になり、スイッチングトランジスタQ1はオンする。それにより、ノードSWからグランドVSSに電流が流れ、ノードSWはグランドVSSまで低下する。

30

【0034】

そして、再度制御信号/PWMがLレベルからHレベルに変化すると、前述の/PWM=Hレベルと同じように、スイッチングトランジスタQ1はオフ状態になる。このように、トランジスタQ14、Q15、Q16とキャパシタC11を設けたことで、制御信号/PWMを反転した信号をノードN14に生成することができ、プルアップ側のトランジスタQ12をオン、オフ状態に駆動することができる。これにより、スイッチング回路装置の外部端子は、SW、VDD、VSSに加えて1つの制御信号/PWMだけでよく、全部で4つの外部端子になる。その場合は、パッケージは、図5に示したパッケージの5つの外部端子のうち、信号/PWMの外部端子22は不要になる。そして、図4の制御回路12は1つの制御信号/PWMだけを生成して、スイッチング回路装置に供給すればよい。

40

【0035】

[第3の実施の形態]

図8は、第3の実施の形態におけるスイッチング回路装置を示す図である。このスイッ

50

チング回路装置の半導体チップCP内の回路は、図6に示したスイッチングトランジスタQ1と、トランジスタQ12 - Q16とキャパシタC11を有する第1のインバータINV1に加えて、第2のインバータINV2を有する。第2のインバータINV2は、正相の制御信号PWMを反転して逆相の制御信号/PWMを生成する。

【0036】

したがって、第3の実施の形態のスイッチング回路装置は、正相の制御信号PWMを入力し、第2のインバータINV2がそれを反転した逆相の制御信号/PWMを生成し第1のインバータINV1に入力する。それにより、図4に示したACDCコンバータの制御回路12によって生成される正相の制御信号PWMをそのまま、スイッチング回路装置に供給することができる。

10

【0037】

第2のインバータINV2は、トランジスタQ207、Q208を有するプッシュプル型のインバータと、そのプルダウントランジスタQ208のゲートに駆動信号N25を供給する第3のインバータ(Q209 - Q213, C22)と、プルアップトランジスタQ207のゲートに駆動信号N29を供給する第4のインバータ(Q214 - Q218, C23)とを有する。第3、第4のインバータは、第1のインバータINV1と同じ回路構成であり、その動作も同じである。そして、トランジスタQ209 - Q218も、例えばGaNのN型エンハンスメントHEMTである。このように、第2のインバータINV2は、正相の制御信号PWMを反転して逆相の制御信号/PWMを生成し、第1のインバータINV1に入力する。

20

【0038】

そして、第4のインバータは、制御信号PWMを反転して駆動信号N29、N28を生成し、さらに、第3のインバータは、信号N28を反転して駆動信号N25を生成する。したがって、第2のインバータINV2の出力ノードN24の信号は、制御信号PWMを反転した逆相の制御信号/PWMである。

【0039】

また、このスイッチング回路装置では、スイッチングトランジスタQ1のソースノードN1及び第1のインバータINV1の低電位ノードN1と、第2のインバータINV2の低電位ノードN20とは、異なるボンディングワイヤを介して、パッケージの低電位電源端子VSS、VSS1に接続される。このような構成にすることで、スイッチングトランジスタQ1がオフになったときのノードN1の負電位への低下が、第2のインバータINV2の低電位ノードN20に影響を与えないようにしている。

30

【0040】

すなわち、スイッチングトランジスタQ1がオフになったとき一時的にノードN1が負電位に低下するが、トランジスタQ13がオン状態になるので、ノードN21もそれに追従して負電位に低下し、トランジスタQ1のゲートソース間電圧がその閾値電圧を超えず、トランジスタQ1がオンする誤動作を回避している。この時、ノードN24(/PWM)はHレベルであるので、ノードN1の低電位への低下はトランジスタQ13、Q16のオン状態には何ら影響はない。つまり、ノードN1とノードN24(/PWM)は逆相であり、トランジスタQ13、Q14のオン状態に影響はない。

40

【0041】

一方、その時、ノードN28がLレベルでトランジスタQ212、Q210はオフ状態である。そのため、もしノードN20がノードN1のように負電位に低下すると、トランジスタQ212、Q210がオフ状態からオン状態に誤動作する可能性がある。したがって、第2のインバータINV2の低電位電源に接続する低電位ノードN20は、ノードN1とは異なるボンディングワイヤ(寄生インダクタンスLp2)を介して、パッケージの低電位電源端子VSS1に接続して、ノードN20にノードN1の負電位への低下の影響がないようにしている。

【0042】

[第4の実施の形態]

50

図9は、第4の実施の形態におけるスイッチング回路装置の回路図である。前述のとおり、Ga_NのN型エンハンスメントHEMTは、閾値電圧が低い。そのため、外部からの制御信号/PWMがLレベルのときにノイズによりその電位が上昇すると、スイッチング回路装置内のトランジスタが誤動作してオンになりやすい。そこで、第4の実施の形態のスイッチング回路装置では、外部から入力される制御信号/PWMとトランジスタQ16、Q13のゲートN15との間に、入力閾値変換回路30を有する。

【0043】

この入力閾値変換回路30は、入力される制御信号/PWMの変化に応答してそれと同相の信号をノードN15に生成する。ただし、入力閾値変換回路30における制御信号/PWMに対する閾値電圧は、トランジスタQ16、Q13の閾値電圧より高い。したがって、チップCPの外部から入力される制御信号/PWMの耐ノイズ性を高くすることができる。

10

【0044】

図10は、入力閾値変換回路30の具体的な回路図である。この入力閾値変換回路30は、第1のインバータINV1と同じ構成のトランジスタQ311-A313とキャパシタC311を有するインバータ回路に、トランジスタQ314、Q315を追加した第1のインバータユニットINV-U1と、第1のインバータユニットの出力N312が入力され第1のインバータユニットと同様の構成の第2のインバータユニットINV-U2とを有する。さらに、入力閾値変換回路30は、第1、第2のインバータユニットINV-U1、INV-U2のそれぞれの出力N312、N322とがゲートに供給されるプッシュプル型のインバータを構成するトランジスタQ326、Q327とを有する。

20

【0045】

第1のインバータユニットINV-U1は、制御信号/PWMを入力して、その反転信号N312を生成し、第2のインバータユニットINV-U2は反転信号N312を入力し、その反転信号N322を生成する。両インバータユニットの出力N312、N322が、プッシュプル型のインバータのトランジスタQ327、Q326のゲートに入力され、その出力N15が、図9に示したとおり、第1のインバータINV1に入力される。

【0046】

図11は、入力閾値変換回路30の動作波形図である。第1のインバータユニットINV-U1では、制御信号/PWMがLレベルのときに、トランジスタQ313、Q314はオフ、トランジスタQ312はオン、ノードN312はHレベルでトランジスタQ315はオンになり、ノードN313はHレベルになっている。

30

【0047】

そこで、制御信号/PWMがLレベルからHレベルに変化すると、制御信号/PWMがトランジスタQ314の閾値電圧を超えるとトランジスタQ314がオンになる。それにより、トランジスタQ315、Q314が共にオン状態になり、ノードN313は高電位電源VDDとグランドVSSの中間電圧になる。そのため、制御信号/PWMがノードN313の中間電位+閾値電圧を超えると初めてトランジスタQ313がオンになり、ノードN312がLレベルになる。つまり、第1のインバータユニットINV-U1は、制御信号/PWMがLレベルからHレベルに変化するとき、通常のトランジスタの閾値電圧V_{th}より高い電圧V_{th2}で、その出力N312をHレベルからLレベルに反転する。

40

【0048】

第2のインバータユニットINV-U2は、ノードN312の出力信号を入力して、第1のインバータユニットINV-U1と同様に、ノードN312のLレベルからHレベルに変化するときトランジスタの閾値電圧V_{th}より高い閾値電圧V_{th2}で反転する。

【0049】

このように、入力閾値変換回路30は、外部から入力される制御信号/PWMに対して、通常のトランジスタの閾値電圧より高い閾値電圧になっているので、ノイズによる誤動作を抑制することができる。

【0050】

50

図12は、第1～第3の実施の形態におけるスイッチ回路装置のチップ平面図である。図中、チップ上の外部端子SW、N1、/PWM、VDDのパッドと、それらに接続される導電パターンが示されている。スイッチングトランジスタQ1のゲートは、上下に10本ずつ設けられ、それぞれのゲートの両側に、外部端子SW、N1からの導電パターンが設けられている。また、駆動回路40内には、少なくともトランジスタQ12、Q13からなる第1のインバータINV1が含まれ、駆動回路40には外部端子/PWM、VDDが接続されている。そして、駆動回路40には外部端子N1からの導電パターンが接続され、低電位電源となっている。駆動回路40は、上記の第1～第4の駆動回路のいずれでもよい。

【0051】

少なくとも第1のインバータINV1を有する駆動回路40は、チップCP内の中央位置に配置されて、20本のゲートからなるスイッチングトランジスタQ1のソースノードN1の電位がほぼ同等の電位になるようにされている。つまり、スイッチングトランジスタQ1のソースノードN1の電位と、駆動回路内のノードN1との電位がほぼ等しくなるように工夫されている。

【0052】

[第5の実施の形態]

図13は、第5の実施の形態におけるスイッチ回路装置を示す図である。GaNのN型円反すHEMTからなるスイッチングトランジスタQ1の閾値電圧が低いため、電源ACを投入した時にノイズ等でスイッチングトランジスタQ1が導通すると、ノードSWからグラウンドVSSに向かって大電流が流れる。これを防止するために、トランジスタQ1の駆動パルスをノードN12に生成する第1のインバータINV1のトランジスタQ16、Q13に並列に、N型のデプレッション型HEMTのトランジスタQ408、Q407を設けている。

【0053】

さらに、これらのトランジスタQ408、Q407のゲートには、電源投入時はグラウンド電位にあるが、電源投入後に負電位に低下するノードN48が接続されている。すなわち、制御信号/PWMを入力とし、トランジスタQ409、Q410、Q411とキャパシタC402からなるインバータ回路と、そのインバータ回路の出力ノードN46のパルス信号によりポンピング動作してノードN48を負電位にするトランジスタQ412、Q413とキャパシタS403とからなるバイアス回路BIASとが設けられている。

【0054】

ACDCコンバータに入力電源ACが供給開始すると、ノードSWは高い電圧が印加される。そのとき、高電位電源VDDにまだ電圧が生成されていないくても、グラウンドVSSと同じ電位のノードN48がグラウンド電位であるので、デプレッショントランジスタQ408、Q407は共にオン状態になる。そのため、スイッチングトランジスタQ1のゲートソース間はトランジスタQ407の導通状態により短絡され、トランジスタQ408の導通状態によりノードN14はグラウンド電位となりトランジスタQ12はオフ状態であるので、トランジスタQ1のゲートノードN12はグラウンド電位のままで、トランジスタQ1はオフ状態を維持する。これにより、電源投入時にトランジスタQ1が誤って導通することが回避される。

【0055】

電源投入後は、制御信号/PWMにはパルス信号が供給されて、ノードN46はその反転パルス信号が生成される。そして、バイアス回路BIASは、キャパシタC403を介してポンピング動作を行い、ノードN48からトランジスタQ413、Q412を介してグラウンドVSSに電荷が引き抜かれ、ノードN48は負電位に制御される。その結果、誤動作防止用に設けたデプレッション型のトランジスタQ408、Q407は共にオフ状態になり、第1のインバータINV1は本来の動作を開始する。制御信号/PWMに代えて、電源起動後回路全体が安定した後に生成されるパルス信号であってもよい。

【0056】

10

20

30

40

50

このように、第5の実施の形態のスイッチング回路装置では、デプレッション型トランジスタQ407、Q408を設けたことで、ACDCコンバータへの電源AC投入時にトランジスタQ1が誤って導通することが防止される。

【0057】

以上の通り、本実施の形態のスイッチング回路装置によれば、スイッチングトランジスタQ1がオンからオフになり大電流が遮断された時に、寄生インダクタンスなどに起因してトランジスタQ1が再度オンに切り替わる誤動作を防止することができる。

【0058】

以上の実施の形態をまとめると、次の付記のとおりである。

【0059】

(付記1)

高電位端子に接続されたドレインと、低電位電源に接続されたソースと、ゲートとを有し、前記高電位端子と低電位電源との間に接続されたスイッチングトランジスタと、

入力制御信号に応答し、前記スイッチングトランジスタのゲートに前記スイッチングトランジスタの閾値電圧より高い高電位と前記低電位電源の電位とを有する駆動パルスを出力する駆動回路とを有し、

前記駆動回路は、前記スイッチングトランジスタのゲートとソースとの間に設けられた第1の駆動トランジスタを含む第1のインバータを有し、前記駆動パルスにより前記スイッチングトランジスタがオンからオフに変化するときに、前記第1の駆動トランジスタが導通して前記スイッチングトランジスタのゲートとソース間を短絡するスイッチング回路装置。

【0060】

(付記2)

付記1において、

前記スイッチングトランジスタと前記駆動回路とが形成された半導体チップと、

前記半導体チップを収容するパッケージとを有し、

前記パッケージは、前記半導体チップの前記スイッチングトランジスタのソースが接続されたソース端子と、ボンディングワイヤを介して接続される低電位電源端子を有するスイッチング回路装置。

【0061】

(付記3)

付記1または2において、

前記高電位端子は、電源コンバータのコイルに接続され、前記スイッチングトランジスタが導通したときに前記コイルにエネルギーが蓄積されるスイッチング回路装置。

【0062】

(付記4)

付記3において、

前記コイルの第1の端子には入力電源が接続され、第2の端子には一方向性素子が接続され、前記スイッチングトランジスタが非導通したときに前記コイルに蓄積されたエネルギーが前記ダイオードを介して出力されるスイッチング回路装置。

【0063】

(付記5)

付記2において、

前記第1のインバータは、さらに、前記スイッチングトランジスタのゲートと高電位電源との間に設けられた第2の駆動トランジスタを有し、前記第1の駆動トランジスタと第2の駆動トランジスタとの接続ノードに前記駆動パルスを生成するスイッチング回路装置。

【0064】

(付記6)

付記5において、

10

20

30

40

50

前記第 1 のインバータは第 1 の制御信号を入力し，前記第 1 の制御信号を反転する制御信号反転回路を有し，

前記第 1 の制御信号は前記第 1 の駆動トランジスタのゲートに供給され，前記第 1 の制御信号の反転制御信号は前記第 2 の駆動トランジスタのゲートに供給されるスイッチング回路装置。

【 0 0 6 5 】

(付記 7)

付記 5 において，

前記第 1 のインバータは第 1 の制御信号を入力し，

前記第 1 の駆動トランジスタのゲートに前記第 1 の制御信号が供給され，前記第 2 の駆動トランジスタのゲートに前記第 1 の制御信号を反転した第 1 の反転制御信号が供給され

10

，前記駆動回路は，さらに，前記高電位電源と低電位電源との間に設けられ第 2 の制御信号を反転して前記第 1 の制御信号を出力する第 2 のインバータを有し，

前記第 2 のインバータの低電位端子は，前記第 1 のインバータの第 1 の駆動トランジスタのソース端子とは，異なるボンディングワイヤを介して，前記パッケージの低電位電源端子と接続されるスイッチング回路装置。

【 0 0 6 6 】

(付記 8)

付記 5 において，

前記第 1 の駆動トランジスタは，第 1 の閾値電圧を有し，

さらに，前記入力制御信号に応答し当該入力制御信号が第 2 の閾値電圧より高いか否かに基づいて前記第 1 の制御信号の電位をスイッチングする入力閾値変換回路を有し，前記第 2 の閾値電圧は前記第 1 の閾値電圧より高いスイッチング回路装置。

20

【 0 0 6 7 】

(付記 9)

付記 8 において，

前記入力閾値変換回路は，前記入力制御信号がゲートに供給されソースが前記低電位電源に接続された第 1 の入力トランジスタと，前記入力制御信号がゲートに供給され前記第 1 の入力トランジスタとカスコード接続された第 2 の入力トランジスタと，前記第 2 のトランジスタと前記高電位電源との間に設けられた第 3 のトランジスタと，前記第 2 ，第 3 のトランジスタの接続ノードがゲートに接続され前記第 1 のトランジスタと前記高電位電源との間に設けられた第 4 のトランジスタとを有する第 1 のインバータユニットを有するスイッチング回路装置。

30

【 0 0 6 8 】

(付記 1 0)

付記 9 において，

前記入力閾値変換回路は，さらに，前記第 1 のインバータユニットの前記接続ノードに生成される出力信号が入力される第 2 のインバータユニットと，前記第 1 ，第 2 のインバータユニットの出力信号がそれぞれのゲートに供給され前記高電位電源と低電位電源との間に設けられたプッシュプル型の第 5 及び第 6 のトランジスタとを有するスイッチング回路装置。

40

【 0 0 6 9 】

(付記 1 1)

付記 1 において，

前記第 1 の駆動トランジスタを駆動する回路のソースは前記第 1 の駆動トランジスタのソースと共通に接続され，前記入力制御信号の位相は前記第 1 の駆動トランジスタのドレインと同相であるスイッチング回路装置。

【 0 0 7 0 】

(付記 1 2)

50

高電位端子に接続されたドレインと低電位電源に接続されたソースとゲートとを有し、前記高電位端子と低電位電源との間の電流をスイッチするスイッチングトランジスタと、入力制御信号を入力し、前記スイッチングトランジスタのゲートに前記スイッチングトランジスタの閾値電圧より高い高電位と前記低電位電源の電位とを有する駆動パルスを出力する駆動回路とを有し、

前記駆動回路は、前記スイッチングトランジスタのゲートとソースとの間に設けられた第1の駆動トランジスタを含む第1のインバータを有し、前記駆動パルスにより前記スイッチングトランジスタがオンからオフに変化するときに、前記第1の駆動トランジスタが導通して前記スイッチングトランジスタのゲートとソース間を短絡し、

前記駆動回路は、更に、前記第1の駆動トランジスタに並列にデプレッショントランジスタを有し、

更に、電源投入時に前記デプレッショントランジスタを導通し、電源投入後に前記低電位電源の電位より低く前記デプレッショントランジスタを非導通にする制御電圧を前記デプレッショントランジスタのゲートに供給するバイアス回路を有するスイッチング回路装置。

【0071】

(付記13)

付記12において、

前記第1の駆動トランジスタはエンハンスメントトランジスタであるスイッチング回路装置。

【0072】

(付記14)

第1の高電位電源端子に接続されたドレインと低電位電源端子に接続されたソースとを有するトランジスタと、

入力信号に応答して、第2の高電位電源端子の電位又は前記ソースの電位に駆動される出力信号を前記トランジスタのゲートに出力するインバータとを有する制御回路。

【符号の説明】

【0073】

CP: 半導体チップ

Q1: スwitchングトランジスタ

Q3: 第1の駆動トランジスタ

/PWM: 第1の制御信号

L1: コイル

PKG: パッケージ

Q2, Q3: 第1のインバータ, 駆動回路

Q2: 第2の駆動トランジスタ

PWM: 第2の駆動信号

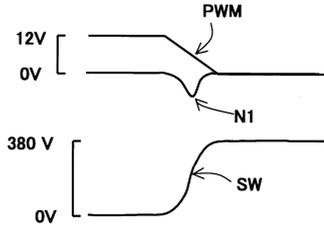
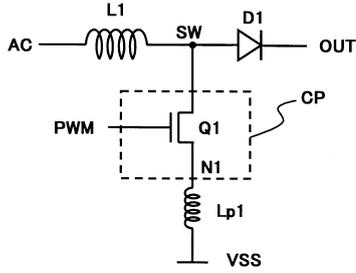
D1: 一方向性素子, ダイオード

10

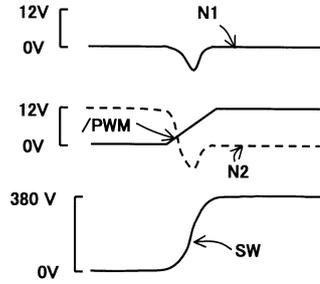
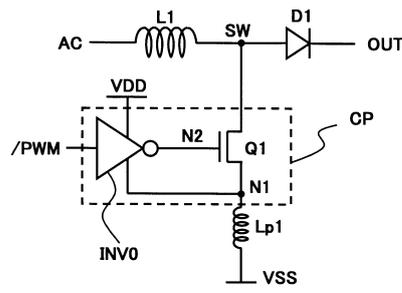
20

30

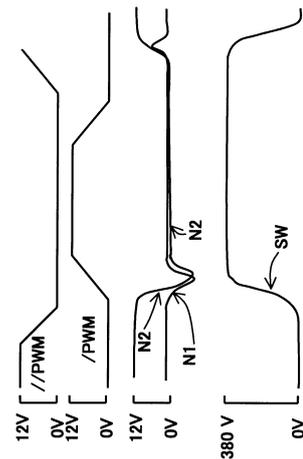
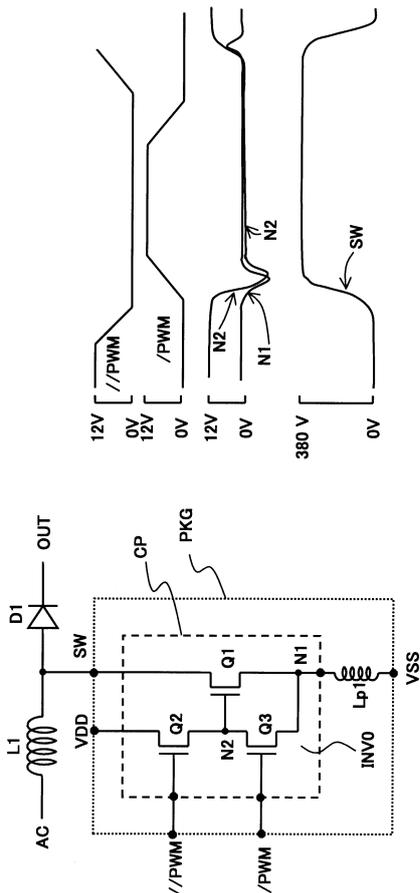
【 図 1 】



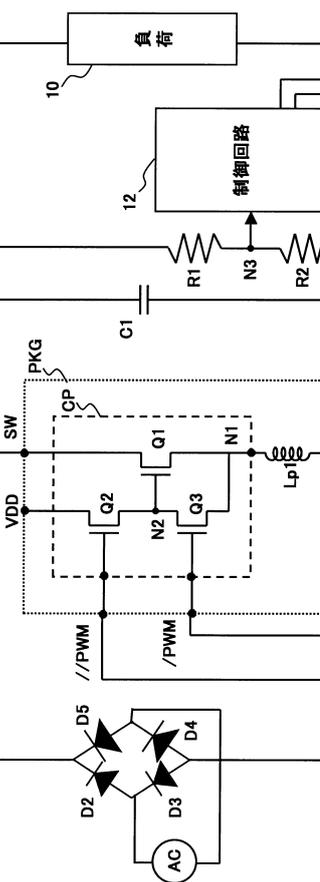
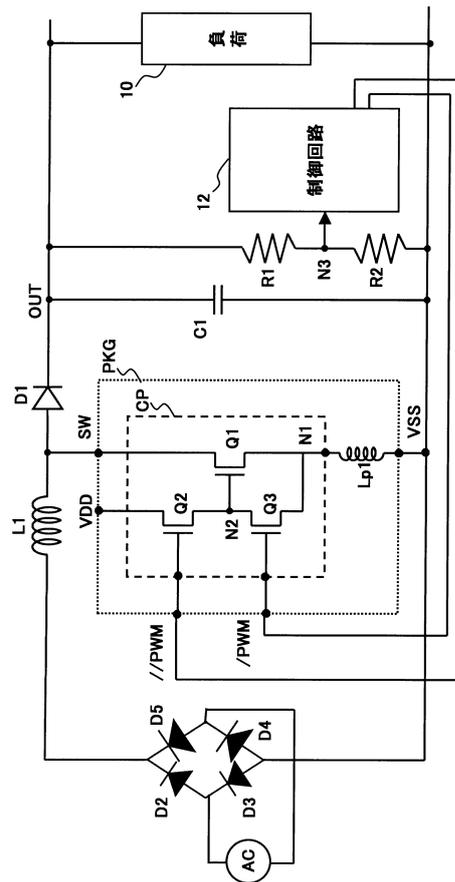
【 図 2 】



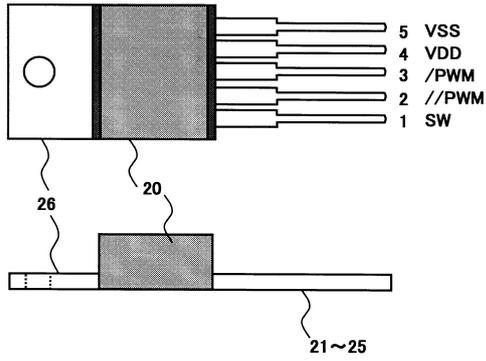
【 図 3 】



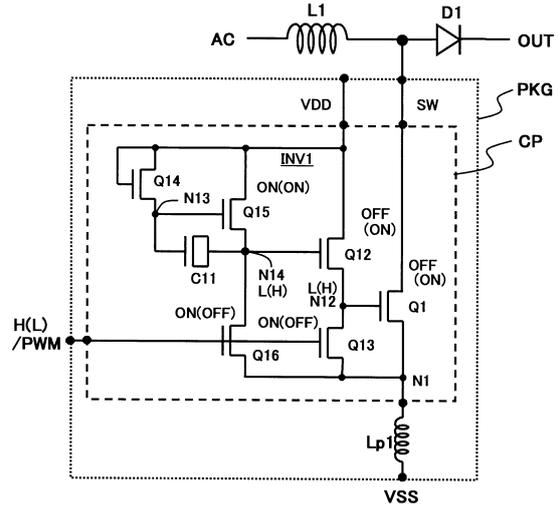
【 図 4 】



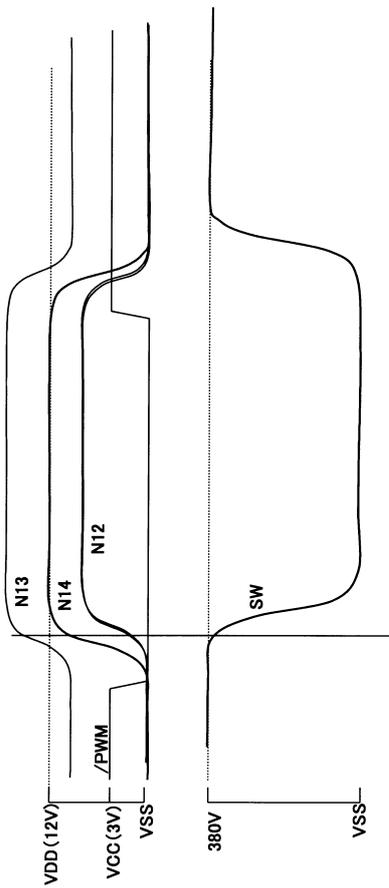
【 5 】



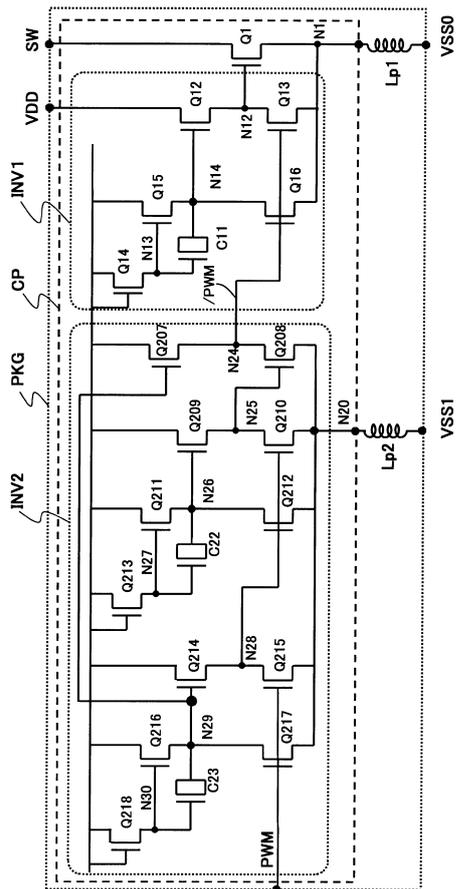
【 6 】



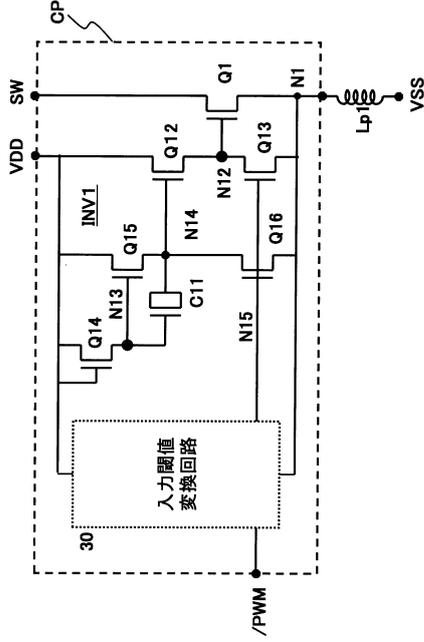
【 7 】



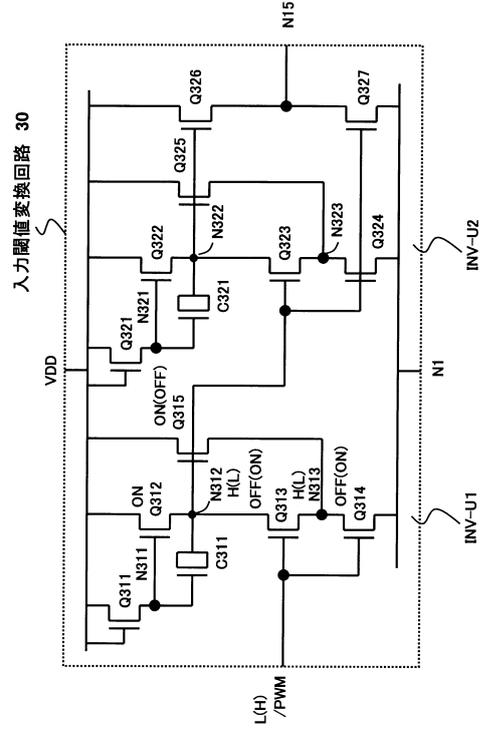
【 8 】



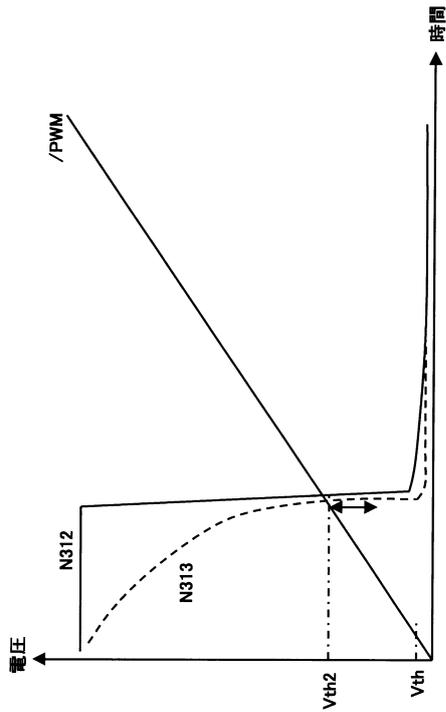
【 図 9 】



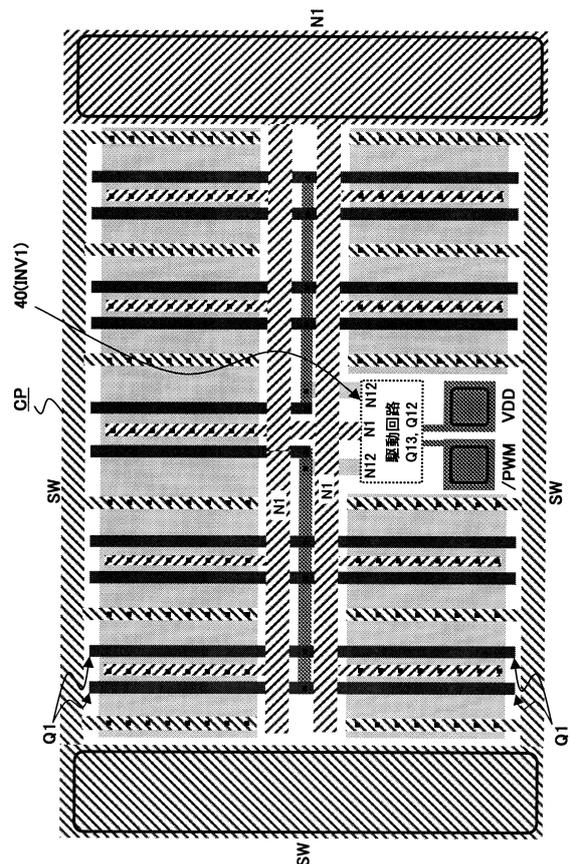
【 図 10 】



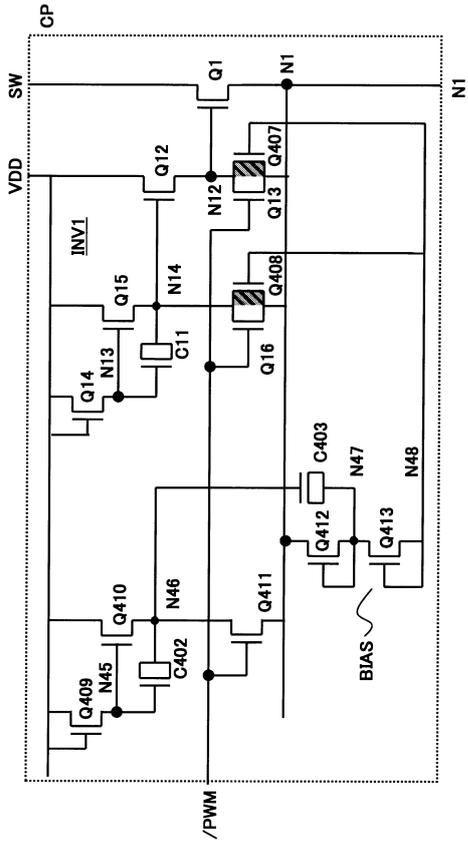
【 図 11 】



【 図 12 】



【 1 3 】



フロントページの続き

(72)発明者 竹前 義博

神奈川県横浜市港北区新横浜二丁目10番23 富士通セミコンダクター株式会社内

審査官 栗栖 正和

(56)参考文献 特開2002-290224(JP,A)

特開2009-284420(JP,A)

特開2009-171552(JP,A)

特開2006-025567(JP,A)

米国特許出願公開第2011/0291707(US,A1)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70