



(12) 发明专利

(10) 授权公告号 CN 113921520 B

(45) 授权公告日 2024.08.06

(21) 申请号 202111168228.8

(22) 申请日 2021.09.29

(65) 同一申请的已公布的文献号  
申请公布号 CN 113921520 A

(43) 申请公布日 2022.01.11

(73) 专利权人 上海晶丰明源半导体股份有限公司

地址 201210 上海市浦东新区中国(上海)  
自由贸易试验区申江路5005弄3号9-  
12层、2号102单元

(72) 发明人 许曙明 樊航

(74) 专利代理机构 深圳市嘉勤知识产权代理有限公司 44651

专利代理师 董琳

(51) Int.Cl.

H01L 27/092 (2006.01)

(56) 对比文件

CN 117790575 A, 2024.03.29

审查员 李孟扬

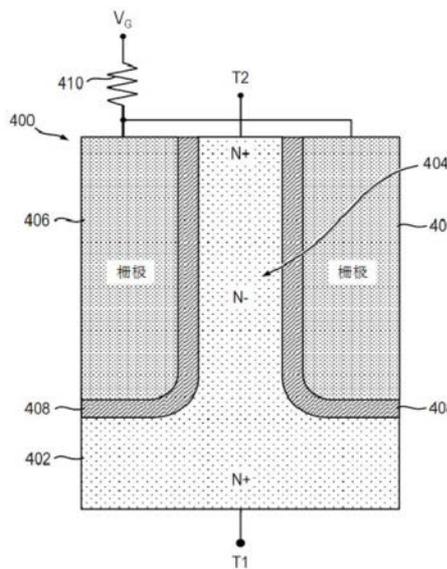
权利要求书2页 说明书9页 附图12页

(54) 发明名称

射频开关器件及其制造方法

(57) 摘要

本申请公开一种增强型射频开关及其制备方法。本申请提供了一种增强型射频开关器件,从衬底的上表面射频开关器件包括以第一掺杂浓度水平掺杂有第一导电类型的杂质的半导体衬底,以及从衬底的上表面垂直延伸并与所述衬底相连形成的台面。所述台面包括以第二掺杂浓度水平掺杂有第一导电类型的杂质的漂移区,第二掺杂浓度水平小于第一掺杂浓度水平。所述台面形成射频开关器件中的主要电流传导路径。所述射频开关元件还包括绝缘层,设置在衬底的至少一部分上表面和台面的侧壁上,以及设置在绝缘层上表面的至少一部分上的至少一个栅极,栅极至少部分围绕台面。



1. 一种射频开关器件,其特征在于,包括:  
半导体衬底,该衬底掺杂有第一掺杂浓度水平的第一导电类型的杂质;  
从衬底的上表面垂直延伸并与衬底相连形成的至少一个台面,该台面包括漂移区,该漂移区掺杂有第二掺杂浓度水平的第一导电类型的杂质,第二掺杂浓度水平小于第一掺杂浓度水平,台面形成射频开关器件中的主要电流传导路径,其中,所述电流传导路径为所述台面的顶表面至所述衬底的底表面;  
绝缘层设置于所述台面两侧的所述衬底上表面及台面的侧壁上;且,  
至少一个栅极设置在绝缘层的上表面的至少一部分上,栅极至少部分地围绕台面。
2. 根据权利要求1所述的射频开关器件,其特征在于,还包括形成在所述栅极的上表面和所述台面的上表面中的掺杂区,所述掺杂区提供与各自下方的栅极和台面的电互连。
3. 根据权利要求2所述的射频开关器件,其特征在于,还包括形成在所述掺杂区的至少一部分上表面上的电触点,所述电触点彼此横向间隔开。
4. 根据权利要求3所述的射频开关器件,其特征在于,还包括形成在所述掺杂区的上表面的氧化层,所述氧化层将所述电触点彼此电隔离。
5. 根据权利要求1所述的射频开关器件,其特征在于,所述台面包括形成在所述衬底上表面的外延层。
6. 根据权利要求1所述的射频开关器件,其特征在于,所述台面包括使用外延生长工艺和沉积工艺中的至少一种形成的低电阻率单晶硅。
7. 根据权利要求1所述的射频开关器件,其特征在于,还包括:形成于衬底的底面上并与衬底电连接的第一端子;且,  
形成于台面的上表面并与台面电连接的第二端子;  
其中,第一端子和第二端子形成射频开关器件的输入/输出端口,当该射频开关器件开启时,电流将流过该输入/输出端口。
8. 根据权利要求1所述的射频开关器件,其特征在于,所述至少一个栅极包括与台面同心的结构。
9. 根据权利要求8所述的射频开关器件,其特征在于,所述栅极包括环绕所述台面的至少一部分的环形结构。
10. 根据权利要求1所述的射频开关器件,其特征在于,所述射频开关器件被配置为具有单刀双掷功能,其中所述衬底形成所述射频开关器件的第一端口,所述至少一个台面包括第一台面和第二台面,所述第一台面和第二台面均从衬底的上表面垂直延伸并与所述衬底的上表面相连形成,所述第一台面和第二台面均包括漂移区,所述漂移区掺杂有第二掺杂浓度水平的第一导电类型的杂质,第一台面和第二台面彼此横向分开,第一台面形成衬底和射频开关器件的第二端口之间的第一主电流传导路径,第二台面形成衬底和射频开关器件的第三端口之间的第二主电流传导路径。
11. 根据权利要求1所述的射频开关器件,其特征在于,当所述栅极被偏置在相对于所述衬底或所述台面的电压大于规定的阈值电压时,台面中的多数电荷载流子将被吸入漂移区,从而导通并降低所述射频开关器件的导通电阻。
12. 根据权利要求1所述的射频开关器件,其特征在于,当所述栅极被偏置在小于规定的阈值电压时,所述台面中的漂移区被耗尽并夹断,所述射频开关器件的截止电阻增加。

13. 一种射频开关器件的制造方法,其特征在于,该方法包括:以第一掺杂浓度水平的第一导电类型的杂质掺杂半导体衬底;形成至少一个从衬底的上表面垂直延伸并与衬底的上表面相连的台面,该台面包括漂移区,该漂移区掺杂有第二掺杂浓度水平的第一导电类型的杂质,第二掺杂浓度水平小于第一掺杂浓度水平,该台面形成射频开关器件中的主要电流传导路径,其中,所述电流传导路径为所述台面的顶表面至所述衬底的底表面;在台面两侧的衬底的上表面与台面的侧壁上形成绝缘层;且,

在绝缘层的上表面的至少一部分上形成至少一个栅极,栅极至少部分地围绕台面。

14. 根据权利要求13所述的制造方法,其特征在于,还包括在所述栅极和台面的各自的上表面中形成掺杂区,所述掺杂区提供与相应下方栅极和台面的电互连。

15. 根据权利要求14所述的制造方法,其特征在于,还包括在所述掺杂区的相应上表面的至少一部分上形成电触点,所述电触点相对于彼此横向间隔开。

16. 根据权利要求15所述的制造方法,其特征在于,还包括在所述掺杂区的上表面上形成氧化层,所述氧化层将所述电触点彼此电隔离。

17. 根据权利要求13所述的制造方法,其特征在于,所述衬底的上表面上执行外延生长和掺杂硅材料的沉积中的至少一种,形成至少一个所述台面。

18. 根据权利要求13所述的制造方法,其特征在于,还包括:在衬底的底面上形成第一端子,第一端子与衬底电性连接;且,

在台面的上表面形成第二端子,第二端子与台面电连接;

其中,第一端子和第二端子形成射频开关器件的输入/输出端口,当该器件开启时,电流将流过该输入/输出端口。

19. 根据权利要求13所述的制造方法,其特征在于,所述至少一个栅极包括与所述台面同心的结构。

20. 根据权利要求13所述的制造方法,其特征在于,所述至少一个台面包括第一台面和第二台面,所述第一台面和第二台面均从所述衬底的上表面垂直延伸并与所述衬底的上表面相连形成,所述第一台面和第二台面均包括漂移区,所述漂移区掺杂有第二掺杂浓度水平的第一导电类型的杂质的区域,第一台面和第二台面彼此横向间隔开,并且其中射频开关器件被配置为具有单刀双掷功能,衬底形成第一射频开关器件的端口,第一台面形成衬底和射频开关器件的第二端口之间的第一主要电流传导路径,第二台面形成衬底和射频开关器件的第三端口之间的第二主要电流传导路径。

## 射频开关器件及其制造方法

### 技术领域

[0001] 本申请涉及电气、电子和计算机领域,并且,更具体地涉及射频开关器件和制造方法。

### 背景技术

[0002] 射频(RF)开关是一种通过传输路径来路由高频信号的设备。对射频开关的需求不断增加,至少部分是由于对更高频率和更宽带宽的无线通信的需求的不断增加。射频开关和射频开关电路的使用提供了将更高的频率和更宽的带宽与多个射频接口和天线的集成相结合的能力,从而使设计人员能够满足无线通信的需求,并提高无线通信领域的一般能力和功能。

[0003] 可以使用各种电参数来表征射频开关设计的性能,但是有四个参数由于它们的强相互依赖性,通常被认为是对设计者至关重要的,即为:隔离度、插入损耗、切换时间和功率处理能力。隔离度是指在射频开关的相关端口检测到的无用信号的衰减程度,或衡量所述射频开关进入“关闭”状态的有效性。隔离度在较高频率下变得更加重要,因为寄生元件会对开关性能产生重大影响。插入损耗,也称为传输损耗,是指在射频开关在“开启”状态下损失的总功率。切换时间是指射频开关在其“开”和“关”状态之间切换时所需的时间,其范围可以从几微秒(高功率射频开关)到几纳秒(低功率、高速设备)。功率处理能力是指射频开关可以安全处理的输入功率量,而不会造成永久性损坏或电气性能下降,这在很大程度上取决于所使用的设计和材料。

[0004] 这里有几种常用的射频开关的类型,包括基于微机电系统(MEMS)的开关、PIN二极管和固态(例如,基于场效应晶体管(FET))开关。与其他类型的射频开关相比,MEMS开关具有非常高的隔离度、非常低的插入损耗、高线性度和潜在的低成本优势。然而,MEMS开关也有显著的缺点,包括相对较低的速度、需要高电压或大电流驱动、相对较差的可靠性和较差的集成能力,这些缺点限制了它们的使用,特别是在高频应用中。

[0005] PIN二极管可能是最流行的射频开关类型之一。PIN二极管是一种在射频频率下用作可变电阻器的器件。它的电阻从“开启”状态下的小于1欧姆到“关闭”状态下的超过10K欧姆不等。PIN二极管使用夹在p型(P)半导体区和n型(N)半导体区之间的宽高电阻率本征(I)区构成。p型半导体区和n型半导体区通常是重掺杂的,因为它们用于欧姆接触。然而,PIN二极管具有偏置电流较大、开关速度较慢等缺点。

[0006] 赝晶高电子迁移率晶体管(pHEMT),也称为异质结构场效应管(HFET)或调制掺杂场效应管(MODFET),是一种场效应晶体管,将具有不同带隙的两种材料(即异质结)之间的结作为沟道,而不是如金属氧化物半导体场效应晶体管(MOSFET)一样使用掺杂沟道,金属氧化物半导体场效应晶体管(MOSFET)通常就是这种情况。在III-V型半导体衬底上制造的pHEMT器件用作射频开关时具有良好性能。然而,与成熟的硅技术相比,基于III-V化合物的pHEMT技术的一些主要缺点是需要更高的晶圆成本,以及集成能力较差,以及其他缺点。

[0007] 随着互补金属氧化物半导体(CMOS)制造技术的规模的不断缩小,在射频应用方面

使用体硅CMOS已经成为非常有吸引力的替代方案。然而,虽然CMOS看起来是在同一芯片上集成射频、中频(IF)和基带电路的最佳解决方案,但用于射频应用的体硅衬底仍然存在一些明显的缺点,包括线性度差和高插入损耗等缺点。

## 发明内容

[0008] 如一个或多个实施例所示,本申请提供了一种增强型射频(RF)开关器件,以及用于制造这种器件的方法。

[0009] 根据本发明的实施例,射频开关器件包括半导体衬底,该半导体衬底以第一掺杂浓度水平掺杂有第一导电类型的杂质,以及一个台面,所述台面从衬底的上表面垂直延伸出来,并与所述衬底的上表面相连。所述台面包括漂移区,所述漂移区以第二掺杂浓度水平掺杂有第一导电类型的杂质,第二掺杂浓度水平小于第一掺杂浓度水平。台面形成射频开关器件中的主要电流传导路径。射频开关器件还包括设置在衬底的至少一部分上表面和台面的侧壁上的绝缘层,以及设置在绝缘层上表面的至少一部分上的至少一个栅极,所述栅极至少部分围绕台面。

[0010] 根据本发明的一个实施例,一种制造射频开关器件的方法包括:将第一导电类型的杂质以第一掺杂浓度水平掺杂到半导体衬底;形成至少一个从衬底的上表面垂直延伸并与所述衬底的上表面相连的台面,该台面包括漂移区,该漂移区掺杂有处于第二掺杂浓度水平的第一导电类型的杂质,第二掺杂浓度水平小于第一掺杂浓度水平。台面形成射频开关器件中的主要电流传导路径;在衬底的上表面的至少一部分上以及所述台面的侧壁上形成绝缘层;在绝缘层的上表面的至少一部分上形成至少一个栅极,该栅极至少部分地围绕台面。

[0011] 本发明的技术可以提供实质性有益的技术效果。仅作为示例而非限制,根据本发明的一个或多个实施例的射频开关器件可以提供以下优点中的一个或多个:更低的导通电阻 $R_{DS-on}$ ;更低的寄生电容;更高的切换速度;更高的断态阻断电压;更好的隔离度;更高的功率处理能力。

[0012] 本发明的这些和其他特征和优点将从其说明性实施例的以下详细描述中变得显而易见,其将结合附图阅读。

## 附图说明

[0013] 本发明的非限制性和非穷尽性的实施例将参考呈现的附图进行描述,这些附图仅作为示例,其中相同的附图标记(当使用时)在多个视图中表示相应的元件,除非另有说明指明,其中:

[0014] 图1描绘的是绝缘体上硅(SOI)结构101上制造的示例性n型MOSFET(NMOSFET)射频开关器件100的至少一部分的截面图;

[0015] 图2描绘的是示例性射频开关器件的至少一部分的截面图,该射频开关器件包括图1中所示的两个说明性SOI上制造的射频开关器件,两个说明性SOI上制造的射频开关器件的衬底的底表面合并在一起;

[0016] 图3描绘的是以与图2所示的射频开关器件一致的方式形成的示例性射频开关器件的至少一部分的截面图,衬底102、绝缘层106和富阱层108已经被去除;

[0017] 图4描绘的是根据本发明的一个或多个实施例的具有增强的高频性能的示例性射频开关器件的至少一部分的截面图；

[0018] 图5描绘的是图4中所示的示例性射频开关器件400处于“开启”状态时的至少一部分的截面图；

[0019] 图6描绘的是图4中所示的示例性射频开关器件400处于“关闭”状态的至少一部分的截面图；

[0020] 图7A-7J描绘的是用于形成与图4所示的说明性射频开关器件400一致的射频开关器件的示例性制造工艺中的中间步骤的截面图。

[0021] 图8A和8B分别是根据本发明的一个或多个实施例的示例性的单刀双掷 (SPDT) 射频开关800的至少一部分的截面图和符号图。

[0022] 应当理解,为了简单和清楚起见,图示了图中的元件。为了展示所示实施例的较少阻碍的视图,可能有一些在商业上可行的实施例中可能有用或必要的常见但易于理解的元件未在图中示出。

### 具体实施方式

[0023] 将在说明性的射频 (RF) 开关器件和用于制造具有增强的高频性能的射频开关器件的方法的上下文的一个或多个实施例中描述本发明的原理,与传统射频开关相比,插入损耗更低,隔离度更高,同时保持高功率处理能力。然而,应当理解,本发明不限于在此示例性地示出和描述的特定设备和/或方法。相反,鉴于这里的教导,本领域技术人员将明白,可以对所示实施例进行许多修改,这些修改在要求保护的本发明的范围内。也就是说,不打算或不应推断出对本文所示和描述的实施例的限制。

[0024] 出于描述和要求保护本发明的实施例的目的,这里可以使用的术语MISFET旨在被广义地解释为包括任何类型的金属-绝缘体-半导体场效应晶体管。例如,术语MISFET旨在涵盖使用氧化物材料作为其栅极电介质(即MOSFET)的半导体场效应晶体管,以及不使用氧化物材料作为其栅极电介质的半导体场效应晶体管。此外,尽管在首字母缩略词MISFET和MOSFET中提到了术语“金属”,但术语MISFET和MOSFET也旨在涵盖半导体场效应晶体管,其中栅极由非金属材料形成,例如多晶硅;术语“MISFET”和“MOSFET”在本文中可互换使用。

[0025] 虽然整体制造方法和由此形成的结构是完全新颖的,但是实施根据本发明的一个或多个实施例的方法的一部分或多个部分所需的某些单独/中间处理步骤时可以利用传统的半导体制造技术和传统的半导体制造工具。这些技术和工具对于相关领域的普通技术人员来说已经是熟悉的。此外,许多用于制造半导体器件的加工步骤和工具也在许多现成的出版物中有所描述,例如:P.H.Holloway等人,《Handbook of Compound Semiconductors: Growth, Processing, Characterization, and Devices》,剑桥大学出版社,2008年;R.K.Willardson等人,《Processing and Properties of Compound Semiconductors》,学术出版社,2001,其全部内容通过引用方式并入本文。需要强调的是,虽然这里阐述了一些单独的处理步骤,但这些步骤仅仅是说明性的,本领域技术人员可能熟悉也落入本发明范围内的几种同样合适的替代方案。

[0026] 应当理解,附图中所示的各个层和/或区域不一定按比例绘制。此外,为了描述的经济性,在给定的图中可能没有明确地示出这种集成电路器件中常用类型的一个或多个半

导体层。然而,这并不意味着在实际集成电路器件中省略了未明确示出的半导体层。

[0027] 如前所述,为了在同一芯片上集成射频、中频(IF)和基带电路,使用体硅互补金属氧化物半导体(CMOS)芯片是一种非常有吸引力的选择。然而,用于射频应用的体硅衬底仍然面临一些重大挑战,包括线性度差和插入损耗高等缺点。

[0028] 图1描绘的是绝缘体上硅(SOI)结构101上制造的示例性n型MOSFET(NMOSFET)射频开关器件100的至少一部分的截面图。请参照图1,示出了NMOSFET器件100处于“关断”状态时NMOSFET器件的寄生电容元件。该实施例中的绝缘体上硅结构101包括体硅衬底102,其可以是高电阻率硅衬底,以及通过绝缘层106与体硅衬底102隔开的单晶硅层104(例如硅膜),绝缘层106可以是掩埋氧化物(BOX)层。还可以在衬底102的上表面形成富阱层108,所述富阱层108位于所述衬底102和绝缘层106之间。在绝缘体上硅晶片,形成绝缘层106的材料包括热二氧化硅( $\text{SiO}_2$ )层。取决于应用的类型,硅层104可以非常薄(例如,对于完全耗尽的晶体管,硅层104的厚度小于大约50纳米(nm)),或者也可以是几十微米( $\mu\text{m}$ )厚。同样地,绝缘层106的厚度一般为数十纳米至数微米。

[0029] 在绝缘体上硅结构上使用NMOSFET器件形成射频开关有助于减小体硅上NMOSFET的漏极-衬底结电容,这提高了射频开关性能,因此成为射频开关器件的主要技术平台。然而,该技术至少存在三个主要问题:(i)硅层104上表面上方的寄生电容,包括接触区到栅极之间的寄生电容( $C_{C-G}$ )、金属1到金属1之间的寄生电容( $C_{M1-M1}$ )和金属1到栅极之间的寄生电容( $C_{M1-G}$ );(ii)源极区(S)和漏极区(D)与衬底102之间的寄生电容( $C_{SD-SUB}$ );(iii)需要富阱层108以减少背栅效应。处于“关断”状态的NMOSFET器件100的总寄生电容 $C_{off}$ 至少一阶近似如下:

$$[0030] \quad C_{off} = \frac{C_{SB} \cdot C_{DB}}{C_{SB} + C_{DB}} + \frac{C_{GSO} \cdot C_{GDO}}{C_{GSO} + C_{GDO}} + \frac{C_{SD} - C_{SUB}}{2} + C_{M1-M1} + \frac{C_{M1-G}}{2} + \frac{C_{C-G}}{2};$$

[0031] 其中 $C_{SB}$ 和 $C_{DB}$ 分别代表源极区S和体硅之间的寄生电容,以及漏极区D和体硅之间的寄生电容, $C_{GSO}$ 代表源极区S到栅极的关断寄生电容, $C_{GDO}$ 代表漏极区D到栅极的关断寄生电容。作为另一个缺点,SOI结构的制造成本要高得多。

[0032] 最小化SOI射频开关器件中的衬底问题(例如,源极/漏极到衬底的寄生电容, $C_{SD-SUB}$ )以提高性能是非常可取的。实现这一点的一种方法是将两个射频开关器件背对背合并,如图2所示。参照图2,描绘的是示例性射频开关器件的至少一部分的截面图,该射频开关器件包括图1中所示的两个说明性SOI上制造的射频开关器件,两个说明性SOI上制造的射频开关器件的衬底的底表面合并在一起。射频开关器件200中的区域202包括两个背对背设置的射频开关器件的衬底102、绝缘层106和富阱层108。

[0033] 射频开关器件200的衬底厚度优选尽可能减小;理想情况下,衬底的厚度减少到零。图3描绘的是以与图2所示的射频开关器件一致的方式形成的示例性射频开关器件的至少一部分的截面图。图3中包含了衬底102、绝缘层106和富阱层108的区域202已经被去除,以使得两个背对背设置的射频开关器件的相应硅层104合并在一起之外,射频开关器件300基本上与图2中所示的说明性射频开关器件200相同。源极区S和漏极区D在射频开关器件300中共享,合并器件的沟道区也是如此。以此方式,源极区S/漏极区D与对应衬底之间的寄生电容( $C_{SD-SUB}$ )被有效地消除,从而增强了射频开关的性能,尤其是在较高频率下。

[0034] 仅作为示例而非限制,图4描绘的是根据本发明的一个或多个实施例的具有增强

的高频性能的示例性射频开关器件的至少一部分的截面图。射频开关器件400说明了一种实现图3所示的概念性射频开关器件300的方式。参照图4, 示例性射频开关器件400包括具有台面404的半导体衬底402, 台面404在衬底上垂直直立, 并与所述衬底相连形成。台面404包括掺杂漂移区, 当器件处于“导通”状态时, 该掺杂漂移区充当射频开关400中的主要电流传导路径。

[0035] 在该说明性实施例中, 衬底402和台面404优选地包括使用标准生长和/或沉积工艺(例如, 外延生长)形成的低电阻率的单晶硅。衬底402优选重掺杂有n型杂质或掺杂剂(例如磷或砷), 以形成N<sup>+</sup>衬底。在一个或多个实施例中, 台面404的漂移区优选地掺杂有相对于衬底402的掺杂浓度具有较低掺杂浓度的n型杂质或掺杂剂, 以形成N<sup>-</sup>型漂移区。台面404的上部可以掺杂有相同的杂质类型, 但掺杂浓度高于漂移区, 从而形成靠近台面上表面的N<sup>+</sup>区。然而, 应当理解, 在一个或多个实施例中, 衬底402和台面404中的漂移区可以类似地掺杂有p型杂质(例如, 硼)以形成P<sup>+</sup>衬底和P<sup>-</sup>漂移区域, 这对于本领域技术人员来说将是显而易见的。

[0036] 射频开关器件400还包括一对栅极406, 其设置在衬底402的至少一部分的上表面和台面404的相对垂直的侧壁上。在一个或多个实施例中, 台面404被一个栅极包围。在一些实施例中, 栅极406包括相对于台面404同心的结构(例如, 围绕台面404的至少一部分的环形(即多纳圈, Doughnut)形状的结构), 尽管本发明的实施例不限于栅极的任何特定形状和/或尺寸。栅极406通过绝缘层408实现与衬底402和台面404的电隔离, 绝缘层408分别设置在衬底的上表面和台面的侧壁上, 位于衬底/台面和栅极之间。在一个或多个实施例中, 每个栅极406包括多晶硅材料以及包括氧化物的绝缘层408, 例如二氧化硅。然而, 应当理解, 本发明的实施例不限于用于形成栅极406和/或绝缘层408的任何特定材料。

[0037] 第一端子T1用于提供与衬底402的电连接。在一个或多个实施例中, 第一端子T1设置在衬底402的底表面上, 并与衬底402的底表面电连接。第二端子T2用于提供与台面404的电连接。在一个或多个实施例中, 第二端子T2设置在台面404的上表面上。第一端子T1和第二端子T2可以包括金属或其他导电材料(例如硅化物)。

[0038] 第一端子T1和第二端子T2形成射频开关器件400的输入/输出端口, 当该器件开启时电流将流过该输入/输出端口。由于第一端子T1和第二端子T2通过台面404和衬底402的厚度彼此分开, 因此厚度优选为从大约几微米到几百微米, 这两个主端子之间的寄生电容(例如图1中所示的 $C_{M1-M1}$ )将被有效地消除或至少显著减少。

[0039] 栅极406优选地连接在一起, 并偏置到电压 $V_G$ , 该电压 $V_G$ 由耦合到栅极的栅极驱动器电路(未明确示出, 但隐含)产生。优选地, 栅极驱动器电路能够根据提供给栅极驱动器电路的输入端的栅极控制信号产生栅极电压, 所述栅极电压用于偏置栅极406。在一个或多个实施例中, 电阻器410串联连接在栅极406和栅极驱动器电路之间。电阻器410优选地用作保护元件以防止第一端子T1与栅极406之间或第二端子T2与栅极之间的瞬态电压。

[0040] 当栅极406被偏置到高于规定的阈值电压 $V_T$ 的电压电位时(即,  $V_{gate} - V_{T1} > V_T$ , 或  $V_{gate} - V_{T2} > V_T$ , 其中 $V_{T1}$ 和 $V_{T2}$ 分别是第一端子T1和第二端子T2处的电压电位), 台面404变成N-电阻并导通。此外, 在靠近绝缘层408和台面404的界面的台面404处形成电子积累层, 这将大大降低第一端子T1和第二端子T2之间的电阻。当开启时, 台面404的示例性电阻范围是大约0.1毫欧平方毫米( $m\Omega \cdot mm^2$ )至50毫欧平方毫米( $m\Omega \cdot mm^2$ ), 但是本发明的实施例不限

于任何特定的电阻值或范围。当栅极406相对于第一端子T1或第二端子T2处的电压电位被偏置到低于规定的阈值电压 $V_T$ 的电压电位(即, $V_{gate} - V_{T1} < V_T$ , 或 $V_{gate} - V_{T2} < V_T$ )时,台面404形成阻挡来自第一端子T1或第二端子T2的电流的耗尽区,从而关断射频开关器件400。

[0041] 根据本发明的一个或多个实施例,图5描绘的是图4中所示的示例性射频开关器件400处于“开启”状态时的至少一部分的截面图。当射频开关器件400工作在“导通”状态时,可以将栅极偏置电位设置为相对于 $V_{T1}$ 或 $V_{T2}$ 为正,以进一步降低器件的导通电阻,从而降低插入损耗。换句话说,栅极406应该相对于 $(V_{T1}, V_{T2})$ 中的较低者偏置为正;然后,器件400处于“开启”状态,电流从 $(V_{T1}, V_{T2})$ 中的较高者流向 $\min(V_{T1}, V_{T2})$ 中的较低者。如图5中概念性说明的,在栅极406偏置为正(例如, $V_{gate} - V_{T1} > V_T$ )的情况下,作为n型台面404中的多数电荷载流子的电子将被吸入漂移区(通过带正电荷的栅极),从而有效地增加射频开关器件400的导通并降低导通电阻;导通电阻的降低与插入损耗的降低相关。

[0042] 根据本发明的一个或多个实施例,图6描绘的是图4中所示的示例性射频开关器件400处于“关闭”状态的至少一部分的截面图。当栅极406的偏置小于阈值电压 $V_T$ (即, $V_{gate} - V_{T1} < V_T$ )时,例如通过将栅极接地,台面404中的漂移区形成耗尽。该器件类似于耗尽型(而非增强型)NMOS器件。因此,通常, $V_T$ 应为负值。然后,需要负值的 $V_{gate}$ (相对而言的,例如相对于 $V_{T1}$ )来耗尽台面404并关闭器件。n型台面404中的移动电子被推出,带正电荷的施主杂质留存,漂移区将夹断,从而有利于增加射频开关器件400的截止电阻;截止电阻的增加与隔离度的增加直接相关。

[0043] 根据本发明的一个或多个实施例,仅作为示例而非限制,图7A-7J描绘的是用于形成与图4所示的说明性射频开关器件400一致的射频开关器件的示例性制造工艺中的中间步骤的截面图。参照图7A,该装置开始于提供第一导电类型的衬底702(例如,晶片),例如本实施例中的N+衬底,并在衬底的上表面的至少一部分上形成第一导电类型的外延层704,例如N-外延层。外延层704可以例如使用外延生长或沉积工艺形成,如本领域技术人员所知。

[0044] 请参照图7B,在外延层704的上表面的至少一部分上形成薄氧化物层706,该薄氧化物层706可以是热氧化物(例如 $\text{SiO}_2$ ,厚度约1nm-50nm)。在薄氧化物层706的上表面的至少一部分形成的氮化物层708,或其他类似物,如通过使用沉积工艺(例如,化学气相沉积(CVD))。然后使用由光刻掩模定义的标准光刻工艺来图案化和蚀刻氮化物层708和氧化物层706,以形成用于后续处理的硬掩模,如图7C所示。在选择性蚀刻以定义硬掩模的期间,外延层704优选地用作蚀刻停止层,从而仅去除氮化物层708和氧化物层706的指定部分,而不蚀刻下面的外延层。

[0045] 请参照图7D,晶片经历硅蚀刻工艺以去除未被硬掩模(氮化物层708和氧化物706)保护的外延层704的部分。在硅蚀刻期间,也可以去除衬底702的一部分,从而使衬底变薄。蚀刻后氮化物层708和氧化物706构成的硬掩模下方的剩余外延层704是外延柱结构。然后去除氮化物层708和氧化物层706,例如通过使用选择性蚀刻工艺,如图7E所示。

[0046] 请参照图7F,优选在衬底702的上表面以及外延层704的侧壁和上表面上形成薄热氧化层710。可以使用生长或沉积工艺形成氧化层710。接着,在晶片表面上形成一层多晶硅712,包括氧化层710的上表面,如图7G所示。多晶硅层712可以掺杂有杂质,例如本示例中的n型杂质,以形成N+多晶硅。

[0047] 请参照图7H,使用蚀刻和化学机械抛光(CMP)从器件的上表面去除多余的多晶硅

材料,蚀刻和化学机械抛光(CMP)也称为化学机械平坦化。也使用蚀刻和化学机械抛光工序去除设置在外延层704的上表面上的氧化物层710。在蚀刻和化学机械抛光工序之后,器件的上表面基本上是平坦的。请参照图7H,该器件包括由N<sup>+</sup>多晶硅区712围绕的外延层704,该704呈台面或柱状。多晶硅区712通过夹在外延层704和多晶硅层712之间的氧化物层710来实现与所述外延层(台面)704的电隔离。

[0048] 请参照图7I,在多晶硅区712中靠近多晶硅区的上表面、在外延层704中靠近外延层的上表面均形成第一导电类型的掺杂区714,在该示例性实施例中第一导电类型为n型(N<sup>+</sup>)。优选地,通过使用离子注入或另一注入工艺将n型掺杂剂(例如,砷或磷)注入多晶硅区712和外延层704而形成所述掺杂区714,并且用作到相应的底层多晶硅区和外延层的低电阻互连。在一个或多个实施例中,掺杂区域714可包括使用标准硅化物形成工艺形成的金属硅化物,且为本领域技术人员所知。

[0049] 氧化物层716(例如,二氧化硅)或其他介电材料层形成在晶片的上表面之上,包括形成在掺杂区714的上表面和氧化物层710的上表面上,如图7J所示。氧化物层716可以使用沉积工艺形成。为了提供到掺杂区714的电通路,形成穿过氧化物层716的开口,从而暴露下方的掺杂区714,然后用导电材料(例如铝或其他金属)填充以形成电接触718。因此,氧化物层716用于将相应的触点718彼此电隔离。

[0050] 虽然图4中所示的说明性射频开关器件400具有单刀单掷(SPST)开关的功能,但是应当理解,本发明的方面可以类似地扩展以形成单刀多掷(SPMT)开关装置。例如,图8A和8B分别是根据本发明的一个或多个实施例的示例性的单刀双掷(SPDT)射频开关800的至少一部分的截面图和符号图。

[0051] 请参照图8A,单刀双掷射频开关800包括彼此横向间隔开的第一开关部分802和第二开关部分804,第一开关部分802和第二开关部分804均以与图4中描绘的说明性的单刀单掷开关400一致的方式形成在公共衬底806(例如N<sup>+</sup>衬底)上。单刀双掷射频开关800还包括设置在第一开关部分802和第二开关部分804之间的栅极808。栅极808包括被氧化物层812或其他介电材料围绕的多晶硅层810,将栅极808与形成在栅极的周围的外延层电隔离。在一个或多个实施例中,栅极808接地。

[0052] 公共衬底806形成第一开关端口(PORT1),第一开关部分802中的台面结构形成第二开关端口(PORT2),第二开关部分804中的台面结构形成第三开关端口(PORT 3)。图8B中示出了包括指定交换机端口的单刀双掷射频开关800的符号(即示意图)表示。以类似的方式,根据本发明实施例的概念可被扩展以创建具有更大的掷数(例如,三次或更高)的单极射频开关,这对于给定本文教导的本领域技术人员将变得显而易见。

[0053] 本发明的技术的至少一部分可以在集成电路中实现。在形成集成电路时,通常在半导体晶片的表面上以重复的图案制造相同的芯片。每个芯片包括此处描述的器件,并且可以包括其他结构和/或电路。从晶片上切下或切割出单个芯片,然后将其封装为集成电路。本领域技术人员将知道如何切割晶片和封装芯片以生产集成电路。附图中所示的任何示例性结构或电路,或其部分,可以是集成电路的一部分。如此制造的集成电路被认为是本发明的一部分。

[0054] 本领域技术人员将理解,以上讨论的示例性结构可以以原始形式(即具有多个未封装芯片的单个晶片)、作为裸片、以封装形式分布,或作为中间产品的一部分或受益于其

中具有根据本发明的一个或多个实施例形成的功率射频开关器件的终端产品,例如无线通信系统(例如,WLAN、WiMAX、GSM、CDMA、HSPA、LTE、卫星、VSAT、Zigbee等)、蜂窝电话收发器电路、电源管理IC、电源系统集成等。

[0055] 根据本公开的方面的集成电路基本上可以用于任何高频、高功率应用和/或电子系统,包括但不限于无线通信系统、射频功率放大器、电源管理IC等。用于实现本发明的实施例的合适系统可以包括但不限于用于无线通信系统中的前端模块。包含这种集成电路的系统被认为是本发明的一部分。鉴于此处提供的本公开的教导,本领域的普通技术人员将能够考虑本发明的实施例的其他实施方式和应用。

[0056] 此处描述的本发明的实施例的说明旨在提供对各种实施例的一般理解,并且它们并非旨在作为可能使用此处描述的电路和技术的设备和系统的所有元素和特征的完整描述。鉴于本文的教导,许多其他实施例对于本领域技术人员将变得显而易见;其他实施例被利用并从中导出,使得可以在不脱离本公开的范围的情况下进行结构和逻辑替换和改变。附图也仅是代表性的并且未按比例绘制。因此,说明书和附图被认为是说明性的而不是限制性的。

[0057] 本发明的实施例在本文中单独地和/或共同地通过术语“实施例”来指代,仅仅是为了方便起见,并且不打算将本申请的范围限制于任何单个实施例或发明构思,如果不止一个,事实上,显示。因此,虽然这里已经说明和描述了具体实施例,但是应当理解,实现相同目的的布置可以替代所示的具体实施例;即,本公开旨在涵盖各种实施例的任何和所有修改或变化。鉴于本文的教导,以上实施例和本文未具体描述的其他实施例的组合对于本领域技术人员将变得显而易见。

[0058] 本文中使用的术语仅用于描述特定实施例的目的,并不旨在限制本发明。如本文所用,单数形“一个”也旨在包括复数形式,除非上下文另有明确指示。将进一步理解,术语“包含”,当在本说明书中使用,指定所述特征、步骤、操作、元素和/或组件的存在,但不排除存在或添加一个或多个其他特征、步骤、操作、元素、组件和/或它们的组。诸如“上方”、“下方”、“上部”和“下部”等术语用于表示元素或结构相对于彼此的位置,而不是绝对定位。

[0059] 以下权利要求中所有装置或步骤加功能元件的相应结构、材料、动作和等效物旨在包括用于与其他特别声明的要求保护的元件组合执行功能的任何结构、材料或动作。已经出于说明和描述的目的呈现了各种实施例的描述,但不旨在穷举或限制于所公开的形式。在不脱离本发明的范围和精神的情况下,许多修改和变化对于本领域的普通技术人员来说将是显而易见的。选择和描述实施例是为了最好地解释本发明的原理和实际应用,并使本领域普通技术人员能够理解具有适合于预期的特定用途的各种修改的各种实施例。

[0060] 此外,在上述详细描述中,可以看出,为了简化本公开,将各种特征组合在单个实施例中。该公开方法不应被解释为反映所要求保护的实施例需要比每个权利要求中明确叙述的特征更多的特征的意图。相反,如所附权利要求所反映的,发明主题在于少于单个实施例的所有特征。因此,以下权利要求特此并入详细说明中,每个权利要求独立作为单独要求保护的主体。

[0061] 鉴于本文提供的本发明的实施例的教导,本领域的普通技术人员将能够考虑本发明的实施例的技术的其他实现和应用。尽管这里已经参考附图描述了本发明的说明性实施例,但是应当理解,本发明的实施例不限于那些精确的实施例,并且本领域技术人员可以在

其中做出各种其他改变和修改。在不脱离所附权利要求的范围的情况下。

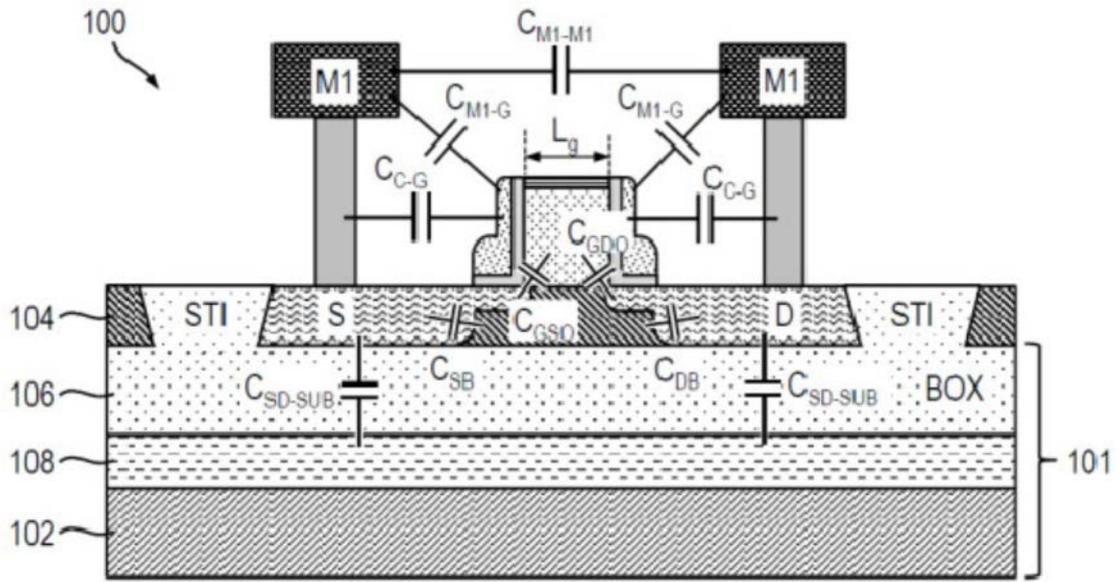


图1

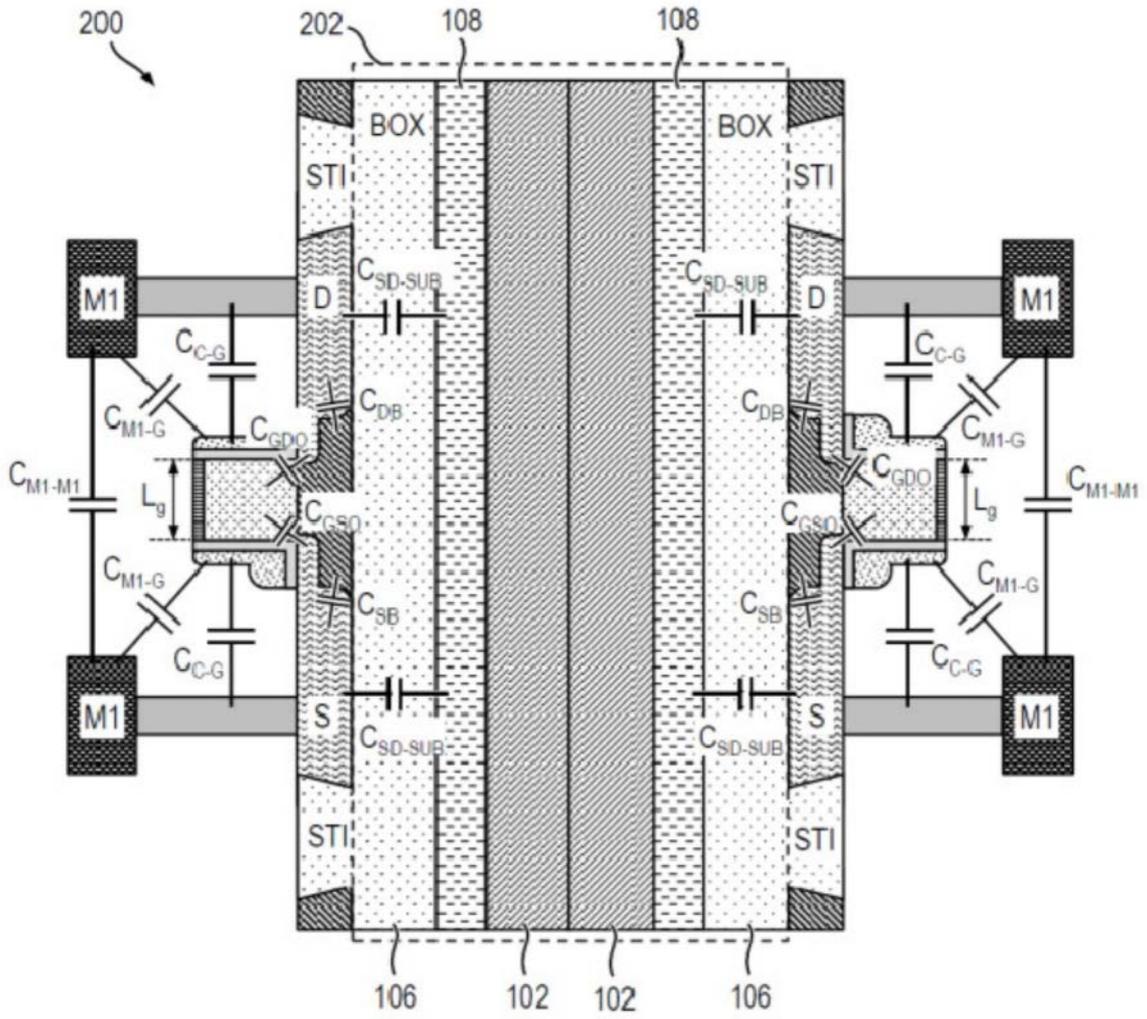


图2

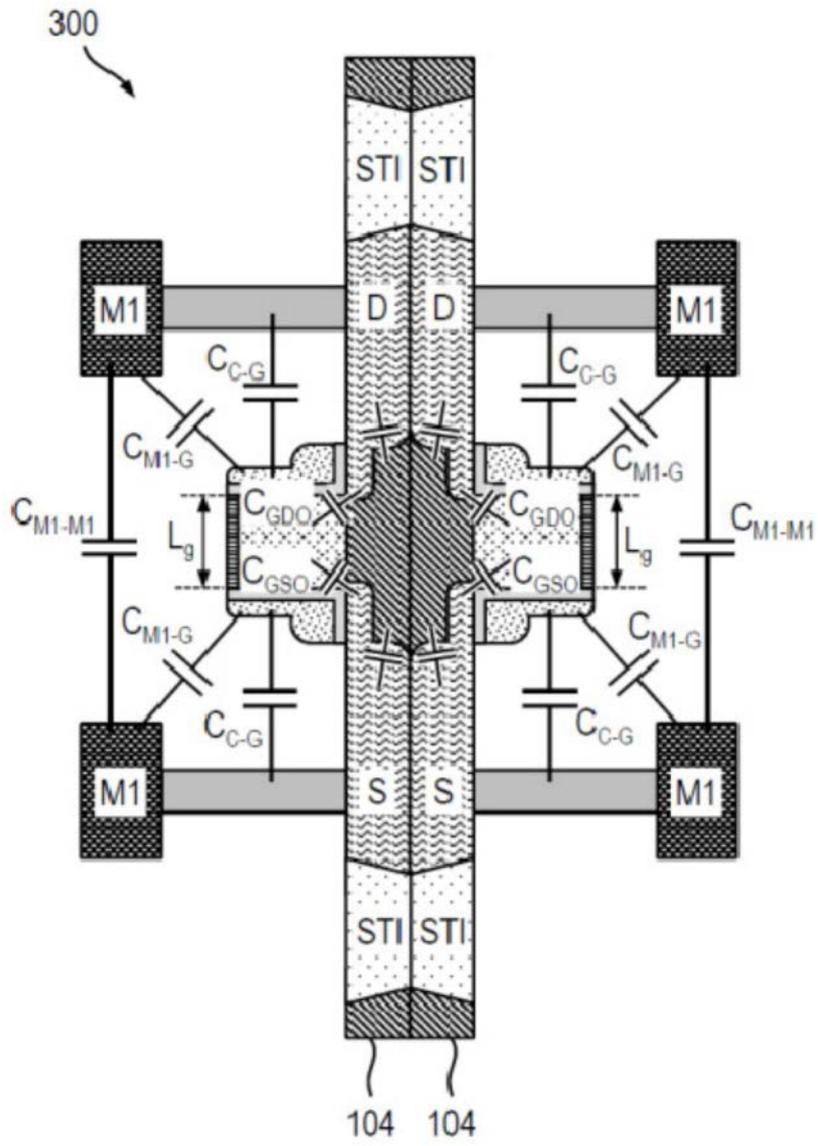


图3

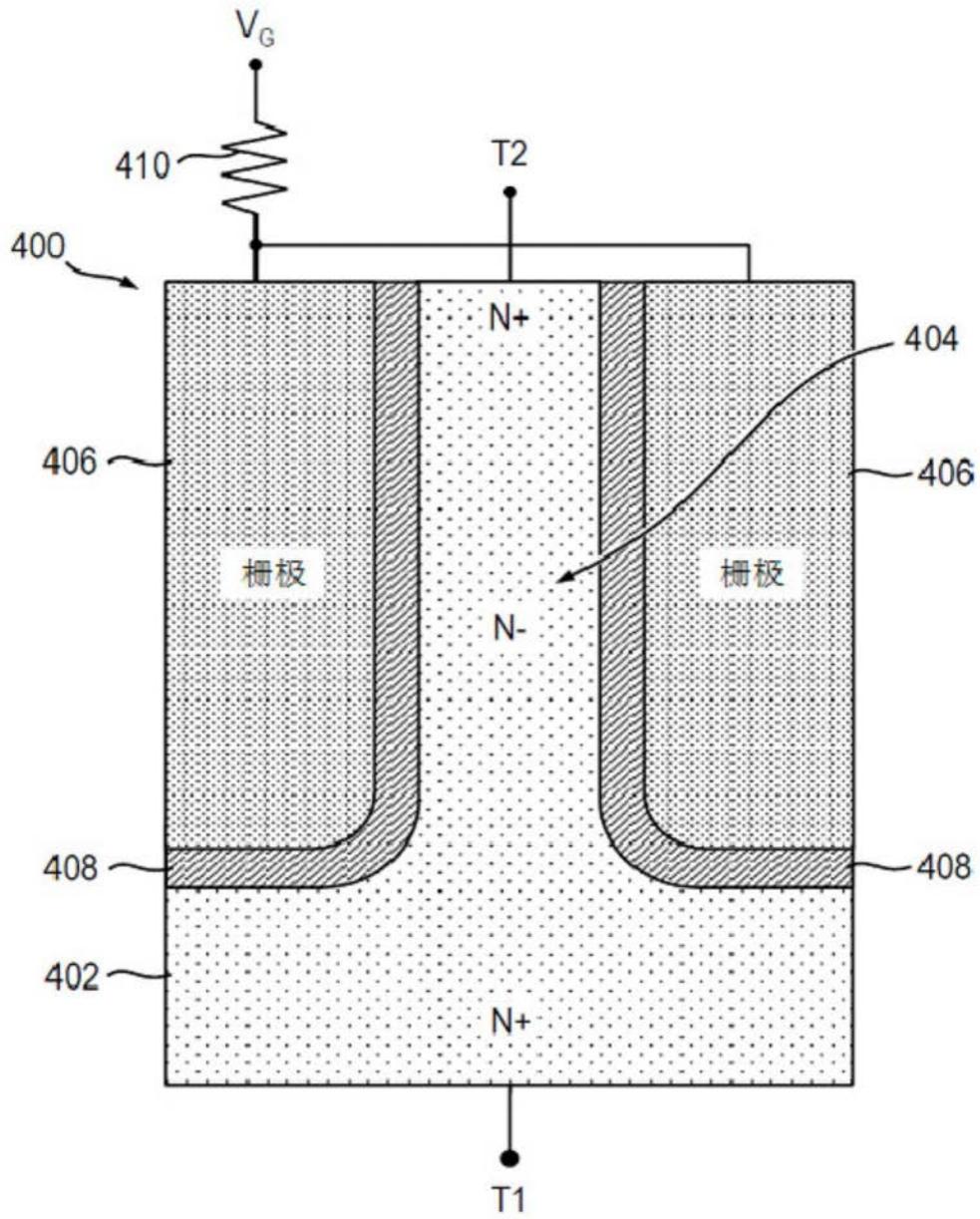


图4

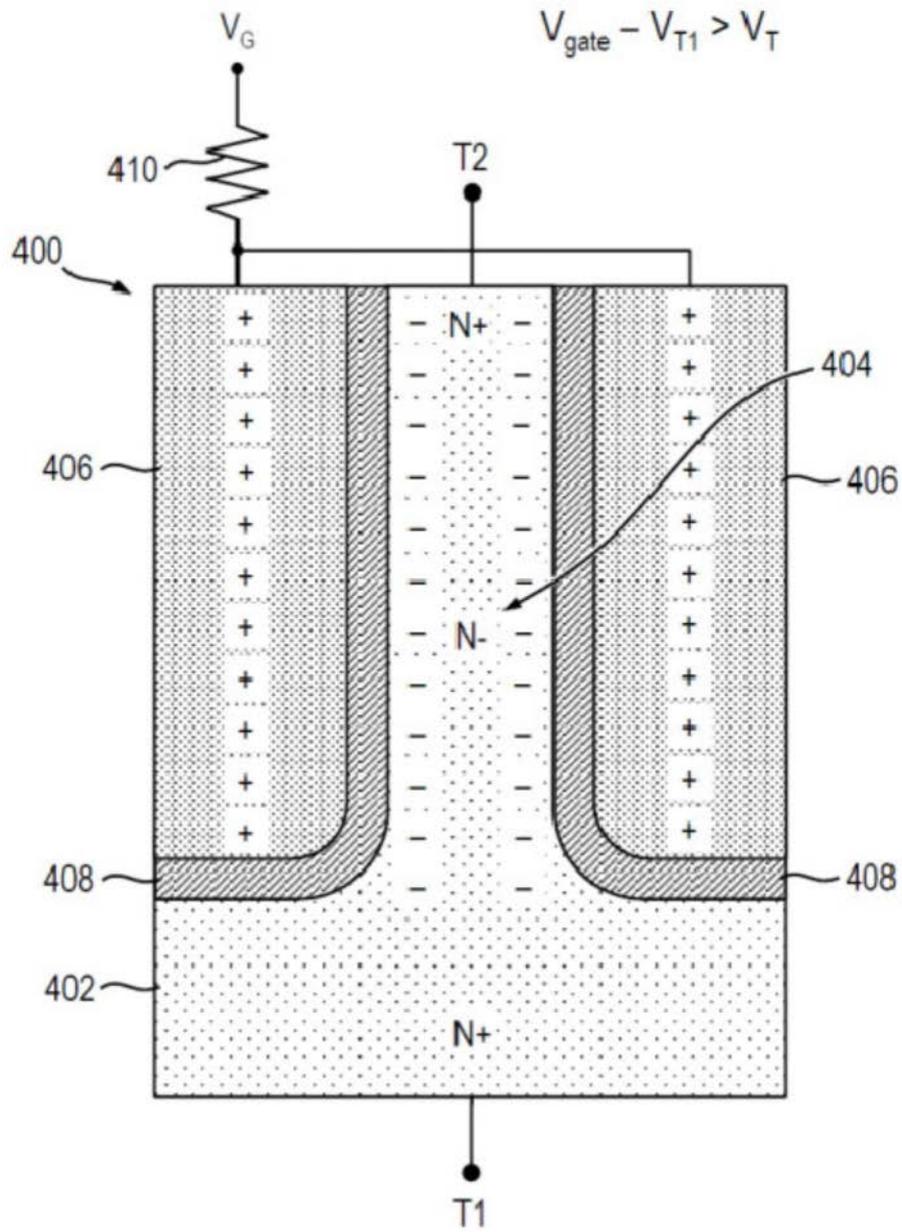


图5

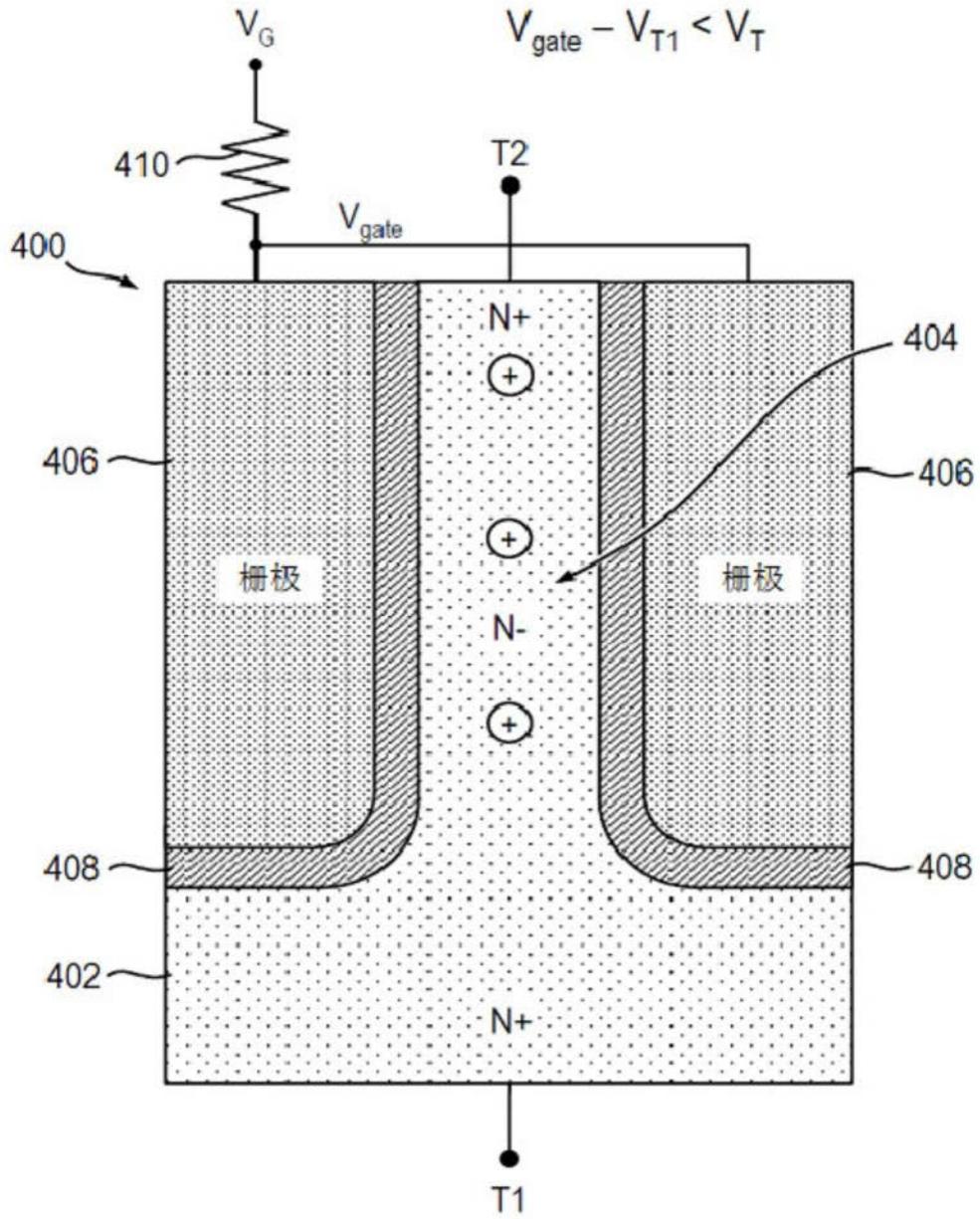


图6

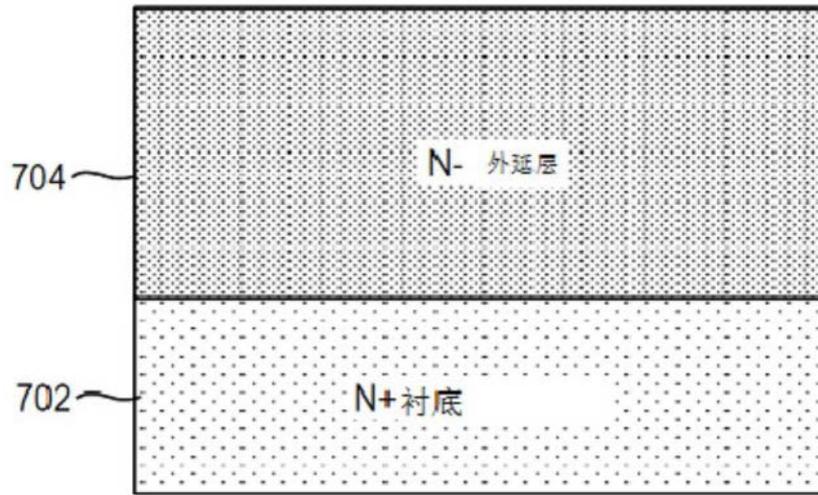


图7A

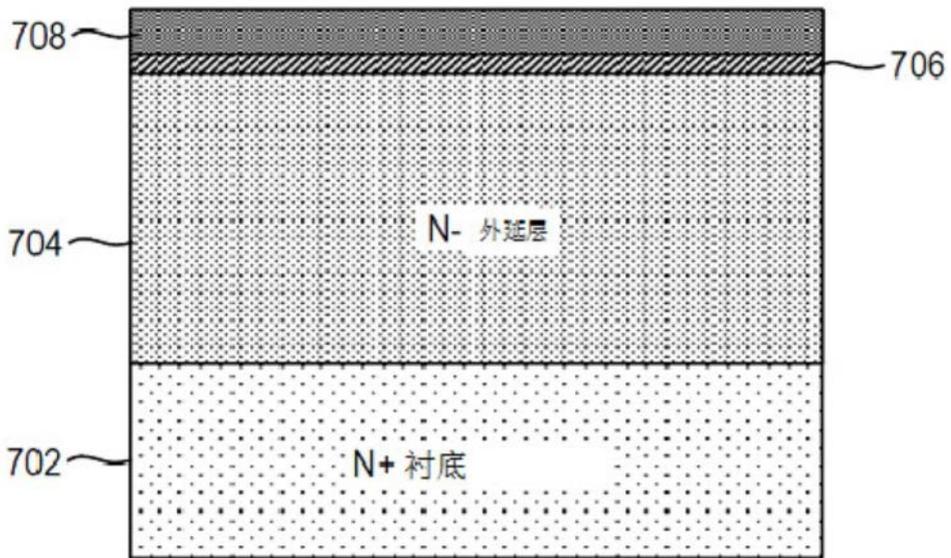


图7B

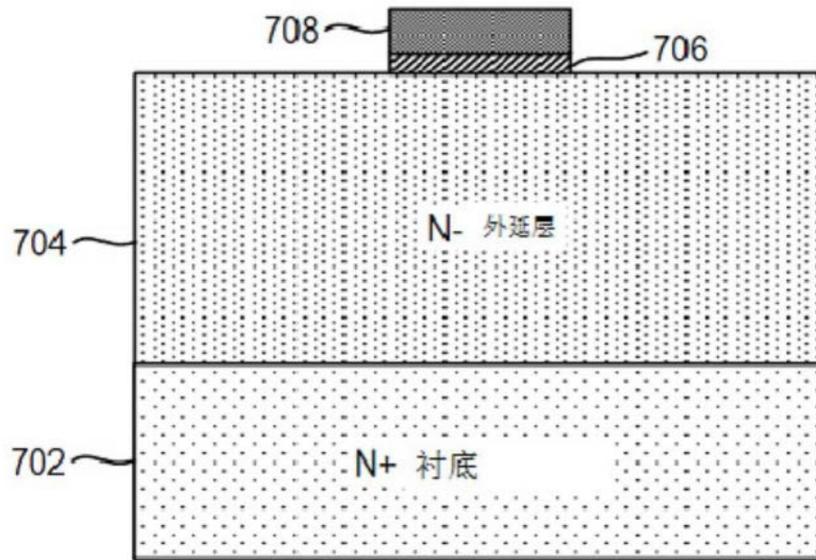


图7C

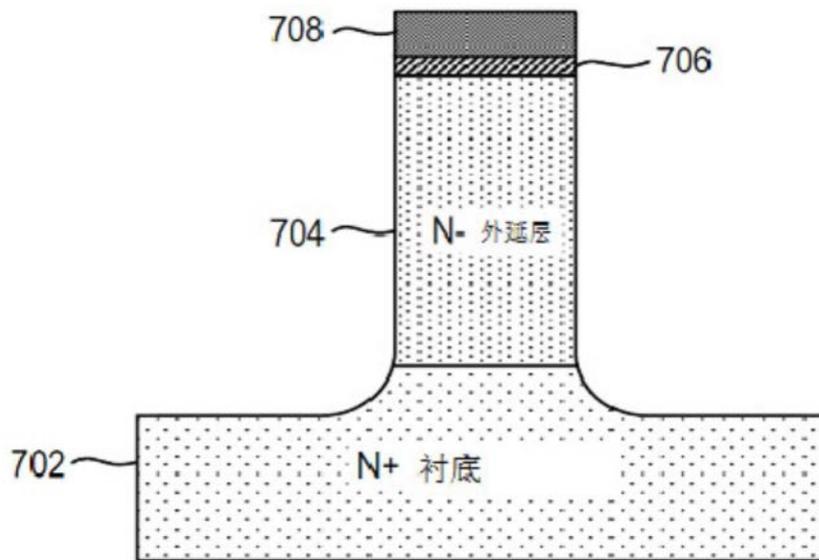


图7D

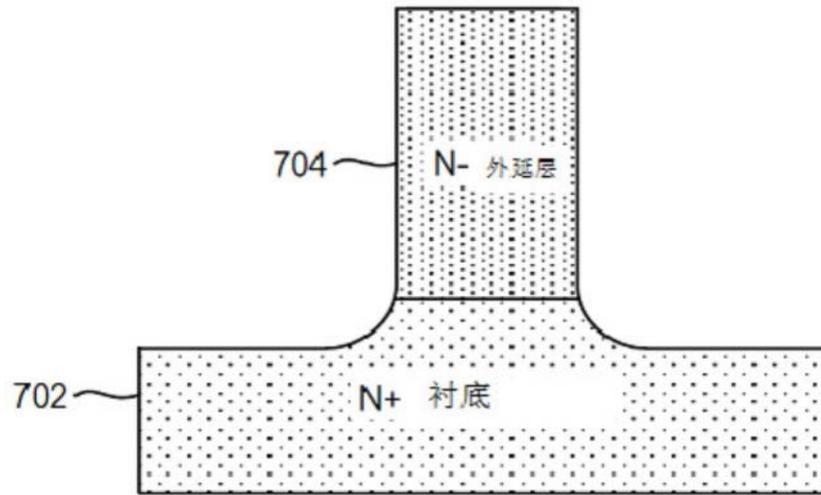


图7E

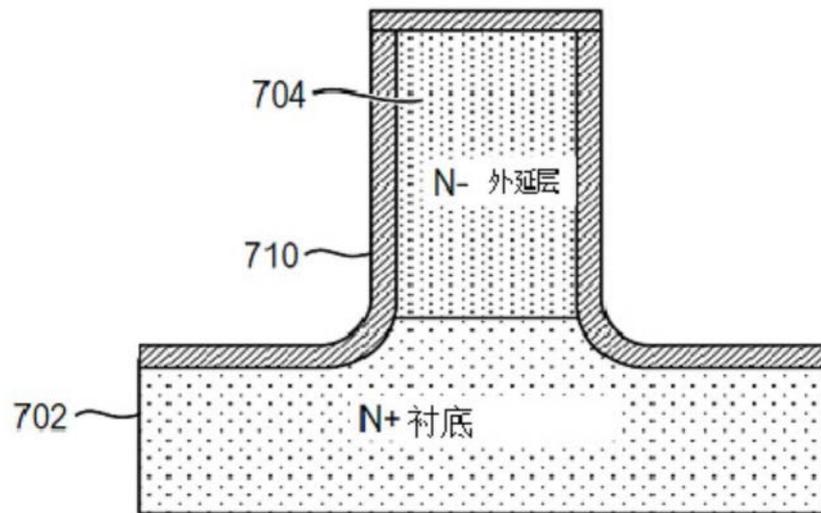


图7F

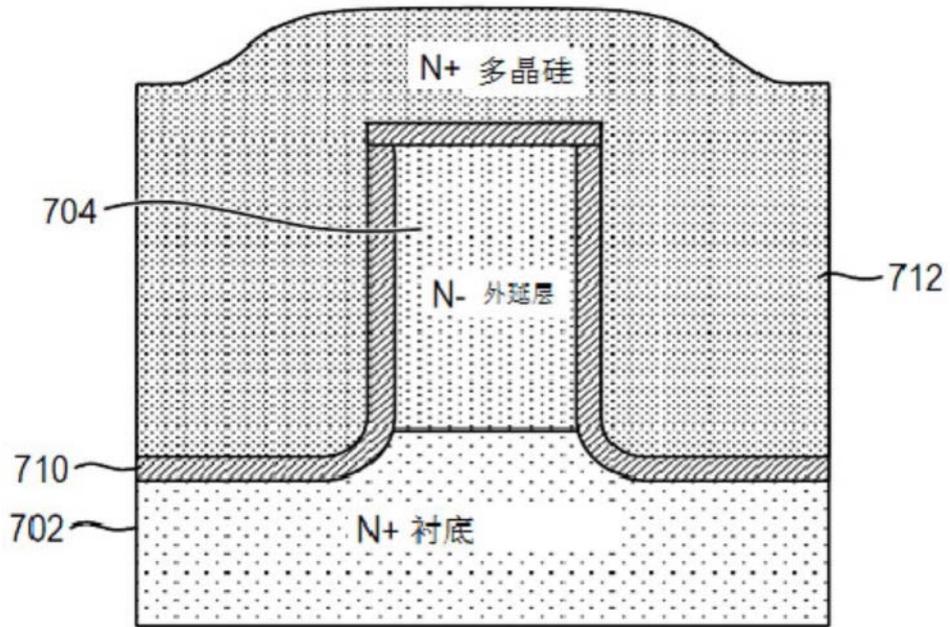


图7G

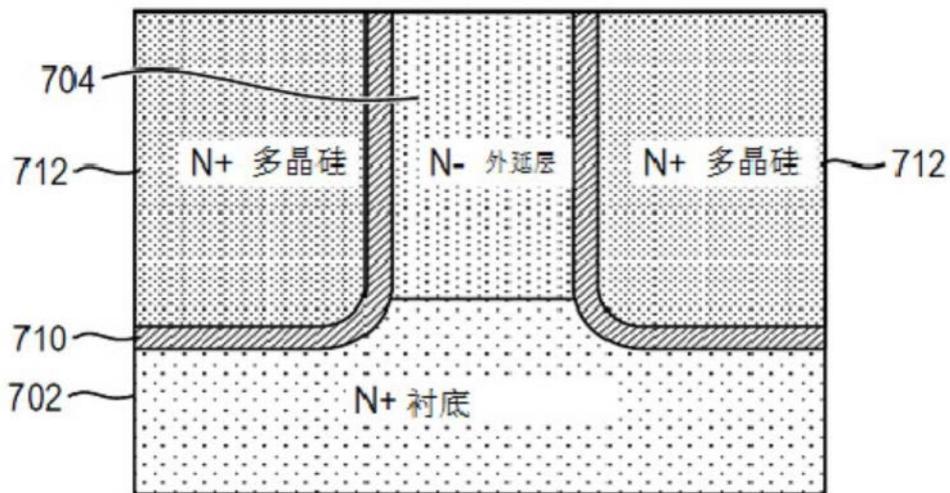


图7H

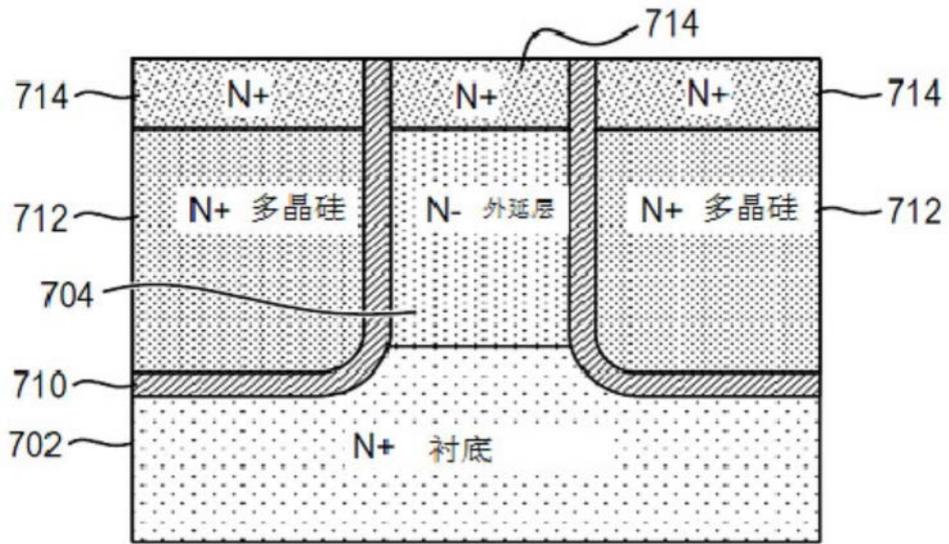


图7I

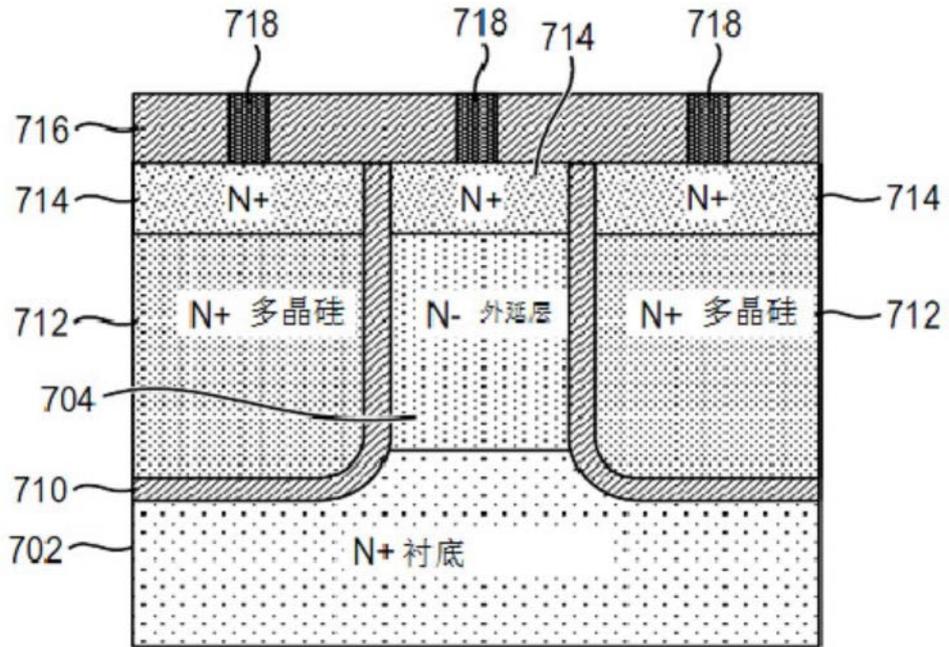


图7J

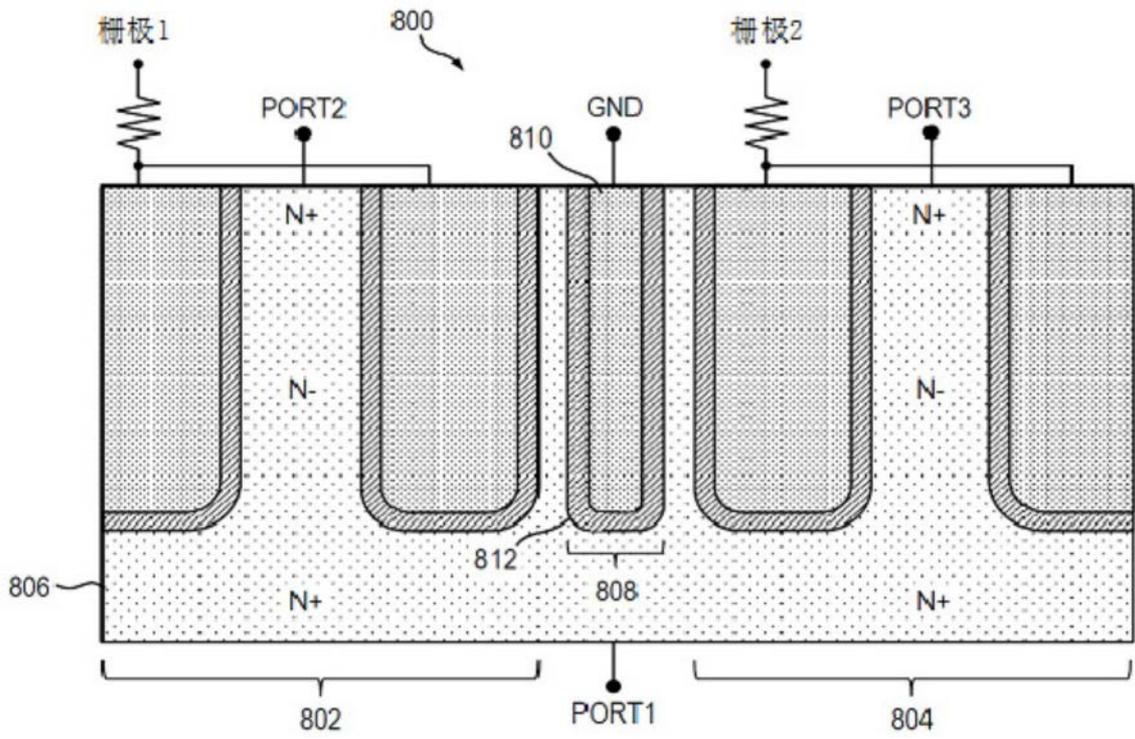


图8A

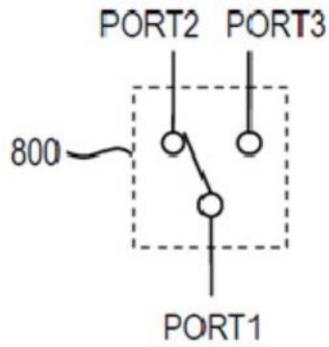


图8B