

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-49182

(P2009-49182A)

(43) 公開日 平成21年3月5日(2009.3.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/792 (2006.01)		
HO 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願2007-213726 (P2007-213726)
 (22) 出願日 平成19年8月20日 (2007.8.20)

(71) 出願人 000003207
 トヨタ自動車株式会社
 愛知県豊田市トヨタ町1番地
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 滝 雅人
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
 Fターム(参考) 5F083 EP02 EP22 EP63 EP68 ER02
 ER03 ER09 ER11 ER21 GA06
 GA28 HA02
 5F101 BA01 BB02 BC02 BC11 BD02
 BD07 BD30 BE02 BE05 BE07

(54) 【発明の名称】 不揮発性半導体記憶素子

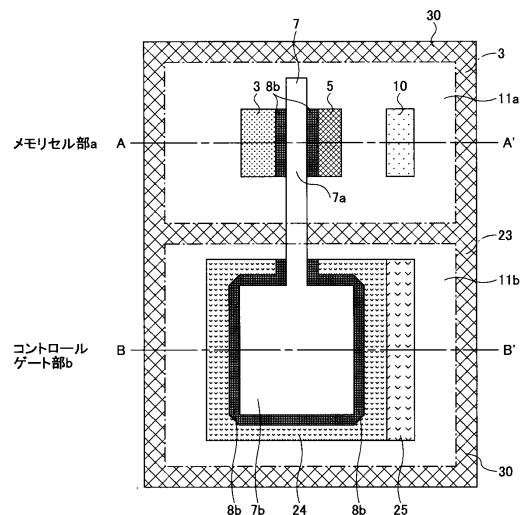
(57) 【要約】

【課題】単層薄膜のゲート用半導体層を有し、データ保持性を改善した不揮発性半導体記憶素子を提供することを課題とする。

【解決手段】

メモリセル部aは、ソースN+層4、ドレインN+層5、及びゲート酸化膜6a上に形成されるフローティングゲート7aを備える。コントロールゲート部bは、メモリセル部aと共通のP型の半導体層内に形成されるNウェル層23内に形成され、ゲート酸化膜6bを介してNウェル層23に容量結合されるフローティングゲート7bを備える。メモリセル部aとコントロールゲート部bは、素子分離層30によって絶縁分離される。フローティングゲート7aに電子が保持されている場合は、非読み出し時に、メモリセル部aのバックゲート、Nウェル層23、及びソースN+層4に負電圧を印加する。これにより、ゲート酸化膜6のエネルギーバンドの傾きを抑え、トンネル電流を抑制してデータの保持性を向上させる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体層の第 1 領域上に第 1 絶縁層を介して形成されるフローティングゲートを有する MOS トランジスタで構成される第 1 素子と、

前記半導体層の第 2 領域上に第 2 絶縁層を介して容量結合されるとともに、前記フローティングゲートと一体的に形成される結合層を有する第 2 素子と、

前記半導体層を前記第 1 領域及び前記第 2 領域に絶縁分離する素子分離層と、

前記フローティングゲートに電荷が保持されている場合における非読み出し時に、前記第 1 素子の前記第 1 絶縁層に生じる電位差が所定値以下となるように、前記第 1 素子及び前記第 2 素子を制御する制御手段と

を備える不揮発性半導体記憶素子。

10

【請求項 2】

前記半導体層は、SOI 基板の酸化層の上に形成される半導体層であり、前記素子分離層は、前記酸化層の上に形成されることにより、前記半導体層を前記第 1 領域及び前記第 2 領域に絶縁分離する、請求項 1 に記載の不揮発性半導体記憶素子。

【請求項 3】

前記制御手段は、前記第 1 素子のバックゲート、前記第 1 素子のソース、及び、前記第 2 素子の前記第 2 領域の半導体層の各々に所定の電圧を印加する、請求項 1 又は 2 に記載の不揮発性半導体記憶素子。

【発明の詳細な説明】

20

【技術分野】**【0001】**

本発明は、単層のゲート用半導体層を有する断面構造の不揮発性半導体記憶素子に関する。

【背景技術】**【0002】**

従来より、単層のゲート用半導体層を有する断面構造のEEPROM (Electrically Erasable and Programmable Read Only Memory) セルが開発されている。このような EEPROM は、ゲート用半導体層が単層で済むため、複雑な製造プロセスが不要で、一般的な CMOS (Complementary Metal Oxide Silicon) プロセスで簡単に製造でき、また、データ消去等の動作が一般的なスタック型の EEPROM やフラッシュメモリと同一であることから、アナログ回路におけるトリミングや RF (Radio Frequency) タグにおける記憶装置として広く利用されている (例えば、特許文献 1 参照)。

30

【特許文献 1】特許第 2 5 9 6 6 9 5 号公報

【発明の開示】**【発明が解決しようとする課題】****【0003】**

ところで、このような単層のゲート用半導体層を用いる記憶素子では、記憶素子のゲート酸化膜をメモリ駆動用の CMOS のゲート酸化膜と共通化すると製造プロセスのコストを抑えることができる。このため、ディープサブミクロン以降の CMOS では、ゲート酸化膜の膜厚は 10 nm 以下になっている。ゲート酸化膜の膜厚とリーク電流には大きな相関関係があり、膜厚が 8 nm 以下になるとリーク電流が顕著になるという課題がある。

40

【0004】

そこで、本発明は、単層で膜厚の薄いゲート用半導体層を有し、製造プロセスの簡略化を図るとともに、データの保持性を改善した不揮発性半導体記憶素子を提供することを目的とする。

【課題を解決するための手段】**【0005】**

本発明の一面の不揮発性半導体記憶素子は、半導体層の第 1 領域上に第 1 絶縁層を介して形成されるフローティングゲートを有する MOS トランジスタで構成される第 1 素子

50

と、前記半導体層の第2領域上に第2絶縁層を介して容量結合されるとともに、前記フローティングゲートと一体的に形成される結合層を有する第2素子と、前記半導体層を前記第1領域及び前記第2領域に絶縁分離する素子分離層と、前記フローティングゲートに電荷が保持されている場合における非読み出し時に、前記第1素子の前記第1絶縁層に生じる電位差が所定値以下となるように、前記第1素子及び前記第2素子を制御する制御手段とを備える。

【0006】

また、前記半導体層は、SOI基板の酸化層の上に形成される半導体層であり、前記素子分離層は、前記酸化層の上に形成されることにより、前記半導体層を前記第1領域及び前記第2領域に絶縁分離してもよい。

10

【0007】

また、前記制御手段は、前記第1素子のバックゲート、前記第1素子のソース、及び、前記第2素子の前記第2領域の半導体層の各々に所定の電圧を印加してもよい。

【発明の効果】

【0008】

本発明によれば、単層で膜厚の薄いゲート用半導体層を用いつつ、製造プロセスの簡略化を図るとともに、データの保持性を改善した不揮発性半導体記憶素子を提供できるという特有の効果が得られる。

【発明を実施するための最良の形態】

【0009】

以下、本発明の不揮発性半導体記憶素子を適用した実施の形態について説明する。

20

【0010】

[実施の形態1]

図1は、実施の形態1の不揮発性半導体素子の構成を示す平面図である。図2は、図1に示す不揮発性半導体素子の断面構造を示す図である。

【0011】

図1に示すように、本実施の形態の不揮発性半導体記憶素子は、メモリセル部a、及びコントロールゲート部bの2つの素子を含む。これら2つの素子(a、b)の断面構造は、それぞれ、図2(a)及び(b)に示す通りである。

【0012】

図2(a)及び(b)に示すように、各素子は、P型の半導体基板1の上に形成される。この半導体基板1は、不純物(典型的には、ボロン(B))の注入によって導電型がP型にされたシリコン層であればよい。

30

【0013】

埋め込み酸化層2は、半導体基板1の上に形成される。この埋め込み酸化層2は、絶縁層(BOX層)として用いられる酸化層であり、この埋め込み酸化層2の上には、P型の半導体層が形成されている。半導体基板1、埋め込み酸化層2、及びP型の半導体層の積層体としては、例えば、SOI(Silicon On Insulator)構造の半導体基板を用いることができる。

【0014】

「メモリセル部」

図1及び図2(a)に示すように、メモリセル部aは、P型の半導体層内に形成されるPウェル層3内に形成され、ソースN+層4、ドレインN+層5、ゲート酸化膜6a、フローティングゲート7a、サイドウォール8a、LDD(Lightly Doped Drain)・N層9、ウェルコンタクト用P+層10、及びフィールド酸化膜11aを備える。

40

【0015】

ソースN+層4及びドレインN+層5は、Pウェル層3の表面に互いに離間して形成される。これらの層は、Pウェル層3の表面から不純物(典型的にはホスフィン(P))を注入することにより、N+型にされる。

【0016】

50

ゲート酸化膜 6 a は、P ウェル層 3 の表面のソース N + 層 4 とドレイン N + 層 5 との間に、一对の L D D ・ N 層 9 を介して形成されるシリコン酸化膜で構成される。このゲート酸化膜 6 a は、例えば、熱酸化法によって形成することができる。

【 0 0 1 7 】

フローティングゲート 7 a は、ゲート酸化膜 6 a の上に形成され、例えば、ポリシリコン層によって構成される。このポリシリコン層は、例えば、C V D 法によって形成することができる。

【 0 0 1 8 】

フローティングゲート 7 a の両側部から L D D ・ N 層 9 の上面にわたる領域には、一对のサイドウォール 8 a が形成される。このサイドウォール 8 a は、シリコン酸化膜で構成され、このシリコン酸化膜は、ゲート絶縁膜 6 a と同一材料であってもよい。また、このサイドウォール 8 a は、例えば、フローティングゲート 7 a を形成した後に、このフローティングゲート 7 a の上面及び両側面と L D D ・ N 層 9 の表面とにわたる領域にシリコン酸化膜を成膜し、その後、成膜したシリコン酸化膜をフローティングゲート 7 a の上面が表出するまでエッチングすることによってフローティングゲート 7 a の両側面に形成される。

10

【 0 0 1 9 】

ウェルコンタクト用 P + 層 1 0 は、P ウェル層 3 の表面から不純物（典型的にはボロン（B））を注入して P + 型にすることによって形成される。

【 0 0 2 0 】

フィールド酸化膜 1 1 a は、絶縁分離用に形成される酸化膜であり、例えば、局所酸化法（L O C O S）によって形成される。このフィールド酸化膜 1 1 a は、一点鎖線で示す P ウェル層 3 によって規定される領域内では、ソース N + 層 4、ドレイン N + 層 5、ゲート酸化膜 6 a、フローティングゲート 7 a、サイドウォール 8 a、L D D ・ N 層 9、及びウェルコンタクト用 P + 層 1 0 が後に形成される領域を除くすべての領域に形成されればよい。

20

【 0 0 2 1 】

以上のように、このメモリセル部 a は、一般的な N 型の M O S トランジスタと同一の構成である。

【 0 0 2 2 】

「コントロールゲート部」

図 1 及び図 2（b）に示すように、コントロールゲート部 b は、メモリセル部 a と共通の P 型の半導体層内に形成される N ウェル層 2 3 内に形成され、コントロールゲート P + 層 2 4、ウェルコンタクト用 N + 層 2 5、ゲート酸化膜 6 b、フローティングゲート 7 b、サイドウォール 8 b、及びフィールド酸化膜 1 1 b を備える。

30

【 0 0 2 3 】

N ウェル層 2 3 は、P 型の半導体層に不純物（典型的にはホスフィン（P））を注入することにより、N + 型にされる。

【 0 0 2 4 】

ゲート酸化膜 6 b、フローティングゲート 7 b、サイドウォール 8 b、フィールド酸化膜 1 1 b は、メモリセル部 a のゲート酸化膜 6 a、フローティングゲート 7 a、サイドウォール 8 a、フィールド酸化膜 1 1 a とそれぞれ同一の膜で構成される。このうち、フローティングゲート 7 b は、図 1 に示すように、メモリセル部 a のフローティングゲート 7 a と一体的に形成される。

40

【 0 0 2 5 】

また、フィールド酸化膜 1 1 b は、符号 2 3 で示す一点鎖線で示す領域内では、コントロールゲート P + 層 2 4、ウェルコンタクト用 N + 層 2 5、ゲート酸化膜 6 b、フローティングゲート 7 b、及びサイドウォール 8 b が形成される領域を除くすべての領域に形成される。

【 0 0 2 6 】

50

なお、フィールド酸化膜 1 1 b は、メモリセル部 a のフィールド酸化膜 1 1 a と一体的に形成されるとともに、図 1 に一点鎖線で示す P ウェル層 3 及び N ウェル層 2 3 が形成される領域以外の領域にも一体的に形成されてもよい。

【 0 0 2 7 】

コントロールゲート P + 層 2 4 は、ゲート酸化膜 6 b の両側における N ウェル層 2 3 の表面に形成され、例えば、N ウェル層 2 3 の表面から不純物（典型的にはボロン（B））を注入することによって形成される。

【 0 0 2 8 】

ウェルコンタクト用 N + 層 2 5 は、片方のコントロールゲート P + 層 2 4 と、フィールド酸化膜 1 1 b との間における N ウェル層 2 3 の表面に不純物（典型的にはホスフィン（P））を注入することによって形成される。

10

【 0 0 2 9 】

以上のように、コントロールゲート部 b は、一般的な P 型の MOS キャパシタと同一の構成である。

【 0 0 3 0 】

「素子分離層 3 0」

メモリセル部 a とコントロールゲート部 b とは、酸化層によって構成される素子分離層 3 0 により互いに絶縁分離される。

【 0 0 3 1 】

この素子分離層 3 0 は、P ウェル層 3 及び N ウェル層 2 3 がそれぞれ形成される領域（図 1 に一点鎖線で示す領域）を所定の幅で囲み、埋め込み酸化層 2 まで到達する深さ（膜厚）を有する酸化層によって構成される。すなわち、素子分離層 3 0 は、埋め込み酸化層 2 の上に形成される。この素子分離層 3 0 は、フィールド酸化膜 1 1 a 及び 1 1 b と同一材料で構成してもよい。また、その製造工程は、フィールド酸化膜 1 1 a 及び 1 1 b と同一であってもよいし、別であってもよい。

20

【 0 0 3 2 】

なお、説明の便宜上、図 1 には、メモリセル部 a とコントロールゲート部 b とを一組しか示さないが、実際には、メモリセル部 a 及びコントロールゲート部 b を含む不揮発性半導体記憶素子はマトリクス状に多数配列される。

【 0 0 3 3 】

「等価回路」

図 3 は、本実施の形態の不揮発性半導体記憶素子の等価回路を示す図である。この等価回路図に示すように、不揮発性半導体記憶素子は、メモリセル部 a 及びコントロールゲート部 b のフローティングゲート 7 a 及び 7 b を中心に、メモリセル部 a を構成する NMOS トランジスタとコントロールゲート部 b を構成する PMOS キャパシタとを接続した構成である。

30

【 0 0 3 4 】

なお、フローティングゲート 7 a 及び 7 b の電位は、コントロールゲート部 b のフローティングゲート 7 b の電位を制御することによって制御される。なお、フローティングゲート 7 a 及び 7 b を一体として表す場合には、フローティングゲート 7 と記す。

40

【 0 0 3 5 】

メモリセル部 a のバックゲートは、接地電位に保持される端子 A と、所定の負電圧に保持される端子 B とに切り替え接続可能なスイッチ 4 0 に接続されている。

【 0 0 3 6 】

また、コントロールゲート部 b の N ウェル層 2 3 は、所定の正電圧（例えば、5 V）を印加するための端子 C と、所定の負電圧を印加するための端子 B とに切り替え可能なスイッチ 5 0 に接続されている。

【 0 0 3 7 】

スイッチ 4 0 及び 5 0 は、制御回路 6 0 によって切り替えられるように構成される。

【 0 0 3 8 】

50

ここで、フローティングゲート7a及び7bの各々の電位は、Pウェル層3とフローティングゲート7aとの間の静電容量（以下、第1静電容量）及びNウェル層23とフローティングゲート7bとの間の静電容量（以下、第2静電容量）の比によって決まる。

【0039】

ここで、第2静電容量の値を第1静電容量の合成容量に対して十分に大きく（例えば、9：1）することにより、フローティングゲート7の電位はフローティングゲート7bの電位と略等しくなり、フローティングゲート7a及び7bの電位を制御しやすくなる。

【0040】

「動作」

データを書き込む際は、（スイッチ50が端子Cに接続され）コントロールゲート部bのNウェル層23と、メモリセル部aのドレインN+層5とに5（V）を印加するとともに、（スイッチ40が端子Aに接続され）メモリセル部aのソースN+層4を0（V）に設定する。

【0041】

このように、Nウェル層23に5（V）を印加することにより、メモリセル部aのフローティングゲート7aには所定の正の電位が生じる。これにより、メモリセル部aのソースN+層4とドレインN+層5との間のPウェル層3内（いわゆるチャネル領域内）に十分な電子電流が通流し、ドレインN+層5付近のチャネル領域内でインパクトイオン化現象が発生し、ホットエレクトロンとホットホールの対が発生する。このホットエレクトロンは、所定の正電位に保持されたフローティングゲート7aに注入され、注入される電子が所定量以上になり、メモリセル部aの読み出し時におけるゲート電圧より高くなると、フローティングゲート7aにデータが保持される。

【0042】

このようにチャネルホットエレクトロン注入方式によってデータを書き込むことができるが、書き込み方法はこれに限定されず、トンネル現象によってフローティングゲートに電子を注入するFN（Follower Nordheim）書込方式を用いてもよい。

【0043】

また、データを消去する際は、コントロールゲート部bのNウェル層23を0（V）に設定し、ドレインP+層24を0（V）に設定する。このとき、フローティングゲート7bの電位も0（V）となり、フローティングゲート7bよりNウェル層23の電位が高くなる。

【0044】

これにより、Nウェル層23内（いわゆるチャネル領域内）に十分なホール電流が通流し、ドレインP+層24付近のチャネル領域内でインパクトイオン化現象が発生し、ホットエレクトロンとホットホールの対が発生する。このホットホールはフローティングゲート7bに注入され（チャネルホットホール注入方法）、これによりフローティングゲート7a（ひいては7b及び7b）に蓄積されていた電子が中和されることにより、データが消去される。

【0045】

このように、チャネルホットホール注入方法により、フローティングゲート7に書き込まれたデータを消去することにより、従来のアパランシェホットホール注入方法のように局所的にホール電流密度が上昇することを抑制でき、ホールトラップやゲート酸化膜の欠陥形成を低減できる。

【0046】

また、データを読み出すときは、コントロールゲート部bのNウェル層23に正電圧（例えば5V）を印加し、ソースN+層4を接地し、かつ、ドレインN+層に所定の正電圧（例えば2V）を印加する。これにより、フローティングゲート7aに保持されるデータを読み出す。

【0047】

また、非読み出し時において、フローティングゲート7aに電子が保持されている（デ

10

20

30

40

50

ータ"0")場合は、スイッチ40及び50をととも端子Bに接続することによりメモリセル部aのバックゲート及びコントロールゲート部bのNウェル層23に負電圧を印加するとともに、メモリセル部aのソースN+層4に負電圧を印加する。これらは、すべて制御回路60によって実行される。

【0048】

ここで、メモリセル部aのバックゲート及びNウェル層23に印加する負電圧は、ゲート酸化膜6(6a及び6b)のエネルギーバンドの傾きを極力小さくする電圧値に設定する。なお、このような電圧値は、メモリセル部a及びコントロールゲート部bの素子設計によって導出される値である。

【0049】

一般に、フローティングゲート7に電子が注入されると、電子が有する負の電荷によりゲート酸化膜のエネルギーバンドに傾きが生じる。このようなエネルギーバンドの傾きは、ゲート酸化膜におけるトンネル電流の原因となり、電荷のリークが生じるおそれがある。

【0050】

本実施の形態の不揮発性半導体記憶素子は、非読み出し時でフローティングゲート7aに電子が保持されている状態において、メモリセル部aのバックゲートとコントロールゲート部bのNウェル層23に所定の値の負電圧を印加するとともに、メモリセル部aのソースN+層4に負電圧を印加するので、図4に示すように、ゲート酸化膜6(6a及び6b)のエネルギーバンドの傾きを抑えることができ、これにより、トンネル電流を抑制してデータの保持性を向上させることができる。

【0051】

一般に、ゲート酸化膜におけるトンネル電流は、ゲート酸化膜のエネルギーバンドの傾き(すなわち、ゲート酸化膜に生じる電位差)に大きく依存するため、本実施の形態の不揮発性半導体記憶素子のように、エネルギーバンドの傾きを抑えることにより、トンネル電流を抑制することができることとなる。

【0052】

このようなトンネル電流の抑制は、ディープサブミクロン世代以降の製造プロセスでは、ゲート酸化膜が10nm以下とされるため、データ保持性の向上が顕著となる。

【0053】

また、本実施の形態の不揮発性半導体記憶素子では、素子分離層30によってメモリセル部aとコントロールゲート部bとが絶縁分離されるため、メモリセル部aのバックゲートとNウェル層23とに負電圧を印加しても、Nウェル層23と基板1との間の寄生的なダイオードがオンになることがなく、電子のリークを抑制してデータ保持性を向上させることができる。

【0054】

なお、非読み出し時にフローティングゲート7aに電子が保持されていない場合は、電子のリークを考慮する必要がないため、上述のようにゲート酸化膜6のエネルギーバンドの制御を行う必要はない。

【0055】

以上、本実施の形態の不揮発性半導体記憶素子によれば、製造工程の簡略化を図れる単層のポリシリコン層を有する断面構造の不揮発性半導体記憶素子において、非読み出し時にフローティングゲート7aに電子が保持されている場合は、メモリセル部aのバックゲートとコントロールゲート部bのNウェル層23に所定の値の負電圧を印加するとともに、メモリセル部aのソースN+層4に負電圧を印加するので、ゲート酸化膜6のエネルギーバンドの傾きを抑えることができ、これにより、トンネル電流を抑制してデータの保持性を向上させた不揮発性半導体記憶素子を提供することができる。

【0056】

なお、以上では、SOI基板に不揮発性半導体記憶素子を形成する形態について説明したが、基板はSOI基板に限られるものではなく、上述の構成が実現されれば他の構成で

10

20

30

40

50

あってもよい。

【 0 0 5 7 】

以上、本発明の例示的な実施の形態の不揮発性半導体記憶素子について説明したが、本発明は、具体的に開示された実施の形態に限定されるものではなく、特許請求の範囲から逸脱することなく、種々の変形や変更が可能である。

【 図面の簡単な説明 】

【 0 0 5 8 】

【 図 1 】 実施の形態の不揮発性半導体素子の構成を示す平面図である。

【 図 2 】 図 1 に示す不揮発性半導体素子の断面構造を示す図である。

【 図 3 】 実施の形態の不揮発性半導体記憶素子の等価回路を示す図である。

10

【 図 4 】 実施の形態の不揮発性半導体記憶素子における非読み込み時のゲート酸化膜のエネルギーバンド構造を示す図である。

【 符号の説明 】

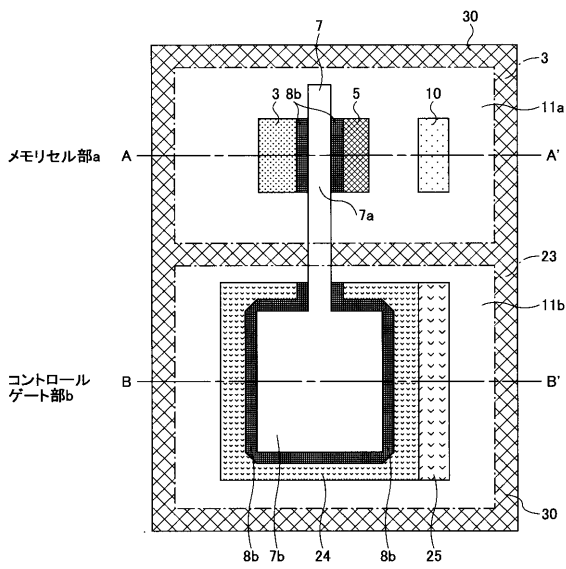
【 0 0 5 9 】

- 1 半導体層
- 2 埋め込み酸化層 (B O X 層)
- 3 メモリセル用 P ウェル層 (P ウェル層)
- 4 ソース N + 層
- 5 ドレイン N + 層
- 6、6 a、6 b ゲート酸化膜
- 7、7 a、7 b フローティングゲート
- 8 a、8 b サイドウォール
- 9 L D D ・ N 層
- 1 0 ウェルコンタクト用 P + 層
- 1 1 a、1 1 b フィールド酸化膜
- 2 3 コントロールゲート用 N ウェル層 (N ウェル層)
- 2 4 コントロールゲート P + 層
- 2 5 ウェルコンタクト用 N + 層
- 3 0 素子分離層
- 4 0、5 0 スイッチ
- 6 0 制御回路

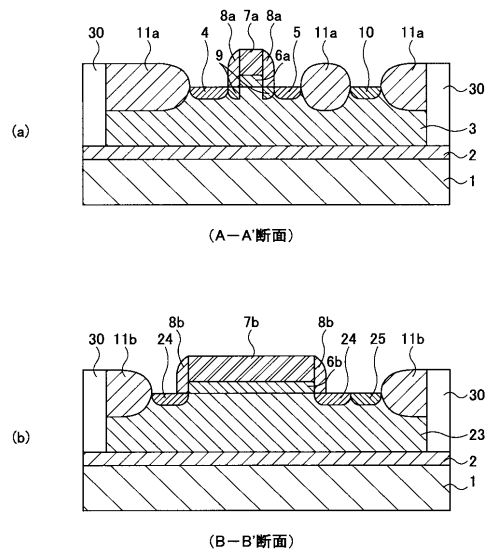
20

30

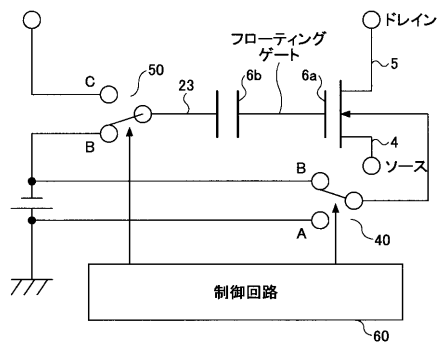
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

