



(12)发明专利申请

(10)申请公布号 CN 105870207 A

(43)申请公布日 2016.08.17

(21)申请号 201610441090.7

(22)申请日 2016.06.20

(71)申请人 淄博汉林半导体有限公司

地址 255086 山东省淄博市高新技术产业
开发区政通路135号高科技创业园
C416室

(72)发明人 关仕汉

(74)专利代理机构 淄博佳和专利代理事务所
37223

代理人 孙爱华

(51)Int.Cl.

H01L 29/872(2006.01)

H01L 29/06(2006.01)

H01L 21/329(2006.01)

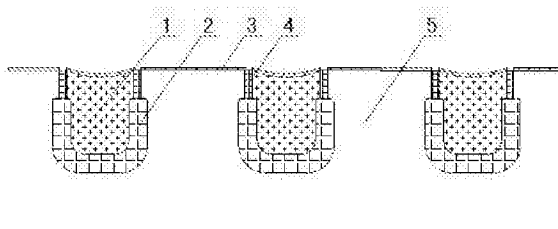
权利要求书1页 说明书4页 附图4页

(54)发明名称

一种厚底氧化层的沟槽式肖特基芯片及制备方法

(57)摘要

一种厚底氧化层的沟槽式肖特基芯片及制备方法,属于半导体器件制造领域。其特征在于:包括如下步骤:步骤a1,一次氮化处理;步骤a2,刻蚀沟槽;步骤a3,二次氮化处理;步骤a4,一次去除氮化层;步骤a5,加深刻蚀沟槽;步骤a6,一次氧化处理;步骤a7,二次去除氮化层;步骤a8,二次氧化处理;步骤a9,一次多晶硅填充;步骤a10,去除外延层上表面的表面氧化层并构建肖特基界面。通过本厚底氧化层的沟槽式肖特基制作方法及肖特基芯片,同时兼顾了芯片的耐压能力以及正向压降,同时不会导致芯片整体体积增加。



1. 一种厚底氧化层的沟槽式肖特基芯片,其特征在於:在外延层(5)的表面设置有多个沟槽,沟槽的内表面形成氧化层,在沟槽内填充有多晶硅(1),多晶硅(1)的表面刻蚀到与沟槽上边等高的位置,在多晶硅(1)以及外延层(5)的上部形成肖特基界面(3);

所述的沟槽内表面的氧化层包括位于沟槽侧壁上部的沟槽侧部氧化层(4)和位于沟槽侧部下部以及沟槽底部的沟槽底部氧化层(2),其中沟槽底部氧化层(2)的厚度不等于沟槽侧部氧化层(4)的厚度。

2. 根据权利要求1所述的厚底氧化层的沟槽式肖特基芯片,其特征在於:所述的沟槽底部氧化层(2)的厚度大于沟槽侧部氧化层(4)的厚度。

3. 根据权利要求1所述的厚底氧化层的沟槽式肖特基芯片,其特征在於:所述的沟槽底部氧化层(2)的厚度为 $0.2-1.0\mu\text{m}$ 。

4. 根据权利要求1所述的厚底氧化层的沟槽式肖特基芯片,其特征在於:所述的沟槽侧部氧化层(4)的厚度为 $0.03-0.15\mu\text{m}$;所述的沟槽侧部氧化层(4)的高度为 $0.5-6\mu\text{m}$ 。

5. 根据权利要求1所述的厚底氧化层的沟槽式肖特基芯片,其特征在於:所述的沟槽的高度为 $4-10\mu\text{m}$ 。

6. 根据权利要求1所述的厚底氧化层的沟槽式肖特基芯片,其特征在於:所述的沟槽的宽度为 $0.25-1.0\mu\text{m}$ 。

7. 根据权利要求1所述的厚底氧化层的沟槽式肖特基芯片,其特征在於:所述的多个沟槽中,相邻两沟槽之间的间距为 $1-10\mu\text{m}$ 。

8. 根据权利要求1所述的厚底氧化层的沟槽式肖特基芯片,其特征在於:所述的外延层为N型半导体或P型半导体。

9. 一种厚底氧化层的沟槽式肖特基芯片的制作方法,其特征在於:包括如下步骤:

步骤a1,一次氮化处理:在外延层上表面进行氮化处理,生成第一氮化硅层;

步骤a2,刻蚀沟槽:在外延层上表面刻蚀沟槽,沟槽两侧形成一次刻蚀侧壁;

步骤a3,二次氮化处理:对刻蚀后的外延层进行第二次氮化处理,在第一氮化硅层的上方以及沟槽的内表面形成第二氮化硅层;

步骤a4,一次去除氮化层:去除外延层上表面的第二氮化硅层和沟槽底部的第二氮化硅层;

步骤a5,加深刻蚀沟槽:沿残留在一次刻蚀侧壁上的第二氮化硅层表面加深刻蚀沟槽,在一次刻蚀侧壁下方形成二次刻蚀侧壁;

步骤a6,一次氧化处理:对外延层进行第一次氧化处理,在沟槽的二次刻蚀侧壁及底部生成沟槽底部氧化层;

步骤a7,二次去除氮化层:去除外延层上表面的第一氮化硅层以及一次刻蚀侧壁上的第二氮化硅层;

步骤a8,二次氧化处理:对外延层进行第二次氧化处理,同时生成外延层上表面的表面氧化层和二次刻蚀侧壁上的沟槽侧部氧化层;

步骤a9,一次多晶硅填充:在沟槽内填充多晶硅,并对填充后的多晶硅进行刻蚀;

步骤a10,去除外延层上表面的表面氧化层并构建肖特基界面。

10. 根据权利要求9所述的厚底氧化层的沟槽式肖特基芯片的制作方法,其特征在於:在步骤a9中,所述的多晶硅顶部刻蚀到沟槽上部。

一种厚底氧化层的沟槽式肖特基芯片及制作方法

技术领域

[0001] 一种厚底氧化层的沟槽式肖特基芯片及制作方法,属于半导体器件制造领域。

背景技术

[0002] 现有技术的沟槽式肖特基芯片的制造工艺如下:首先在半导体材质的外延层表面刻蚀出若干沟槽,然后在外延层表面进行氧化处理氧化处理之后在外延层的上表面以及沟槽内表面生成氧化层。然后在外延层表面进行多晶硅的填充,填充完成之后将外延层表面的氧化硅绝缘层和多晶硅去除,然后通过现有技术的若干步骤在外延层表面形成肖特基界面,完成肖特基芯片的制作。

[0003] 利用上述步骤制作而成的沟槽式肖特基芯片的结构如图10所示,在外延层5的上表面并列设置有多个沟槽,在沟槽的内侧壁形成沟槽氧化层11,在沟槽氧化层11内填充有多晶硅1,多晶硅1的上表面与沟槽的上表面高度相同,在沟槽以及外延层的上表面上形成肖特基界面3。

[0004] 在传统的沟槽式肖特基芯片中,肖特基芯片的耐压强度与沟槽内的沟槽氧化层11的厚度成正比关系。而肖特基芯片在实际工作中,肖特基芯片的耐压性能主要通过沟槽氧化层11底部的部分体现,由于在现有技术中,由于沟槽氧化层11是一次做出的,因此沟槽氧化层11的底部以及侧壁是等厚的,因此出现了如下问题:如果要提高肖特基芯片的耐压能力,则需要在进行氧化处理时增加沟槽氧化层11的整体厚度,由于在形成沟槽氧化层11需要消耗外延层本身的材料,因此如果沟槽氧化层11的体厚度增加,则减小了相邻两个沟槽之间的距离,从而牺牲了有效地导电面积,使得芯片正向压降增大,影响了芯片的整体性能,为保证合适的正向压降要放大芯片的面积,从而导致了芯片体积的增加。如果需要兼顾芯片的整体体积以及正向压降,则需要减小沟槽内沟槽氧化层的厚度,导致肖特基芯片的耐压能力下降。

发明内容

[0005] 本发明要解决的技术问题是:克服现有技术的不足,提供一种兼顾了芯片的耐压能力以及正向压降,同时不会导致芯片整体体积增加的厚底氧化层的沟槽式肖特基芯片及制作方法。

[0006] 本发明解决其技术问题所采用的技术方案是:该厚底氧化层的沟槽式肖特基芯片,其特征在于:在外延层的表面设置有多个沟槽,沟槽的内表面形成氧化层,在沟槽内填充有多晶硅,多晶硅的表面刻蚀到与沟槽上边等高的位置,在多晶硅以及外延层的上部形成肖特基界面;

所述的沟槽内表面的氧化层包括位于沟槽侧壁上部的沟槽侧部氧化层和位于沟槽侧部下部以及沟槽底部的沟槽底部氧化层,其中沟槽底部氧化层的厚度不等于沟槽侧部氧化层的厚度。

[0007] 优选的,所述的沟槽底部氧化层的厚度大于沟槽侧部氧化层的厚度。

[0008] 优选的,所述的沟槽底部氧化层的厚度为0.2-1.0 μm 。可以根据耐压的情况对沟槽底部氧化层的厚度进行选择,沟槽底部氧化层的厚度越厚,耐压程度越高,同时电容越小。

[0009] 优选的,所述的沟槽侧部氧化层的厚度为0.03—0.15 μm ;通过对沟槽侧部氧化层厚度的调节,可以实现对导电有效利用面积的调节。所述的沟槽侧部氧化层的高度为0.5-6 μm 。

[0010] 优选的,所述的沟槽的高度为4-10 μm 。

[0011] 优选的,所述的沟槽的宽度为0.25-1.0 μm 。

[0012] 优选的,所述的多个沟槽中,相邻两沟槽之间的间距为1-10 μm 。

[0013] 优选的,所述的外延层为N型半导体或P型半导体。

[0014] 一种厚底氧化层的沟槽式肖特基芯片的制作方法,其特征在于:包括如下步骤:

步骤a1,一次氮化处理:在外延层上表面进行氮化处理,生成第一氮化硅层;

步骤a2,刻蚀沟槽:在外延层上表面刻蚀沟槽,沟槽两侧形成一次刻蚀侧壁;

步骤a3,二次氮化处理:对刻蚀后的外延层进行第二次氮化处理,在第一氮化硅层的上方以及沟槽的内表面形成第二氮化硅层;

步骤a4,一次去除氮化层:去除外延层上表面的第二氮化硅层和沟槽底部的第二氮化硅层;

步骤a5,加深刻蚀沟槽:沿残留在一次刻蚀侧壁上的第二氮化硅层表面加深刻蚀沟槽,在一次刻蚀侧壁下方形成二次刻蚀侧壁;

步骤a6,一次氧化处理:对外延层进行第一次氧化处理,在沟槽的二次刻蚀侧壁及底部生成沟槽底部氧化层;

步骤a7,二次去除氮化层:去除外延层上表面的第一氮化硅层以及一次刻蚀侧壁上的第二氮化硅层;

步骤a8,二次氧化处理:对外延层进行第二次氧化处理,同时生成外延层上表面的表面氧化层和二次刻蚀侧壁上的沟槽侧部氧化层;

步骤a9,一次多晶硅填充:在沟槽内填充多晶硅,并对填充后的多晶硅进行刻蚀;

步骤a10,去除外延层上表面的表面氧化层并构建肖特基界面。

[0015] 优选的,在步骤a9中,所述的多晶硅顶部刻蚀到沟槽上部。

[0016] 与现有技术相比,本发明所具有的有益效果是:

在本厚底氧化层的沟槽式肖特基芯片中,由于沟槽底部氧化层的厚度厚于沟槽侧部氧化层的厚度,因此保证了本厚底氧化层的沟槽式肖特基芯片的耐压能力。同时,由于沟槽底部氧化层的厚度未对其上方的沟槽侧部氧化层的厚度造成影响,因此不会对相邻沟槽之间的距离造成影响,同时保证了本厚底氧化层的沟槽式肖特基芯片导通时的正向压降,保证了芯片的整体性能。

[0017] 在本厚底氧化层的沟槽式肖特基芯片的制造方法中,在进行第一次氧化之前在外延层的上表面以及深沟槽侧壁的上部分别残留有不会发生氧化反应的第一氮化硅层和第二氮化硅层,因此在进行第一次氧化处理时,可以根据耐压需要生成任意厚度的沟槽底部氧化层,同时不会对深沟槽顶部的结构造成任何影响。

附图说明

[0018] 图1为厚底氧化层的沟槽式肖特基芯片结构示意图。

[0019] 图2~图9为厚底氧化层的沟槽式肖特基芯片的制作方法示意图。

[0020] 图10为现有技术沟槽式肖特基芯片结构示意图。

[0021] 其中:1、多晶硅 2、沟槽底部氧化层 3、肖特基界面 4、沟槽侧部氧化层 5、外延层 6、第一氮化硅层 7、浅沟槽 8、第二氮化硅层 9、深沟槽 10、表面氧化层 11、沟槽氧化层。

具体实施方式

[0022] 图1~9是本发明的最佳实施例,下面结合附图1~9对本发明做进一步说明。

[0023] 如图1所示,一种厚底氧化层的沟槽式肖特基芯片,包括外延层5,在外延层5的表面设置多个沟槽,沟槽的内表面形成氧化层。沟槽内表面的氧化层包括位于沟槽侧壁上部的沟槽侧部氧化层4和位于沟槽侧部下部以及沟槽底部的沟槽底部氧化层2,其中沟槽底部氧化层2的厚度厚于沟槽侧部氧化层4的厚度。在沟槽内填充有多晶硅1,多晶硅1的表面刻蚀到与沟槽上边等高的位置,在多晶硅1以及外延层5的上部形成肖特基界面3。

[0024] 在本厚底氧化层的沟槽式肖特基芯片中,由于沟槽底部氧化层2的厚度厚于沟槽侧部氧化层4的厚度,因此保证了本厚底氧化层的沟槽式肖特基芯片的耐压能力。同时,由于沟槽底部氧化层2的厚度未对其上方的沟槽侧部氧化层4的厚度造成影响,因此不会对相邻沟槽之间的距离造成影响,同时保证了本厚底氧化层的沟槽式肖特基芯片导通时的正向压降,保证了芯片的整体性能。在本厚底氧化层的沟槽式肖特基芯片中,沟槽底部氧化层2的厚度为:0.2-1.0 μm ,沟槽侧部氧化层4的厚度为:0.03-0.15 μm ,沟槽侧部氧化层4的高度为0.5-6 μm ,沟槽的宽度为0.25-1.0 μm ,沟槽的高度为4-10 μm ,相邻两沟槽之间的间距为1-10 μm 。

[0025] 如图2~9所示,制造如图1所示的厚底氧化层的沟槽式肖特基芯片,包括如下步骤:

步骤1,在外延层5上方利用现有技术进行氮化处理,生成一层氮化硅层-第一氮化硅层6,如图2所示。

[0026] 步骤2,在第一氮化硅层6上表面按照预设计的位置进行刻蚀,刻蚀出若干浅沟槽7,如图3所示。在浅沟槽7刻蚀完毕之后,在浅沟槽7的内表面上重新露出外延层5。

[0027] 步骤3,在外延层5的上表面进行第二次氮化处理,进行第二次氮化处理之后,在浅沟槽7的内表面氮化形成第二氮化硅层8,在外延层5的上表面原有的第一氮化硅层6的上部同时生成第二氮化硅层8,如图4所示。

[0028] 步骤4,在外延层5的上表面进行氧化硅层的刻蚀,刻蚀完成之后,外延层5的上部的第二氮化硅层8被刻蚀掉,仅剩第一氮化硅层6,浅沟槽7底部的第二氮化硅层8同时被刻蚀掉,在浅沟槽7的底部再次露出外延层5,在浅沟槽7的侧壁上残留第二氮化硅层8,如图5所示。

[0029] 步骤5,沿残留在浅沟槽7侧壁的第二氮化硅层8再次对浅沟槽7进行刻蚀,形成深沟槽9,深沟槽9的底部到芯片表面深度为4-10 μm 。在深沟槽9的底面及侧壁的下部露出外延层5,在深沟槽9的侧壁上上部为残留的第二氮化硅层8,如图6所示。

[0030] 步骤6,在外延层5的表面进行氧化处理,由于外延层5的上表面残留有第一氮化硅层6,在深沟槽9侧壁的上部残留有第二氮化硅层8,因此不会发生氧化反应,氧化反应仅发生在深沟槽9侧壁的底部以及底面的位置,即外延层5露出的位置,氧化生成沟槽底部氧化

层2。

[0031] 在本双层多晶硅沟槽式芯片的制造方法中,由于在之前的步骤1~步骤5中在外延层5的上表面以及深沟槽9侧壁的上部分别残留有不会发生氧化反应的第一氮化硅层6和第二氮化硅层8,在步骤6中进行氧化处理时,可以根据耐压需要生成任意厚度的沟槽底部氧化层2,同时不会对深沟槽9顶部的结构造成任何影响。

[0032] 步骤7,去除外延层5表面残留的第一氮化硅层6以及深沟槽9侧壁上方的第二氮化硅层8,将第一氮化硅层6和第二氮化硅层8去除之后,在深沟槽9侧壁的上部以及外延层5的上表面再次露出外延层5的结构,然后对外延层5上表面再次进行氧化处理,氧化处理之后,同时生成了位于外延层5上表面的表面氧化层10和深沟槽9侧壁上部的沟槽侧部氧化层4,由于沟槽侧部氧化层4和表面氧化层10同时生成的,因此厚度相同,如图8所示。

[0033] 步骤8,在深沟槽9内进行多晶硅1的填充,然后将填充的多晶硅1进行刻蚀,将多晶硅1刻蚀到与深沟槽9的上部平齐的位置,然后去除外延层5上表面的表面氧化层10,如图9所示。

[0034] 步骤9,在外延层5以及多晶硅1的上部利用现有技术做出肖特基界面3,制成如图1所示的厚底氧化层的沟槽式肖特基芯片。肖特基界面3的材质为:钛、铂、钼、钒、钨、铝或这些金属的不同组合。

[0035] 以上所述,仅是本发明的较佳实施例而已,并非是对本发明作其它形式的限制,任何熟悉本专业的技术人员可能利用上述揭示的技术内容加以变更或改型为等同变化的等效实施例。但是凡是未脱离本发明技术方案内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与改型,仍属于本发明技术方案的保护范围。

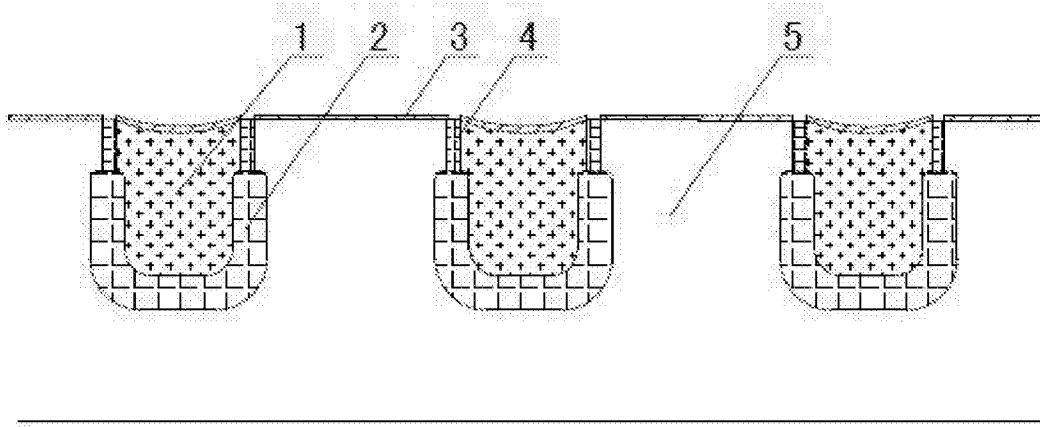


图1

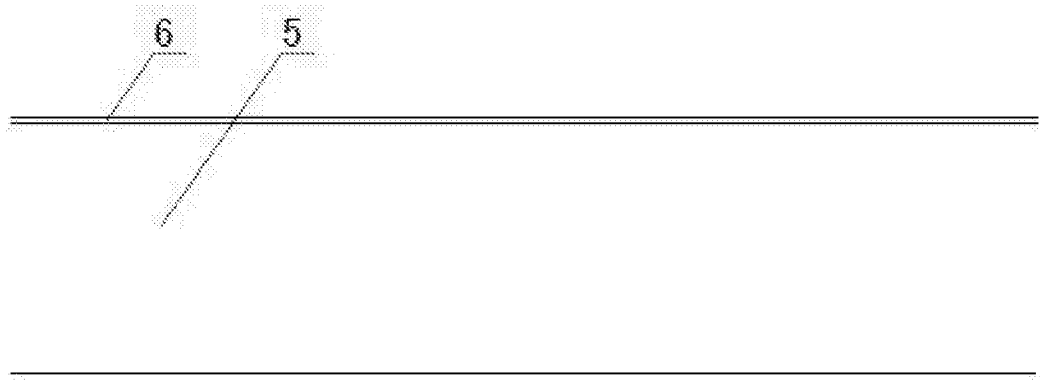


图2

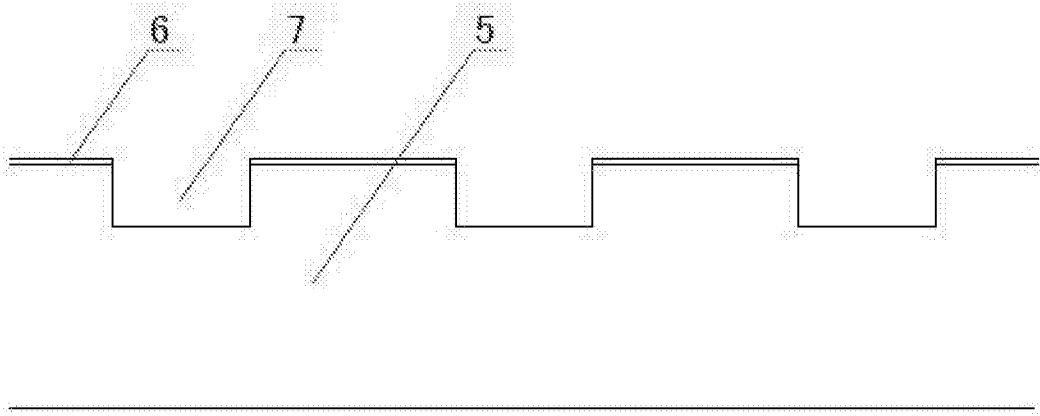


图3

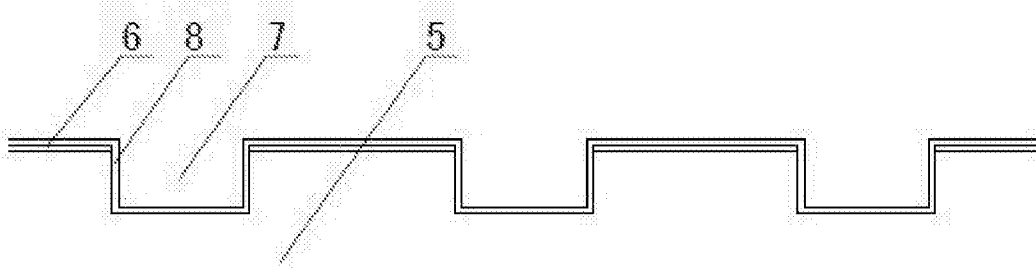


图4

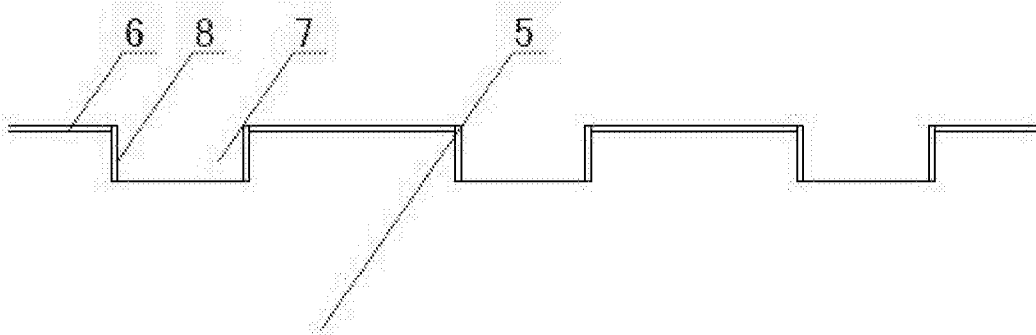


图5

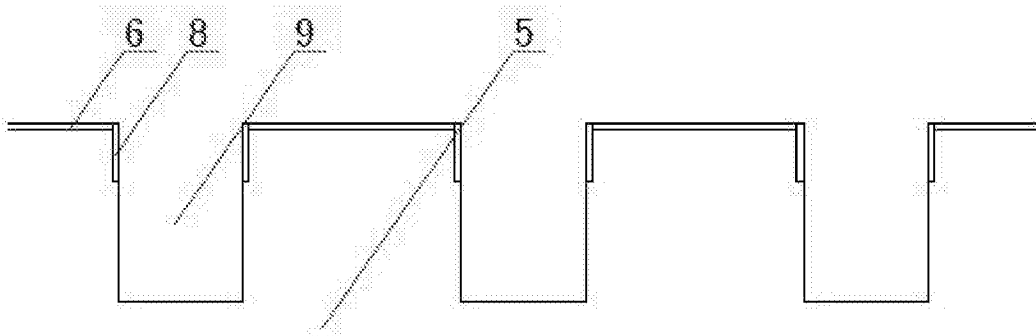


图6

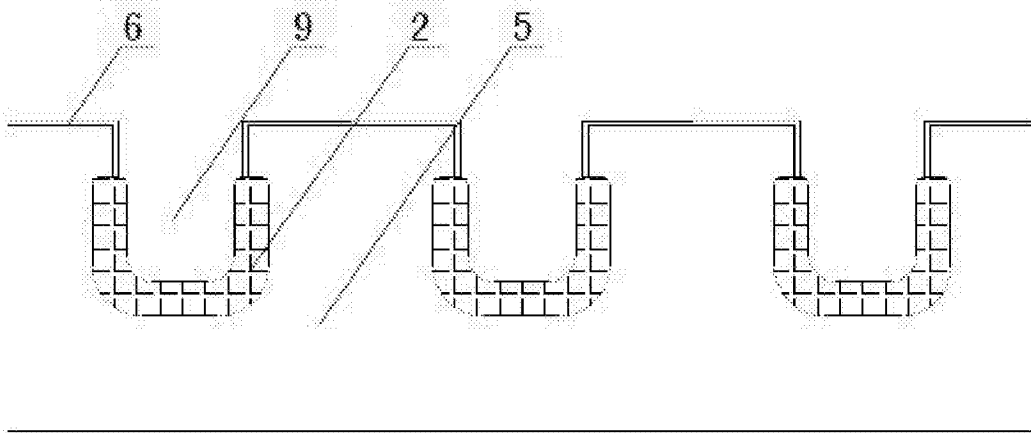


图7

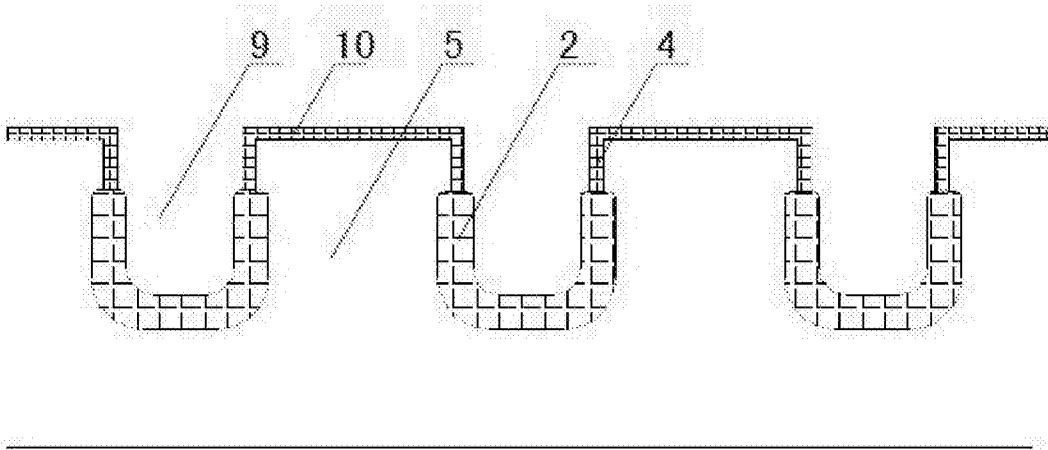


图8

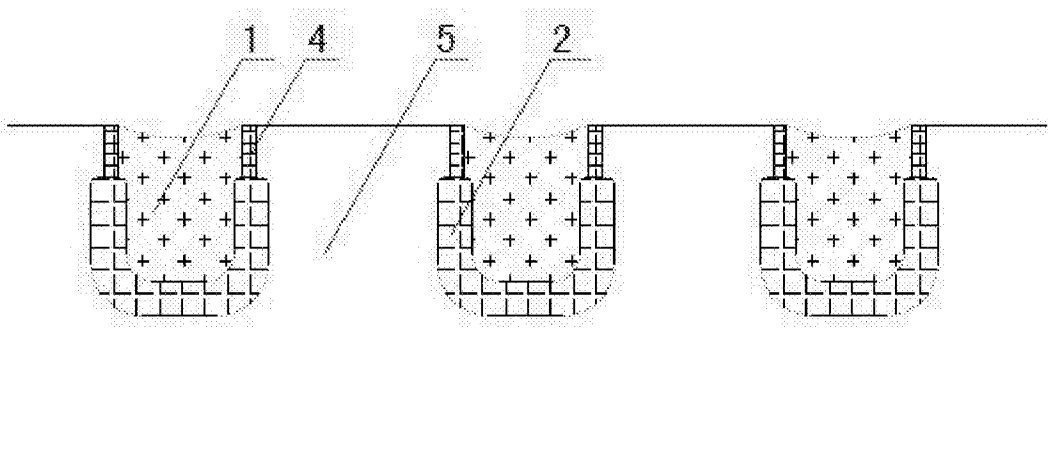


图9

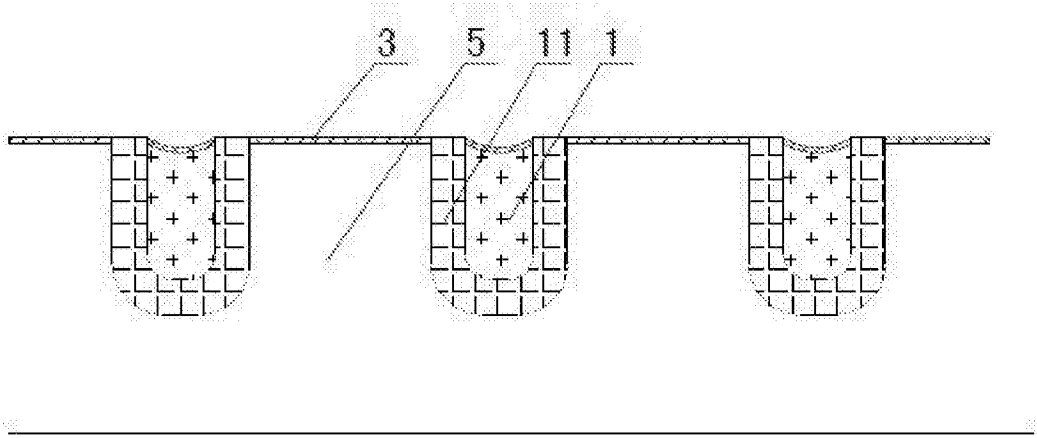


图10