



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년04월30일
(11) 등록번호 10-2661936
(24) 등록일자 2024년04월24일

(51) 국제특허분류(Int. Cl.)
G06F 12/02 (2018.01) G06F 11/10 (2006.01)
G06F 3/06 (2006.01)
(52) CPC특허분류
G06F 12/0246 (2013.01)
G06F 11/1008 (2013.01)
(21) 출원번호 10-2016-0080281
(22) 출원일자 2016년06월27일
심사청구일자 2021년06월25일
(65) 공개번호 10-2018-0001711
(43) 공개일자 2018년01월05일
(56) 선행기술조사문헌
KR1020140100327 A*
KR1020160037349 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
심영섭
서울특별시 송파구 올림픽로 435, 313동 2604호
(신천동, 파크리오)
김재홍
서울특별시 강남구 언주로 107, 201동 802호 (개포동, 현대2차아파트)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 8 항

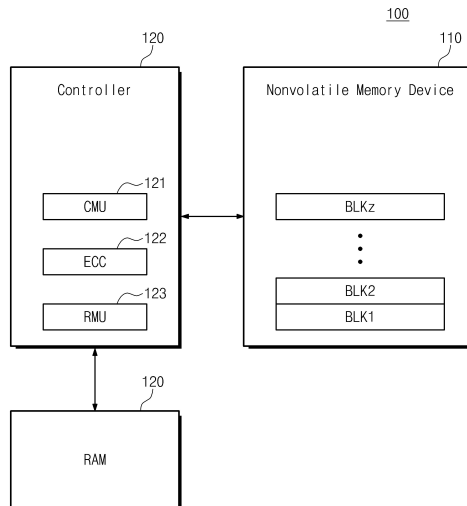
심사관 : 안지현

(54) 발명의 명칭 저장 장치

(57) 요약

저장 장치는 불휘발성 메모리 장치 및 컨트롤러를 포함한다. 불휘발성 메모리 장치는 각각이 하나 이상의 워드 라인들을 포함하는 복수의 영역으로 구분되는 복수의 메모리 블록을 포함하고, 컨트롤러는 복수의 메모리 블록 중에서 선택되는 선택 메모리 블록의 복수의 영역 중 대상 영역에 대해 수행된 읽기 동작들의 횟수가 문턱값에 도달하는 경우, 대상 영역에 대해 신뢰성 검증 읽기 동작을 수행한다.

대표도 - 도1



(52) CPC특허분류

G06F 3/0614 (2013.01)

G06F 3/0679 (2013.01)

G06F 2212/1032 (2013.01)

명세서

청구범위

청구항 1

복수의 메모리 블록을 포함하고, 상기 복수의 메모리 블록의 각각은 복수의 영역으로 구분되고 그리고 상기 복수의 영역의 각각은 하나 이상의 워드 라인들을 포함하는 불휘발성 메모리 장치; 및

상기 복수의 메모리 블록 중에서 선택되는 선택 메모리 블록의 상기 복수의 영역 중 제1 영역에 대해 수행된 읽기 동작들의 횟수가 제1 문턱값에 도달하는 경우, 상기 제1 영역에 대해 신뢰성 검증 읽기 동작을 수행하고, 상기 선택 메모리 블록의 상기 복수의 영역 중 제2 영역에 대해 수행된 읽기 동작들의 횟수가 제2 문턱값에 도달하는 경우, 상기 제2 영역에 대해 상기 신뢰성 검증 읽기 동작을 수행하기 위한 컨트롤러를 포함하는 저장 장치.

청구항 2

제 1 항에 있어서,

상기 컨트롤러는 상기 제1 영역에 대한 상기 신뢰성 검증 읽기 동작을 통해, 상기 제1 영역으로부터 읽힌 데이터의 에러 비트 수를 검출하고, 상기 검출된 에러 비트 수를 기반으로 상기 제1 영역에 저장된 데이터를 리드 리클레임하는 저장 장치.

청구항 3

제 1 항에 있어서,

상기 제2 문턱값은 상기 제1 문턱값보다 큰 저장 장치.

청구항 4

제 1 항에 있어서,

상기 복수의 메모리 블록 각각의 상기 제1 영역 및 상기 제2 영역은 기판에 수직인 방향으로 적층되는 저장 장치.

청구항 5

제 4 항에 있어서,

상기 제1 영역과 상기 기판 사이의 거리는 상기 제2 영역과 상기 기판 사이의 거리보다 짧은 저장 장치.

청구항 6

제 1 항에 있어서,

상기 컨트롤러는 상기 선택 메모리 블록의 프로그램 및 소거 사이클을 기반으로 상기 복수의 메모리 블록을 새로운 복수의 영역으로 구분하는 저장 장치.

청구항 7

제 6 항에 있어서,

상기 컨트롤러는 상기 새로운 복수의 영역에 대한 상기 신뢰성 검증 읽기 동작을 수행하기 위해 각각의 상기 제1 및 제2 문턱값들과 다른 각각의 새로운 문턱값들을 설정하는 저장 장치.

청구항 8

제 6 항에 있어서,

상기 선택 메모리 블록의 프로그램 및 소거 사이클이 기준값에 도달하면, 상기 컨트롤러는 상기 선택 메모리 블

록의 상기 복수의 워드 라인 각각의 열화되는 정도에 기반하여 상기 새로운 복수의 영역을 설정하는 저장 장치.

청구항 9

삭제

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리에 관한 것으로, 더욱 상세하게는 저장 장치에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치(semiconductor memory device)는 실리콘(Si, silicon), 게르마늄(Ge, Germanium), 비화 갈륨(GaAs, gallium arsenide), 인화인듐(InP, indium phosphide) 등과 같은 반도체를 이용하여 구현되는 기억장치이다. 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리 장치(Nonvolatile memory device)로 구분된다.

[0003] 휘발성 메모리 장치는 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치에는 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM) 등이 있다. 불휘발성 메모리 장치는 전원 공급이 차단되어도 저장하고 있던 데이터를 유지하는 메모리 장치이다. 불 휘발성 메모리 장치에는 ROM (Read Only Memory), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM), 플래시 메모리 장치, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등이 있다.

[0004] 특히, 플래시 메모리 장치는 대용량 저장 장치로써 다양한 분야에서 널리 사용된다. 플래시 메모리 장치는 불휘발성 메모리 장치이나, 온도, 읽기 교란, 프로그램 교란, 또는 전하 손실 등과 같은 다양한 요인들로 인하여 저장된 데이터가 소실될 수 있다. 이에 따라, 플래시 메모리 장치에 저장된 데이터의 신뢰성을 보장하기 위한 다양한 기법들이 개발되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 향상된 성능 및 향상된 신뢰성을 갖는 저장 장치를 제공하는데 있다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 저장 장치는 불휘발성 메모리 장치 및 컨트롤러를 포함한다.

[0007] 몇몇 실시 예로서, 불휘발성 메모리 장치는 각각이 하나 이상의 워드 라인들을 포함하는 복수의 영역으로 구분되는 복수의 메모리 블록을 포함하고, 컨트롤러는 복수의 메모리 블록 중에서 선택되는 선택 메모리 블록의 복수의 영역 중 제1 영역에 대해 수행된 읽기 동작들의 횟수가 제1 문턱값에 도달하는 경우, 상기 제1 영역에 대해 신뢰성 검증 읽기 동작을 수행하고, 선택 메모리 블록의 상기 복수의 영역 중 제2 영역에 대해 수행된 읽기 동작들의 횟수가 제2 문턱값에 도달하는 경우, 제2 영역에 대해 신뢰성 검증 읽기 동작을 수행한다.

[0008] 본 발명의 실시 예에 따른 저장 장치는 불휘발성 메모리 장치 및 컨트롤러를 포함한다.

[0009] 몇몇 실시 예로서, 불휘발성 메모리 장치는 각각이 하나 이상의 메모리 블록들을 포함하는 메모리 블록 영역들로 구성되고, 컨트롤러는 메모리 블록 영역들 중 대상 영역에 대해 수행되는 읽기 동작들의 횟수가 문턱값에 도달하는 경우, 대상 영역에 대해 신뢰성 검증 읽기 동작을 수행하고, 신뢰성 검증 읽기 동작에 의해 검출된 에러 비트 수를 기반으로 대상 영역에 대한 리드 리클레임 동작을 수행한다.

발명의 효과

[0010] 본 발명에 따르면, 메모리 블록은 워드 라인들의 열화 정도에 따라 복수의 그룹으로 관리됨으로써, 향상된 성능을 갖는 저장 장치가 제공된다.

도면의 간단한 설명

- [0011] 도 1은 본 발명의 실시 예에 따른 저장 장치(100)를 보여주기 위한 블록도이다.
- 도 2는 도 1의 불휘발성 메모리 장치에 포함되는 메모리 블록을 예시적으로 보여주기 위한 회로도이다.
- 도 3은 도 2의 메모리 블록의 하나의 셀 스트링 구조의 예를 보여주기 위한 개념도이다.
- 도 4는 본 발명의 실시 예에 따라 복수의 영역으로 구분된 메모리 블록을 보여주기 위한 블록도이다.
- 도 5 및 도 6은 도 1의 저장 장치의 동작 방법을 보여주기 위한 블록도이다.
- 도 7은 도 1의 저장 장치의 동작 방법을 보여주기 위한 순서도이다.
- 도 8은 도 1의 저장 장치의 리드 리클레임 방법을 보여주기 위한 순서도이다.
- 도 9는 본 발명의 실시 예에 따른 저장 장치를 보여주기 위한 블록도이다.
- 도 10은 도 8의 저장 장치의 복수의 영역을 조절하기 방법을 보여주기 위한 순서도이다.
- 도 11은 본 발명의 실시 예에 따라 새로운 영역들로 구분된 메모리 블록을 보여주기 위한 블록도이다.
- 도 12는 본 발명의 실시 예에 따라 복수의 영역들로 구분된 메모리 블록들을 보여주기 위한 블록도이다.
- 도 13은 본 발명의 실시 예에 따른 솔리드 스테이트 드라이브(Solid State Drive, SSD)를 보여주기 위한 블록도이다.
- 도 14는 본 발명의 실시 예에 따른 메모리 컨트롤러를 보여주기 위한 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 아래에서는, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.
- [0013] 도 1은 본 발명의 실시 예에 따른 저장 장치(100)를 보여주기 위한 블록도이다. 도 1을 참조하면, 저장 장치(100)는 불휘발성 메모리 장치(110), 컨트롤러(120), 및 랜덤 액세스 메모리(Random Access Memory, RAM)(130)를 포함할 수 있다. 예로서, 저장 장치(100)는 SSD(Solid State Drive), 및 SD 카드(Secure Digital Card) 중 하나일 수 있다.
- [0014] 불휘발성 메모리 장치(110)는 컨트롤러(120)의 제어에 따라 쓰기 동작, 읽기 동작, 및 소거 동작을 수행할 수 있다. 불휘발성 메모리 장치(110)는 컨트롤러(120)로부터 쓰기 커맨드, 어드레스, 및 데이터를 수신하고, 어드레스에 의해 식별되는 저장 공간에 데이터를 기입할 수 있다. 불휘발성 메모리 장치(110)는 컨트롤러(120)로부터 읽기 커맨드 및 어드레스를 수신하고, 어드레스에 의해 식별되는 저장 공간으로부터 데이터를 읽고, 읽힌 데이터를 컨트롤러(120)로 출력할 수 있다. 그리고, 불휘발성 메모리 장치(110)는 컨트롤러(120)로부터 소거 커맨드 및 어드레스를 수신하고, 어드레스에 의해 식별되는 저장 공간의 데이터를 소거할 수 있다.
- [0015] 불휘발성 메모리 장치(110)는 복수의 메모리 블록(BLK1~BLKz, z는 2 이상의 정수)을 포함할 수 있다. 복수의 메모리 블록(BLK1~BLKz) 각각은 복수의 메모리 셀을 포함할 수 있다. 복수의 메모리 셀은 불휘발성 메모리 장치(110)의 저장 공간을 형성할 수 있다. 복수의 메모리 블록(BLK1~BLKz) 각각은 복수의 메모리 셀을 개별적으로 선택하는 것을 지원하는 선택 트랜지스터들을 더 포함할 수 있다. 복수의 메모리 블록(BLK1~BLKz)은 불휘발성 메모리 장치(110)의 동작상의 특징에 따라 또는 구조적인 특징에 따라 구별될 수 있다.
- [0016] 복수의 메모리 블록(BLK1~BLKz)의 임의의 영역은 워드 라인들에 대한 영역 정보를 수 있다. 예로서, 임의의 영역은 보안 영역(Security Area)일 수 있다. 보안 영역은 배드 영역(Bad Area)에 대한 정보를 포함할 수 있다. 배드 영역이란, 신뢰성이 낮은 것으로 판별되는 영역으로서, 배드 영역에 포함되는 메모리 셀들은 사용되지 않는다. 추가적으로, 보안 영역은 워드 라인들에 대한 영역 정보가 포함할 수 있다. 본 발명은 이에 한정되지 않고, 영역 정보는 불휘발성 메모리 장치(110)의 읽기 전용 메모리(Read Only Memory, ROM)에 저장될 수 있다.
- [0017] 영역 정보는 워드 라인들 각각에 연결된 메모리 셀들의 읽기 교란 특성에 기반하여 정해진 복수의 영역에 대한

정보를 의미할 수 있다. 메모리 블록에서 읽기 동작이 수행될 때마다, 읽기 교란이 발생할 수 있다. 읽기 교란은 읽기 대상으로 선택되지 않은 메모리 셀들에 스트레스를 줄 수 있다. 예로서, 읽기 교란은 선택되지 않은 메모리 셀들의 문턱 전압을 변화시킬 수 있다. 읽기 교란이 누적되면, 선택되지 않은 메모리 셀들에 저장된 데이터의 오류가 발생할 수 있다.

- [0018] 읽기 교란의 영향은 워드 라인들의 위치에 따라 다를 수 있다. 따라서, 워드 라인들은 읽기 교란의 영향에 기반하여 복수의 영역으로 나누어질 수 있다. 그리고, 복수의 영역으로 나누어진 워드 라인들은 서로 상이하게 관리될 수 있다. 저장 장치(100)가 호스트 장치와 연결되면, 불휘발성 메모리 장치(110)는 컨트롤러(120)로 영역 정보를 제공할 수 있다. 영역 정보는 도 4를 참조하여 자세히 설명된다.
- [0019] 복수의 메모리 블록(BLK1~BLKz)은 낸드 플래시 메모리(NAND Flash Memory)를 기반으로 제공될 수 있다. 본 발명의 범위는 이에 한정되지 않고, 복수의 메모리 블록(BLK1~BLKz)은 노어 플래시 메모리(NOR Flash Memory), MRAM(Magnetic Random Access Memory), PRAM(Phase-change RAM), ReRAM(Resistive RAM), 및 FRAM(Ferroelectrics RAM) 중 적어도 하나를 기반으로 제공될 수 있다.
- [0020] 컨트롤러(120)는 RAM(130)을 이용하여 저장 장치(100)를 관리할 수 있다. 예를 들어, 컨트롤러(120)는 불휘발성 메모리 장치(110)에 기입될 데이터 또는 불휘발성 메모리 장치(110)로부터 읽히는 데이터를 RAM(130)에 임시로 저장할 수 있다. 컨트롤러(120)는 불휘발성 메모리 장치(110)를 관리하기 위해 필요한 메타 데이터를 RAM(130)에 로드할 수 있다.
- [0021] 컨트롤러(120)는 불휘발성 메모리 장치(110)에 저장된 데이터의 신뢰성을 보장하기 위한 카운트 관리 유닛(121), 에러 정정 코드(error correction code, ECC) 회로(122), 및 리클레임(Reclaim) 관리 유닛(123)을 포함할 수 있다.
- [0022] 카운트 관리 유닛(121) 및 리클레임 관리 유닛(123)은 하드웨어 형태, 소프트웨어 형태, 또는 하이브리드 형태로 구현될 수 있다.
- [0023] 하드웨어 형태에서, 카운트 관리 유닛(121) 및 리클레임 관리 유닛(123)은 뒤에서 설명될 동작들을 수행하기 위해 하나 이상의 디지털 및/또는 아날로그 회로들을 포함할 수 있다. 소프트웨어 형태에서, 카운트 관리 유닛(121) 및 리클레임 관리 유닛(123)은 뒤에서 설명될 동작들을 수행하도록 구성되는 하나 이상의 명령어 코드들을 포함할 수 있다. 명령어 코드는 컨트롤러(120)에 포함되는 하나 이상의 프로세서들에 의해 명령어 집합으로 컴파일 또는 번역되고 처리될 수 있다.
- [0024] 카운트 관리 유닛(121)은 호스트 장치로부터 읽기 커맨드가 수신되는 횟수를 카운트할 수 있다. 본 발명의 실시 예에 따라, 읽기 커맨드에 관한 카운트는 “읽기 카운트”라 할 수 있다.
- [0025] 읽기 카운트 값이 문턱값에 도달하는 경우, 카운트 관리 유닛(121)은 특정 워드 라인에 대한 신뢰성 검증 읽기 동작을 수행할 수 있다. 예를 들어, 카운트 관리 유닛(121)은 불휘발성 메모리 장치(110)로부터 수신된 영역 정보에 기초하여, 특정 워드 라인에 대한 신뢰성 검증 읽기 동작을 수행할 수 있다. 신뢰성 검증 읽기 동작은 도 5 내지 도 7을 참조하여 자세히 설명된다.
- [0026] ECC 회로(122)는 불휘발성 메모리 장치(110)로부터 읽은 데이터의 에러를 검출 및 정정할 수 있다. 예를 들어, 불휘발성 메모리 장치(110)에 저장된 데이터는 프로그램 및 읽기 동작에 따른 열화, 온도, 및 시간 등과 같은 다양한 요인들로 인한 에러를 포함할 수 있다. ECC 회로(122)는 에러가 포함된 데이터의 에러를 검출하고, 정정할 수 있다. ECC 회로(122)는 신뢰성 검증 읽기 동작에 의해, 불휘발성 메모리 장치(110)로부터 읽은 데이터에 대한 에러를 검출할 수 있다. 신뢰성 검증 읽기 동작은 임의의 워드 라인에 포함된 메모리 셀들로부터 데이터를 읽고, 읽힌 데이터의 비트 에러율을 측정하는 동작을 포함할 수 있다.
- [0027] 불휘발성 메모리 장치(110)로부터 읽힌 데이터에 포함된 에러가 기준값 이상인 경우(예로서, 에러 비트 수가 기준 에러 비트 수 이상인 경우), 리클레임 관리 유닛(123)은 읽힌 데이터를 저장한 메모리 셀들을 포함하는 메모리 블록, 또는 그 메모리 블록의 일부의 데이터를 다른 메모리 블록으로 이동시킬 수 있다. 즉, 리클레임 관리 유닛(123)은 다수의 에러 비트를 포함하는 데이터가 ECC 회로(122)의 에러 정정 능력을 초과하는 경우, 데이터의 신뢰성을 유지하기 위해 메모리 블록의 데이터를 다른 메모리 블록으로 이동시킬 수 있다. 이러한 데이터 이동 동작은 “리드 리클레임(read reclaim)”이라 한다.
- [0028] 예로서, 본 발명의 실시 예에 따른 컨트롤러(120)의 리클레임 관리 유닛(123)은 리드 리클레임 또는 부분 리드 리클레임(partial read reclaim)을 수행할 수 있다.

- [0029] 도 2는 도 1의 불휘발성 메모리 장치에 포함되는 메모리 블록을 예시적으로 보여주기 위한 회로도이다. 도 2를 참조하여 3차원 구조의 제z 메모리 블록(BLKz)이 설명된다. 본 발명의 범위는 이에 한정되지 않고, 다른 메모리 블록들(BLK1~BLKz-1)은 제z 메모리 블록(BLKz)과 유사 또는 동일한 구조를 가질 수 있다. 도 2를 참조하면, z 메모리 블록(BLKz)은 복수의 셀 스트링(CS11, CS12, CS21, CS22)을 포함한다. 복수의 셀 스트링(CS11, CS12, CS21, CS22)은 행 방향(row direction) 및 열 방향(column direction)을 따라 배치되어 행들 및 열들을 형성할 수 있다.
- [0030] 복수의 셀 스트링(CS11, CS12, CS21, CS22) 각각은 복수의 셀 트랜지스터를 포함한다. 예를 들어, 복수의 셀 스트링(CS11, CS12, CS21, CS22) 각각은 스트링 선택 트랜지스터들(SSTa, SSTb), 복수의 메모리 셀(MC1~MC8), 접지 선택 트랜지스터들(GSTa, GSTb), 및 더미 메모리 셀들(DMC1, DMC2)을 포함할 수 있다. 예시적으로, 복수의 셀 스트링(CS11, CS12, CS21, CS22)에 포함된 복수의 셀 트랜지스터 각각은 전하 트랩형 플래시(CTF; charge trap flash) 메모리 셀일 수 있다.
- [0031] 복수의 메모리 셀(MC1~MC8)은 직렬 연결되며, 행 방향 및 열 방향에 의해 형성된 평면과 수직인 높이 방향(height direction)으로 적층된다. 스트링 선택 트랜지스터들(SSTa, SSTb)은 직렬 연결되고, 직렬 연결된 스트링 선택 트랜지스터들(SSTa, SSTb)은 복수의 메모리 셀(MC1~MC8) 및 비트 라인(BL) 사이에 제공된다. 접지 선택 트랜지스터들(GSTa, GSTb)은 직렬 연결되고, 직렬 연결된 접지 선택 트랜지스터들(GSTa, GSTb)은 복수의 메모리 셀(MC1~MC8) 및 공통 소스 라인(CSL) 사이에 제공된다.
- [0032] 예시적으로, 복수의 메모리 셀(MC1~MC8) 및 접지 선택 트랜지스터들(GSTa, GSTb) 사이에 제1 더미 메모리 셀(DMC1)이 제공될 수 있다. 예시적으로, 복수의 메모리 셀(MC1~MC8) 및 스트링 선택 트랜지스터들(SSTa, SSTb) 사이에 제2 더미 메모리 셀(DMC2)이 제공될 수 있다.
- [0033] 셀 스트링들(CS11, CS12, CS21, CS22)의 접지 선택 트랜지스터들(GSTa, GSTb)은 접지 선택 라인(GSL)에 공통으로 연결될 수 있다. 예시적으로, 동일한 행의 접지 선택 트랜지스터들은 동일한 접지 선택 라인에 연결될 수 있고, 다른 행의 접지 선택 트랜지스터들은 다른 접지 선택 라인에 연결될 수 있다. 예를 들어, 제1 행의 셀 스트링들(CS11, CS12)의 제1 접지 선택 트랜지스터들(GSTa)은 제1 접지 선택 라인에 연결될 수 있고, 제2 행의 셀 스트링들(CS21, CS22)의 제1 접지 선택 트랜지스터들(GSTa)은 제2 접지 선택 라인에 연결될 수 있다.
- [0034] 예시적으로, 도면에 도시되지는 않았으나, 기관으로부터 동일한 높이에 제공되는 접지 선택 트랜지스터들은 동일한 접지 선택 라인에 연결될 수 있고, 다른 높이에 제공되는 접지 선택 트랜지스터들은 다른 접지 선택 라인에 연결될 수 있다. 예를 들어, 셀 스트링들(CS11, CS12, CS21, CS22)의 제1 접지 선택 트랜지스터들(GSTa)은 제1 접지 선택 라인에 연결되고, 제2 접지 선택 트랜지스터들(GSTb)은 제2 접지 선택 라인에 연결될 수 있다.
- [0035] 기관 또는 접지 선택 트랜지스터(GSTa, GSTb)로부터 동일한 높이의 메모리 셀들은 동일한 워드 라인에 공통으로 연결되고, 서로 다른 높이의 메모리 셀들은 서로 다른 워드 라인에 연결된다. 예를 들어, 셀 스트링들(CS11, CS12, CS21, CS22)의 제1 내지 제8 메모리 셀들(MC8)은 제1 내지 제8 워드 라인들(WL1~WL8)에 각각 공통으로 연결된다.
- [0036] 동일한 높이의 제1 스트링 선택 트랜지스터들(SSTa) 중 동일한 행의 스트링 선택 트랜지스터들은 동일한 스트링 선택 라인과 연결되고, 다른 행의 스트링 선택 트랜지스터들은 다른 스트링 선택 라인과 연결된다. 예를 들어, 제1 행의 셀 스트링들(CS11, CS12)의 제1 스트링 선택 트랜지스터들(SSTa)은 스트링 선택 라인(SSL1a)과 공통으로 연결되고, 제2 행의 셀 스트링들(CS21, CS22)의 제1 스트링 선택 트랜지스터들(SSTa)은 스트링 선택 라인(SSL1a)과 공통으로 연결된다.
- [0037] 마찬가지로, 동일한 높이의 제2 스트링 선택 트랜지스터들(SSTb) 중 동일한 행의 스트링 선택 트랜지스터들은 동일한 스트링 선택 라인과 연결되고, 다른 행의 스트링 선택 트랜지스터들은 다른 스트링 선택 라인과 연결된다. 예를 들어, 제1 행의 셀 스트링들(CS11, CS12)의 제2 스트링 선택 트랜지스터들(SSTb)은 스트링 선택 라인(SSL1b)과 공통으로 연결되고, 제2 행의 셀 스트링들(CS21, CS22)의 제2 스트링 선택 트랜지스터들(SSTb)은 스트링 선택 라인(SSL2b)과 공통으로 연결된다.
- [0038] 비록 도면에 도시되지는 않았으나, 동일한 행의 셀 스트링들의 스트링 선택 트랜지스터들은 동일한 스트링 선택 라인에 공통으로 연결될 수 있다. 예를 들어, 제1 행의 셀 스트링들(CS11, CS12)의 제1 및 제2 스트링 선택 트랜지스터들(SSTa, SSTb)은 동일한 스트링 선택 라인에 공통으로 연결될 수 있다. 제2 행의 셀 스트링들(CS21, CS22)의 제1 및 제2 스트링 선택 트랜지스터들(SSTa, SSTb)은 동일한 스트링 선택 라인에 공통으로 연결될 수 있다.

- [0039] 예시적으로, 동일한 높이의 더미 메모리 셀들은 동일한 더미 워드 라인과 연결되고, 다른 높이의 더미 메모리 셀들은 다른 더미 워드 라인과 연결된다. 예를 들어, 제1 더미 메모리 셀들(DMC1)은 제1 더미 워드 라인(DWL1)과 연결되고, 제2 더미 메모리 셀들(DMC2)은 제2 더미 워드 라인(DWL2)과 연결된다.
- [0040] 예시적으로, 도 2 도시된 제z 메모리 블록(BLKz)은 예시적인 것이며, 셀 스트링들의 개수는 증가 또는 감소할 수 있으며, 셀 스트링들의 개수에 따라 셀 스트링들이 구성하는 행들 및 열들의 개수는 증가 또는 감소할 수 있다. 또한, 제z 메모리 블록(BLKz)의 셀 트랜지스터들(GST, MC, DMC, SST 등)의 개수들은 각각 증가 또는 감소될 수 있으며, 셀 트랜지스터들의 개수들에 따라 제z 메모리 블록(BLKz)의 높이가 증가 또는 감소할 수 있다. 또한, 셀 트랜지스터들의 개수들에 따라 셀 트랜지스터들과 연결된 라인들(GSL, WL, DWL, SSL 등)의 개수들이 증가 또는 감소될 수 있다.
- [0041] 3차원 구조의 제z 메모리 블록(BLKz)이 복수의 레벨들로 구성되고, 레벨들 사이에서 워드 라인들 또는 비트 라인들이 공유되는 구성은 미국등록특허공보 제7,679,133호, 미국등록특허공보 제8,553,466호, 미국등록특허공보 제8,654,587호, 미국등록특허공보 제8,559,235호, 그리고 미국공개특허공보 제2011/0233648호에 개시되어 있으며, 본 발명의 레퍼런스로 포함된다.
- [0042] 도 3은 도 2의 메모리 블록의 하나의 셀 스트링 구조의 예를 보여주기 위한 개념도이다. 도 2 및 도 3을 참조하면, 기판(SUB) 위에 기판과 수직인 방향으로 신장되어 기판(SUB)과 접촉하는 필라(PL)가 제공될 수 있다. 도 3에 도시된 접지 선택 라인(GSL), 워드 라인들(WL1~WL8), 그리고 스트링 선택 라인들(SSL)은 각각 기판(SUB)과 평행한 도전 물질들, 예를 들어 금속 물질들로 형성될 수 있다. 필라(PL)는 접지 선택 라인(GSL), 워드 라인들(WL1~WL8), 그리고 스트링 선택 라인들(SSL)을 형성하는 도전 물질들을 관통하여 기판(SUB)과 접촉할 수 있다.
- [0043] 도 3에서, 절단 선(A-A')에 따른 단면도가 함께 도시되어 있다. 예시적으로, 제1 워드 라인(WL1)에 대응하는 제1 메모리 셀(MC1)의 단면도가 도시된다. 필라(PL)는 원통형의 바디(BD)를 포함할 수 있다. 바디(BD)의 내부에 에어갭(AG)이 제공될 수 있다. 바디(BD)는 P-타입 실리콘을 포함하며, 채널이 형성되는 영역일 수 있다. 필라(PL)는 바디(BD)를 둘러싸는 원통형의 터널 절연막(TI) 및 터널 절연막(TI)을 둘러싸는 원통형의 전하 포획 막(CT)을 더 포함할 수 있다. 제1 워드 라인(WL1) 및 필라(PL)의 사이에 블로킹 절연막(BI)이 제공될 수 있다. 바디(BD), 터널 절연막(TI), 전하 포획 막(CT), 블로킹 절연막(BI), 그리고 제1 워드 라인(WL1)은 기판(SUB) 또는 기판(SUB)의 상부 면과 수직인 방향으로 형성된 전하 포획형 트랜지스터일 수 있다. 스트링 선택 트랜지스터(SST), 접지 선택 트랜지스터(GST) 및 다른 메모리 셀들은 제1 메모리 셀(MC1)과 동일한 구조를 가질 수 있다.
- [0044] 셀 스트링(CS)의 제조 공정에서, 필라(PL)의 폭 또는 기판(SUB)의 상부 면과 평행한 단면적은 기판(SUB)과의 거리가 감소할수록 작게 형성될 수 있다. 따라서, 접지 선택 트랜지스터(GST), 메모리 셀들(MC) 및 스트링 선택 트랜지스터들(SST)의 바디들에 동일한 전압이 인가되고 그리고 접지 선택 라인(GSL), 워드 라인들(WL1~WL8) 및 스트링 선택 라인들(SSL)에 동일한 전압이 인가될 때에, 기판(SUB)에 인접한 메모리 셀 또는 접지 선택 트랜지스터(GST)에 형성되는 전기장은 기판(SUB)과 먼 메모리 셀 또는 스트링 선택 트랜지스터(SST)에 형성되는 전기장보다 크다. 이러한 특징은 읽기 동작이 수행되는 동안에 발생하는 읽기 교란에 영향을 준다.
- [0045] 도 4는 본 발명의 실시 예에 따라 복수의 영역으로 구분된 메모리 블록을 보여주기 위한 블록도이다. 도 4에 도시된 바와 같이 제z 메모리 블록(BLKz)은 복수의 영역(Zone_1a~Zone_4a)으로 구분될 수 있다. 본 발명의 범위는 이에 한정되지 않고, 다른 메모리 블록들(BLK1~BLKz-1)은 제z 메모리 블록(BLKz)과 유사 또는 동일하게 복수의 영역(Zone_1a~Zone_4a)으로 구분될 수 있다.
- [0046] 도 2, 도 3 및 도 4를 참조하면, 복수의 영역(Zone_1a~Zone_4a)이 읽기 교란의 영향에 기반하여 설정될 수 있다. 예로서, 워드 라인들(WL1~WL8) 및 기판(SUB) 사이의 거리에 따라, 복수의 영역(Zone_1a~Zone_4a)이 설정될 수 있다. 기판(SUB)과 거리가 가장 짧은 제1 및 제2 워드 라인들(WL1, WL2)은 제1 영역(Zone_1a)으로 설정될 수 있다.
- [0047] 그리고, 기판(SUB)과의 거리에 따라, 제3, 제4, 및 제5 워드 라인들(WL3, WL4, WL5)은 제2 영역(Zone_2a)으로 설정되고, 제6 및 제7 워드 라인들(WL6, WL7)은 제3 영역(Zone_3a)으로 설정되고, 그리고 제8 워드 라인(WL8)은 제4 영역(Zone_4a)으로 설정될 수 있다. 예로서, 읽기 교란은 기판(SUB)으로부터 먼 워드 라인보다 기판(SUB)에 가까운 워드 라인에서 더 클 수 있다.
- [0048] 본 발명의 실시 예에 따라, 복수의 영역(Zone_1a~Zone_4a) 각각의 읽기 카운트가 정해진 문턱값에 도달하면, 복수의 영역(Zone_1a~Zone_4a) 각각에는 신뢰성 검증 읽기 동작이 수행될 수 있다. 예로서, 기판(SUB)과 가까운 영역에 신뢰성 검증 읽기 동작이 더 자주 수행될 수 있다.

- [0049] 예로서, 제1 영역(Zone_1a)에 포함된 워드 라인들(WL1, WL2)에 대한 읽기 카운트가 제1 문턱값(N1)에 도달하면, 워드 라인들(WL1, WL2) 각각에 대해 신뢰성 검증 읽기 동작이 수행될 수 있다. 제2 영역(Zone_2a)에 포함된 워드 라인들(WL3, WL4, WL5)에 대한 읽기 카운트가 제2 문턱값(N2)에 도달하면, 워드 라인들(WL3, WL4, WL5) 각각에 대해 신뢰성 검증 읽기 동작이 수행될 수 있다. 이때, 제2 문턱값(N2)은 제1 문턱값(N1)보다 클 수 있다.
- [0050] 제3 영역(Zone_3a)에 포함된 워드 라인들(WL6, WL7)에 대한 읽기 카운트가 제3 문턱값(N3)에 도달하면, 워드 라인들(WL6, WL7) 각각에 대해 신뢰성 검증 읽기 동작이 수행될 수 있다. 이때, 제3 문턱값(N3)은 제2 문턱값(N2)보다 클 수 있다. 그리고, 제4 영역(Zone_4a)에 포함된 워드 라인(WL8)에 대한 읽기 카운트가 제4 문턱값(N4)에 도달하면, 워드 라인들(WL8)에 대해 신뢰성 검증 읽기 동작이 수행될 수 있다. 이때, 제4 문턱값(N4)은 제3 문턱값(N3)보다 클 수 있다.
- [0051] 상술된 바와 같이, 워드 라인들(WL1~WL8)은 기판(SUB)과의 거리에 따라, 복수의 영역(Zone_1a~Zone_4a)으로 구분될 수 있다. 그리고, 복수의 영역(Zone_1a~Zone_4a) 각각에서 정해진 횟수의 읽기 동작이 수행되면, 신뢰성 검증 읽기 동작이 수행될 수 있다. 예로서, 복수의 영역(Zone_1a~Zone_4a) 각각에 수행되는 읽기 동작들의 횟수는 복수의 영역(Zone_1a~Zone_4a) 각각에 포함된 하나 이상의 워드 라인들에 수행된 읽기 동작들의 횟수를 의미한다.
- [0052] 신뢰성 검증 읽기 동작에 의해, 기준값 이상의 에러 비트 수를 갖는 영역이 발견되면, 저장 장치(100)는 제z 메모리 블록(BLKz)에 저장된 데이터의 일부 또는 전체를 다른 블록으로 리드 리클레임할 수 있다. 이러한 동작을 통해, 저장 장치(100)의 데이터 신뢰성은 향상될 수 있다. 예로서, 신뢰성 검증 읽기 동작이 수행되는 메모리 블록(예로서, 제z 메모리 블록(BLKz))은 선택 메모리 블록일 수 있다.
- [0053] 도 5 및 도 6은 도 1의 저장 장치의 동작 방법을 보여주기 위한 블록도이다. 도 1, 도 4 및 도 5를 참조하면 컨트롤러(120)의 카운트 관리 유닛(122)은 호스트 장치로부터 수신된 읽기 커맨드의 횟수를 카운트하고, 읽기 커맨드를 관리할 수 있다. 예로서, 선택 메모리 블록(BLKz)의 제1 영역(Zone_1a)의 워드 라인들(WL1, WL2)에 대한 읽기 카운트가 제1 문턱값(N1)에 도달하면, 카운트 관리 유닛(122)은 워드 라인들(WL1, WL2) 각각에 대해 신뢰성 검증 읽기 동작을 수행할 수 있다. 예로서, 컨트롤러(120)는 워드 라인들(WL1, WL2) 전체에 대한 읽기 커맨드의 횟수를 카운트하고, 카운트된 읽기 커맨드의 횟수를 제1 문턱값(N1)과 비교할 수 있다.
- [0054] 컨트롤러(120)는 제1 워드 라인(WL1)으로부터 데이터(DATA)를 읽을 수 있다. 예로서, 제1 워드 라인(WL1)으로부터 읽힌 데이터(read DATA)는 에러 비트를 포함할 수 있다. ECC 회로(122)는 읽힌 데이터(read DATA)의 에러 비트 수를 검출하고, 에러를 정정할 수 있다. 읽힌 데이터(read DATA)의 에러 비트 수가 기준 에러 비트 수 이하인 경우, ECC 회로(122)는 데이터의 에러를 정정할 수 있다. 그리고, 카운트 관리 유닛(121)은 제1 워드 라인(WL1)에 대해 수행된 유사 또는 동일한 방법으로 제2 워드 라인(WL2)에 대해 신뢰성 검증 읽기 동작을 수행할 수 있다.
- [0055] 읽힌 데이터(read DATA)의 에러 비트 수가 기준 에러 비트 수를 초과하는 경우, ECC 회로(122)는 에러 비트 정보(BE1)를 리클레임 관리 유닛(123)으로 제공할 수 있다. 예로서, 에러 비트 정보(BE1)는 읽힌 데이터(read DATA)의 에러 비트 수에 대한 정보를 포함할 수 있다. 리클레임 관리 유닛(123)은 제3 워드 라인(WL3)에 대해 리드 리클레임 동작을 수행할 수 있다. 본 발명은 이에 한정되지 않고, 리클레임 관리 유닛(123)은 워드 라인들(WL1, WL2)에 대해 리드 리클레임 동작을 수행할 수 있다. 또는 리클레임 관리 유닛(123)은 모든 워드 라인들(WL1~WL8)에 대해 리드 리클레임 동작을 수행할 수 있다.
- [0056] 도 6을 참조하면, 카운트 관리 유닛(122)은 호스트 장치로부터 수신된 읽기 커맨드의 횟수를 카운트하고, 읽기 커맨드를 관리할 수 있다. 예로서, 제2 영역(Zone_2a)의 워드 라인들(WL3, WL4, WL5)에 대한 읽기 카운트가 제2 문턱값(N2)에 도달하는 경우, 카운트 관리 유닛(122)은 워드 라인들(WL3, WL4, WL5) 각각에 대해 신뢰성 검증 읽기 동작을 수행할 수 있다. 컨트롤러(120)는 워드 라인들(WL3, WL4, WL5) 전체에 대한 읽기 커맨드의 횟수를 카운트하고, 카운트된 읽기 커맨드의 횟수를 제2 문턱값(N2)과 비교할 수 있다.
- [0057] ECC 회로(122)는 읽힌 데이터(read DATA)의 에러 비트 수를 검출하고, 에러를 정정할 수 있다. 읽힌 데이터(read DATA)의 에러 비트 수가 기준 에러 비트 수 이하인 경우, ECC 회로(122)는 데이터의 에러를 정정할 수 있다. 그리고, 카운트 관리 유닛(121)은 제3 워드 라인(WL3)에 대해 수행된 방법과 유사 또는 동일한 방법으로 제4 및 제5 워드 라인들(WL4, WL5)에 신뢰성 검증 읽기 동작을 수행할 수 있다.
- [0058] 읽힌 데이터(read DATA)의 에러 비트 수가 기준 에러 비트 수를 초과하는 경우, ECC 회로(122)는 에러 비트 정보(BE3)를 리클레임 관리 유닛(123)으로 제공할 수 있다. 예로서, 에러 비트 정보(BE3)는 읽힌 데이터(read

DATA)의 에러 비트 수에 대한 정보를 포함할 수 있다. 리클레임 관리 유닛(123)은 제3 워드 라인(WL3)에 대해 리드 리클레임 동작을 수행할 수 있다. 본 발명은 이에 한정되지 않고, 리클레임 관리 유닛(123)은 제2 영역(Zone_2a)의 워드 라인들(WL3, WL4, WL5)에 대해 리드 리클레임 동작을 수행할 수 있다. 또는 리클레임 관리 유닛(123)은 모든 워드 라인들(WL1~WL8)에 대해 리드 리클레임 동작을 수행할 수 있다.

- [0059] 도 5 및 도 6을 참조하여 설명된 것과 유사하게, 제3 및 제4 영역들(Zone_3a, Zone_4a) 각각에 대해 읽기 카운트가 문턱값(N3, N4)에 도달하면, 제3 및 제4 영역들(Zone_3a, Zone_4a) 각각에 포함된 워드 라인들에 대해 신뢰성 검증 읽기 동작이 수행될 수 있다.
- [0060] 도 7은 도 1의 저장 장치의 동작 방법을 보여주기 위한 순서도이다. 도 1, 및 도 5 내지 도 7을 참조하면, S110 단계에서, 읽기 커맨드 및 읽기 어드레스가 수신된다. 예로서, 외부의 호스트 장치로부터 읽기 커맨드 및 읽기 어드레스가 컨트롤러(120)로 수신될 수 있다.
- [0061] S120 단계에서, 컨트롤러(120)는 선택 메모리 블록의 복수의 영역(Zone_1a~Zone4a) 각각에 대한 읽기 커맨드의 개수를 카운트할 수 있다. 예로서, 컨트롤러(120)는 복수의 영역(Zone_1a~Zone4a) 각각에 대한 읽기 카운트를 관리할 수 있다.
- [0062] S130 단계에서, 컨트롤러(120)는 복수의 영역(Zone_1a~Zone4a) 중 적어도 하나에 대한 읽기 카운트가 문턱값에 도달했는지 판단할 수 있다. 예로서, 읽기 커맨드의 카운트가 문턱값에 도달한 영역이 존재하지 않으면, 신뢰성 검증 읽기는 수행되지 않는다. 읽기 카운트가 문턱값에 도달한 영역이 존재하는 경우, S140 단계에서, 신뢰성 검증 읽기가 수행된다.
- [0063] 예로서, 제1 영역(Zone_1a)에 대한 읽기 카운트가 제1 문턱값(N1)에 도달하면, 컨트롤러(120)는 제1 영역(Zone_1a)에 포함된 워드 라인들(WL1, WL2)에 대해 신뢰성 검증 읽기 동작을 수행할 수 있다. 이와 같이, 읽기 카운트가 정해진 문턱값에 도달하면, 컨트롤러(120)는 문턱값에 대응하는 영역에 대한 신뢰성 검증 읽기 동작을 수행할 수 있다.
- [0064] 도 8은 도 1의 저장 장치의 리드 리클레임 방법을 보여주기 위한 순서도이다. 도 1, 및 도 4 내지 도 7을 참조하면, S210 단계에서, 컨트롤러(210)는 읽은 데이터에 대한 에러 비트를 감지할 수 있다. 예로서, 컨트롤러(120)는 신뢰성 검증 읽기 동작을 통해 불휘발성 메모리 장치(110)로부터 데이터를 읽어오고, 읽은 데이터에 대한 에러 비트를 감지할 수 있다.
- [0065] S220 단계에서, 컨트롤러(120)는 읽은 데이터의 에러 비트 수 및 기준 에러 비트 수를 비교할 수 있다. 예로서, 읽은 데이터의 에러 비트 수가 기준 에러 비트 수 이하이면, 리드 리클레임 동작은 수행되지 않는다. 하지만, 읽은 데이터의 에러 비트 수가 기준 에러 비트 수를 초과하면, S230 단계에서, 컨트롤러(120)는 리드 리클레임 동작을 수행한다.
- [0066] 도 7 및 도 8을 참조하면, 본 발명의 실시 예에 따른 컨트롤러(120)는 선택 메모리 블록의 워드 라인들을 복수의 영역(Zone_1a~Zone4a)으로 나누어 관리할 수 있다. 컨트롤러(120)는 복수의 영역(Zone_1a~Zone4a) 각각에 대한 읽기 카운트를 관리하고, 읽기 카운트에 기반하여 복수의 영역(Zone_1a~Zone4a) 각각에 신뢰성 검증 읽기 동작을 수행할 수 있다. 그리고 컨트롤러(120)는 신뢰성 검증 읽기 동작에 의해 획득된 에러 비트 수에 기반하여, 선택 메모리 블록의 리드 리클레임 동작을 수행할 수 있다. 따라서, 저장 장치(100)의 데이터 신뢰성이 향상될 수 있다.
- [0067] 도 9는 본 발명의 실시 예에 따른 저장 장치를 보여주기 위한 블록도이다. 도 9를 참조하면, 저장 장치(200)는 불휘발성 메모리 장치(210), 컨트롤러(220), 및 RAM(230)을 포함할 수 있다. 컨트롤러(220)는 카운트 관리 유닛(221), ECC 회로(222), 리클레임 관리 유닛(223), 및 영역 보정 유닛(224)을 포함할 수 있다. 저장 장치(200)는 SSD 및 SD 카드 중 하나로 구현될 수 있다.
- [0068] 컨트롤러(220)는 불휘발성 메모리 장치(210)로 어드레스 및 커맨드를 전송할 수 있다. 컨트롤러(220)는 불휘발성 메모리 장치(210)와 데이터를 주고받을 수 있다. 불휘발성 메모리 장치(210), 카운트 관리 유닛(221), ECC 회로(222), 및 리클레임 관리 유닛(223), RAM(230)은 각각 도 1의 불휘발성 메모리 장치(110), 카운트 관리 유닛(121), ECC 회로(122), 및 리클레임 관리 유닛(123), RAM(130)와 유사 또는 동일하다. 따라서, 이에 대한 상세한 설명은 생략된다.
- [0069] 영역 보정 유닛(224)은 하드웨어 형태, 소프트웨어 형태, 또는 하이브리드 형태로 구현될 수 있다.
- [0070] 하드웨어 형태에서, 영역 보정 유닛(224)은 뒤에서 설명될 동작들을 수행하기 위해 하나 이상의 디지털 및/또는

아날로그 회로들을 포함할 수 있다. 소프트웨어 형태에서, 영역 보정 유닛(224)은 뒤에서 설명될 동작들을 수행하도록 구성되는 하나 이상의 명령어 코드들을 포함할 수 있다. 명령어 코드는 컨트롤러(220)에 포함되는 하나 이상의 프로세서들에 의해 명령어 집합으로 컴파일 또는 번역되고 처리될 수 있다.

- [0071] 영역 보정 유닛(224)은 메모리 블록의 영역들을 보정할 수 있다. 예를 들어, 메모리 블록의 프로그램 및 소거 사이클(Program/Erase Cycle, P/E 사이클)의 횟수가 기준값에 도달하면, 영역 보정 유닛(224)은 메모리 블록의 워드 라인들의 열화된 정도를 체크할 수 있다. 열화된 정도는 워드 라인들 각각의 온도, 프로그램 시간, 전류 소모량, 및 비트 에러율에 기반하여 체크될 수 있다.
- [0072] 메모리 블록의 P/E 사이클의 횟수가 증가할수록 읽기 카운트 대비 에러 비트의 비율이 증가할 수 있다. 다시 말해서, 메모리 블록의 P/E 사이클의 횟수가 증가할수록, 메모리 블록의 열화 정도가 증가하기 때문에 에러 비트가 발생할 가능성이 높아진다.
- [0073] 따라서, 영역 보정 유닛(224)은 메모리 블록의 P/E 사이클의 횟수가 기준값에 도달하면, 워드 라인들의 열화된 정도에 따라 메모리 블록의 영역들을 보정할 수 있다. 이때, 보정된 영역들은 새로운 복수의 영역으로 칭한다. 예로서, 새로운 복수의 영역 각각에 포함되는 워드 라인은 기존의 복수의 영역 각각에 포함되는 워드 라인과 다를 수 있다.
- [0074] 영역 보정 유닛(224)은 새로운 복수의 영역에 대한 정보를 RAM(230)에 저장할 수 있다. 또는 영역 보정 유닛(224)은 저장 장치(200)의 서든 파워 오프(Sudden Power Off, SPO)에 대비하기 위해, 새로운 복수의 영역에 대한 정보를 불휘발성 메모리 장치(210)의 메모리 블록들 중 특정 영역(예로서, 보안 영역)에 저장할 수 있다.
- [0075] 본 발명의 실시 예에 따른 저장 장치(200)는 P/E 사이클에 기반하여, 메모리 블록의 영역들을 관리할 수 있다. 저장 장치(200)는 P/E 사이클의 횟수가 기준값에 도달하면, 워드 라인들의 열화된 정도를 체크하여 영역들의 범위를 보정할 수 있다. 새로운 영역들 각각은 읽기 커맨드의 개수에 신뢰성 검증 읽기 동작이 수행될 수 있다.
- [0076] 도 10은 도 8의 저장 장치의 복수의 영역을 조절하기 방법을 보여주기 위한 순서도이다. 도 9 및 도 10을 참조하면, S310 단계에서, 컨트롤러(220)는 선택 메모리 블록의 P/E 사이클의 횟수를 체크한다.
- [0077] S320 단계에서, 컨트롤러(220)의 영역 보정 유닛(224)은 P/E 사이클의 횟수 및 기준값을 비교할 수 있다. P/E 사이클의 횟수가 기준값에 도달하지 않으면, 영역 보정 유닛(224)은 블록의 열화된 정도를 체크하지 않는다. P/E 사이클의 횟수가 기준값에 도달하는 경우, S330 단계에서, 컨트롤러(220)의 영역 보정 유닛(224)은 선택 메모리 블록의 열화된 정도를 체크할 수 있다. 예로서, 영역 보정 유닛(224)은 선택 메모리 블록의 온도, 프로그램 속도, 전류량, 및 비트 에러율에 기초하여, 선택 메모리 블록의 열화된 정도를 체크할 수 있다.
- [0078] S340 단계에서, 컨트롤러(220)의 영역 보정 유닛(224)은 선택 메모리 블록의 워드 라인들의 열화된 정도에 기반하여, 선택 메모리 블록의 영역들을 보정할 수 있다.
- [0079] 도 11은 본 발명의 실시 예에 따라 새로운 영역들로 구분된 메모리 블록을 보여주기 위한 블록도이다. 도 4, 및 도 9 내지 도 11을 참조하면, 제z 메모리 블록(BLKz)은 새로운 복수의 영역(Zone_1b~Zone_4b)으로 보정될 수 있다. 보정에 의해, 기존의 복수의 영역(Zone_1a~Zone_4a)가 새로운 복수의 영역(Zone_1b~Zone_4b)으로 변경될 수 있다. 예로서, 컨트롤러의 영역 보정 유닛(224)은 제z 메모리 블록(BLKz)의 워드 라인들(WL1~WL8)의 열화된 정도에 따라 제z 메모리 블록(BLKz)의 영역들을 새로운 복수의 영역(Zone_1b~Zone_4b)으로 보정할 수 있다.
- [0080] 예로서, 도 11을 참조하면, 기존의 제1 영역(Zone_1a)에 포함된 워드 라인들(WL1, WL2)은 새로운 제1 영역(Zone_1b)에 포함된 워드 라인들(WL1, WL2, WL3)과 상이할 수 있다. 기존의 제2 영역(Zone_2a)에 포함된 워드 라인들(WL3, WL4, WL5)은 새로운 제3 영역(Zone_2b)에 포함된 워드 라인들(WL4, WL5)과 상이할 수 있다. 기존의 제3 영역(Zone_3a)에 포함된 워드 라인들(WL6, WL7) 및 기존의 제4 영역(Zone_4a)에 포함된 워드 라인(WL8) 각각은 새로운 제3 영역(Zone_3b)에 포함된 워드 라인들(WL6, WL7) 및 새로운 제4 영역(Zone_4b)에 포함된 워드 라인(WL8)과 동일할 수 있다. 이는 본 발명을 설명하기 위한 일 예일 뿐, 새로운 복수의 영역(Zone_1b~Zone_4b)는 다양한 워드 라인 범위로 보정될 수 있다.
- [0081] 불휘발성 메모리 장치(110)의 다른 메모리 블록들(BLK1~BLKz-1)은 제z 메모리 블록(BLKz)과 유사 또는 동일한 새로운 복수의 영역(Zone_1b~Zone_4b)을 포함할 수 있다.
- [0082] 예로서, P/E 사이클이 증가하면, 메모리 블록은 열화될 수 있다. 또한, 기판(SUB)과 가까운 워드 라인들은 더 빨리 열화될 수 있다. 이로 인해, 가장 높은 빈도로 신뢰성 검증 읽기 동작이 수행되는 새로운 제1 영역(Zone_1b)은 제1 영역(Zone1a)에 비해 더 많은 워드 라인들을 포함할 수 있다. 예로서, 새로운 제1 영역

(Zone_1b)은 제1, 제2 및 제3 워드 라인들(WL1, WL2, WL3)을 포함할 수 있다. 새로운 제1 영역(Zone_1b)에 포함된 워드 라인들(WL1, WL2, WL3)로 읽기 동작이 새로운 제1 문턱값(N'1)만큼 수행되면, 카운트 관리 유닛(221)은 워드 라인들(WL1, WL2, WL3) 각각에 대해 신뢰성 검증 읽기 동작을 수행할 수 있다. 이때, 새로운 제1 문턱값(N'1)은 기존의 제1 문턱값(N1) 이하일 수 있다.

- [0083] 제2 영역(Zone_2b)에 포함된 워드 라인들(WL4, WL5)로 읽기 동작이 새로운 제2 문턱값(N'2)만큼 수행되면, 워드 라인들(WL4, WL5) 각각에 대해 신뢰성 검증 읽기 동작이 수행될 수 있다. 이때, 새로운 제2 문턱값(N2)은 새로운 제1 문턱값(N'1)보다 크고, 기존의 제2 문턱값(N2) 이하일 수 있다.
- [0084] 새로운 제3 영역(Zone_3b)에 포함된 워드 라인들(WL6, WL7)로 읽기 동작이 새로운 제3 문턱값(N'3)만큼 수행되면, 워드 라인들(WL6, WL7) 각각에 대해 신뢰성 검증 읽기 동작이 수행될 수 있다. 이때, 새로운 제3 문턱값(N'3)은 새로운 제2 문턱값(N'2)보다 크고, 기존의 제3 문턱값(N3) 이하일 수 있다.
- [0085] 그리고, 새로운 제4 영역(Zone_4a)에 포함된 워드 라인(WL8)으로 읽기 동작이 새로운 제4 문턱값(N'4)만큼 수행되면, 워드 라인들(WL8)에 대해 신뢰성 검증 읽기 동작이 수행될 수 있다. 이때, 새로운 제4 문턱값(N'4)은 새로운 제3 문턱값(N'3)보다 크고, 기존의 제3 문턱값(N3) 이하일 수 있다.
- [0086] 이로 인해, 새로운 복수의 영역(Zone_1b~Zone_4b)에는 복수의 영역(Zone_1a~Zone_4a)보다 더 자주 신뢰성 검증 읽기 동작이 수행될 수 있다.
- [0087] 도 12는 본 발명의 실시 예에 따라 복수의 영역들로 구분된 메모리 블록들을 보여주기 위한 블록도이다. 도 1, 도 9 및 도 12를 참조하면, 저장 장치(100, 200)는 메모리 블록들(BLK1~BLKz)의 열화 특성에 기반하여, 메모리 블록들(BLK1~BLKz)을 복수의 영역(Zone_1c~Zone_nc)으로 나누어 관리할 수 있다.
- [0088] 예로서, 컨트롤러(120, 220)는 복수의 영역(Zone_1c~Zone_nc) 각각에 수행된 읽기 동작들의 횟수에 기반하여, 신뢰성 성능 읽기 동작을 수행할 수 있다. 예로서, 복수의 영역(Zone_1c~Zone_nc) 각각에 수행된 읽기 동작들의 횟수가 문턱값에 도달하면, 컨트롤러(120, 220)는 신뢰성 성능 읽기 동작을 수행할 수 있다. 신뢰성 성능 읽기 동작에 의해, 기준 에러 비트 수를 초과하는 에러 비트 수가 발생한 메모리 블록의 데이터들은 다른 메모리 블록으로 리드 리클레임될 수 있다. 예로서, 복수의 영역(Zone_1c~Zone_nc) 각각에 수행된 읽기 동작들의 횟수는 각각의 영역에 포함된 하나 이상의 메모리 블록들 전체에 수행된 읽기 동작들의 횟수를 의미한다.
- [0089] 도 13은 본 발명의 실시 예에 따른 솔리드 스테이트 드라이브(를 보여주기 위한 블록도이다. SSD 시스템(1000)은 호스트(1100) 및 SSD(1200)를 포함할 수 있다. SSD(1200)는 신호 커넥터(1001)를 통해 호스트(1100)와 신호(SIG)를 주고받고, 전원 커넥터(1002)를 통해 전원(PWR)을 입력받을 수 있다. SSD(1200)는 SSD 컨트롤러(1210), 복수의 플래시 메모리들(1221~122m), 보조 전원 장치(1230), 버퍼 메모리(1240), 그리고 무선 모듈(1250)을 포함할 수 있다.
- [0090] SSD 컨트롤러(1210)는 호스트(1100)로부터 수신된 신호(SIG)에 응답하여 복수의 플래시 메모리들(1221~122m)을 제어할 수 있다. 예시적으로, SSD 컨트롤러(1210)는 도 1 및 도 9를 참조하여 설명된 구성들을 기반으로 플래시 메모리들(1221~122m)로 신뢰성 검증 읽기 동작을 수행할 수 있다. SSD 컨트롤러(1210)는 신뢰성 검증 읽기 동작의 결과를 기반으로, 플래시 메모리들(1221~122m)의 리드 리클레임 동작을 수행할 수 있다.
- [0091] 보조 전원 장치(1230)는 전원 커넥터(1002)를 통해 호스트(1100)와 연결된다. 보조 전원 장치(1230)는 호스트(1100)로부터 전원(PWR)을 입력 받고, 충전할 수 있다. 보조 전원 장치(1230)는 호스트(1100)로부터의 전원 공급이 원활하지 않을 경우, SSD 시스템(1000)의 전원을 제공할 수 있다. 예시적으로, 보조 전원 장치(1230)는 SSD(1200) 내에 위치할 수도 있고, SSD(1200) 밖에 위치할 수도 있다. 예를 들면, 보조 전원 장치(1230)는 메인 보드에 위치하며, SSD(1200)에 보조 전원을 제공할 수도 있다.
- [0092] 버퍼 메모리(1240)는 SSD(1200)의 버퍼 메모리로 동작한다. 예를 들어, 버퍼 메모리(1240)는 호스트(1100)로부터 수신된 데이터 또는 복수의 플래시 메모리들(1221~122n)로부터 수신된 데이터를 임시 저장하거나, 플래시 메모리들(1221~122n)의 메타 데이터(예를 들어, 매핑 테이블)를 임시 저장할 수 있다. 버퍼 메모리(1240)는 DRAM, SDRAM, DDR(Double Data Rate) SDRAM, LPDDR(Low Power Double Data Rate) SDRAM, SRAM 등과 같은 휘발성 메모리 또는 FRAM ReRAM, PRAM 등과 같은 불휘발성 메모리들을 포함할 수 있다.
- [0093] 도 14는 본 발명의 실시 예에 따른 메모리 컨트롤러를 보여주기 위한 블록도이다. 도 1, 도 9 및 도 14를 참조하면, 컨트롤러(120, 220)는 컨트롤러(300)와 유사 또는 동일한 구성을 포함할 수 있다. 컨트롤러(300)는 버스(310), 프로세서(320), RAM(330), ECC 회로(340)(또는 ECC회로(122)), 호스트 인터페이스(350), 버퍼 제어 회

로(360), 그리고 메모리 인터페이스(370)를 포함한다.

- [0094] 버스(310)는 컨트롤러(300)의 구성 요소들 사이에 채널을 제공하도록 구성된다.
- [0095] 프로세서(320)는 컨트롤러(300)의 제반 동작을 제어하고, 논리 연산을 수행할 수 있다. 프로세서(320)는 호스트 인터페이스(350)를 통해 외부의 호스트 장치와 통신하고, 메모리 인터페이스(370)를 통해 불휘발성 메모리 장치(110, 220)와 통신하고, 그리고 버퍼 제어 회로(360)를 통해서도 1 및 도 9에 도시된 RAM(130, 230)과 통신할 수 있다. 프로세서(320)는 RAM(330)을 동작 메모리, 캐시 메모리 또는 버퍼 메모리로 사용하여 저장 장치(100, 200)를 제어할 수 있다.
- [0096] 카운트 관리 유닛(CMU), 리클레임 관리 유닛(RMU), 및 영역 보정 유닛(ZDU) 중 적어도 하나는 프로세서(320)에 의해 구동되는 펌웨어, 운영 체제, 응용과 같은 소프트웨어의 형태로 구현될 수 있다. 다른 예로서, 카운트 관리 유닛(CMU), 리클레임 관리 유닛(RMU), 및 영역 보정 유닛(ZDU) 중 적어도 하나는 프로세서(320)의 내부에서 회로망(circuitry) 또는 지식 자산(IP, Intellectual Property)과 같은 하드웨어로 구현될 수 있다. 다른 예로서, 카운트 관리 유닛(CMU), 리클레임 관리 유닛(RMU), 및 영역 보정 유닛(ZDU) 중 적어도 하나는 프로세서(320)와 연관되어 하드웨어 및 소프트웨어가 조합된 형태로 구현될 수 있다. 다른 예로서, 카운트 관리 유닛(CMU), 리클레임 관리 유닛(RMU), 및 영역 보정 유닛(ZDU) 중 적어도 하나는 프로세서(320)와 분리된 별도의 모듈로 제공될 수 있다.
- [0097] RAM(330)은 프로세서(320)의 동작 메모리, 캐시 메모리 또는 버퍼 메모리로 사용될 수 있다. RAM(330)은 프로세서(320)가 실행하는 코드들 및 명령들을 저장할 수 있다. RAM(330)은 프로세서(320)에 의해 처리되는 데이터를 저장할 수 있다. RAM(330)은 SRAM을 포함할 수 있다.
- [0098] ECC 회로(340)(또는 ECC회로(122))는 에러 정정을 수행할 수 있다. ECC 회로(340)(또는 ECC회로(122))는 메모리 인터페이스(370)를 통해 불휘발성 메모리 장치(110, 220)에 기입될 데이터에 기반하여 에러 정정 인코딩을 수행할 수 있다. 에러 정정 인코딩된 데이터는 메모리 인터페이스(370)를 통해 불휘발성 메모리 장치(110)로 전달될 수 있다. ECC 회로(340)(또는 ECC회로(122))는 불휘발성 메모리 장치(110, 220)로부터 메모리 인터페이스(370)를 통해 수신되는 데이터에 대해 에러 정정 디코딩을 수행할 수 있다. 예시적으로, ECC 회로(340)(또는 ECC회로(122))는 메모리 인터페이스(370)의 구성 요소로서 메모리 인터페이스(127)에 포함될 수 있다.
- [0099] 호스트 인터페이스(350)는 프로세서(320)의 제어에 따라, 외부의 호스트 장치와 통신하도록 구성된다. 호스트 인터페이스(125)는 USB (Universal Serial Bus), SATA (Serial AT Attachment), SAS (Serial Attached SCSI), HSIC (High Speed Interchip), SCSI (Small Computer System Interface), PCI (Peripheral Component Interconnection), PCIe (PCI express), NVMe (NonVolatile Memory express), UFS (Universal Flash Storage), SD (Secure Digital), MMC (Multi Media Card), eMMC (embedded MMC), DIMM (Dual In-line Memory Module), RDIMM (Registered DIMM), LRDIMM (Load Reduced DIMM) 등과 같은 다양한 통신 방식들 중 적어도 하나를 이용하여 통신하도록 구성될 수 있다.
- [0100] 버퍼 제어 회로(360)는 프로세서(320)의 제어에 따라, RAM(130, 230)을 제어하도록 구성된다.
- [0101] 메모리 인터페이스(370)는 프로세서(320)의 제어에 따라, 불휘발성 메모리 장치(110, 210)와 통신하도록 구성된다. 도 1을 참조하여 설명된 바와 같이, 메모리 인터페이스(370)는 입출력 채널을 통해 커맨드, 어드레스 및 데이터를 불휘발성 메모리 장치(110, 210)와 통신할 수 있다. 메모리 인터페이스(370)는 제어 채널을 통해 제어 신호를 불휘발성 메모리 장치(110, 210)와 통신할 수 있다.
- [0102] 예시적으로, 저장 장치(100, 200)에 RAM(130, 230)이 제공되지 않는 경우, 컨트롤러(300)에 버퍼 제어 회로(360)가 제공되지 않을 수 있다.
- [0103] 예시적으로, 프로세서(320)는 코드들을 이용하여 컨트롤러(300)를 제어할 수 있다. 프로세서(320)는 컨트롤러(300)의 내부에 제공되는 불휘발성 메모리 장치(예를 들어, Read Only Memory)로부터 코드들을 로드할 수 있다. 다른 예로서, 프로세서(320)는 불휘발성 메모리 장치(110, 210)로부터 메모리 인터페이스(370)를 통해 코드들을 로드할 수 있다.
- [0104] 예시적으로, 컨트롤러(300)의 버스(310)는 제어 버스 및 데이터 버스로 구분될 수 있다. 데이터 버스는 컨트롤러(300) 내에서 데이터를 전송하고, 제어 버스는 컨트롤러(300) 내에서 커맨드, 어드레스와 같은 제어 정보를 전송하도록 구성될 수 있다. 데이터 버스와 제어 버스는 서로 분리되며, 상호 간에 간섭하거나 영향을 주지 않을 수 있다. 데이터 버스는 호스트 인터페이스(350), 버퍼 제어 회로(360), ECC 회로(340)(또는 ECC회로(122))

및 메모리 인터페이스(370)에 연결될 수 있다. 제어 버스는 호스트 인터페이스(350), 프로세서(320), 버퍼 제어 회로(360), RAM (330) 및 메모리 인터페이스(370)에 연결될 수 있다.

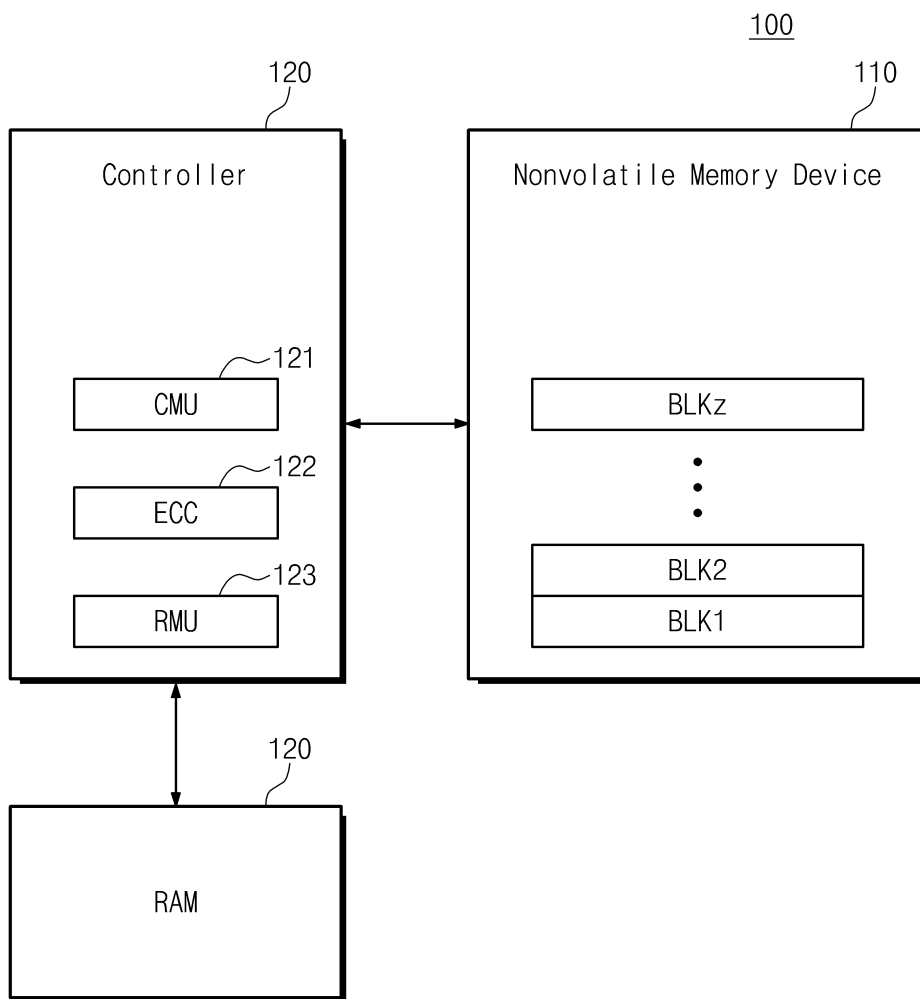
[0105] 위에서 설명한 내용은 본 발명을 실시하기 위한 구체적인 예들이다. 본 발명에는 위에서 설명한 실시 예들뿐만 아니라, 단순하게 설계 변경하거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명에는 상술한 실시 예들을 이용하여 앞으로 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다.

부호의 설명

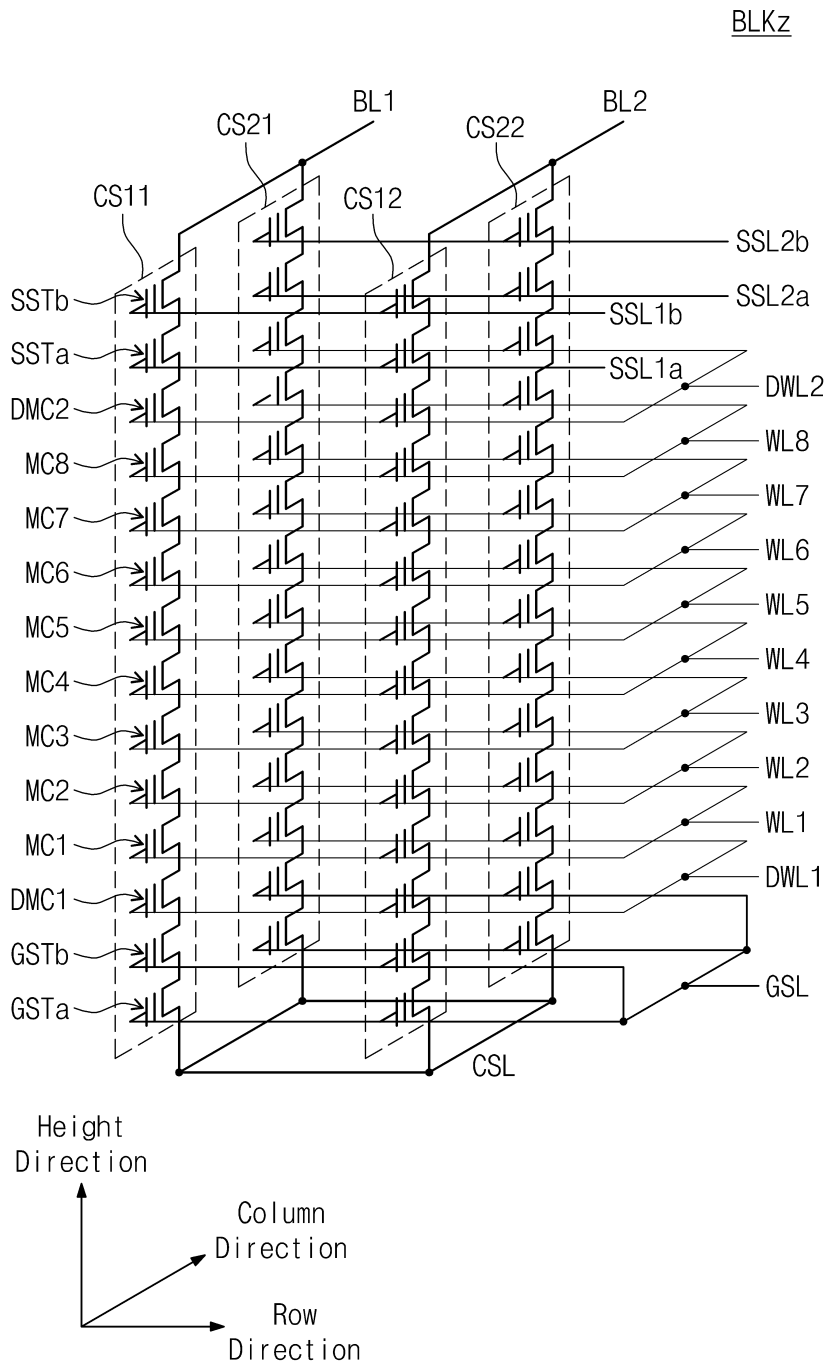
[0106] 100, 200: 저장 장치
1000: SSD

도면

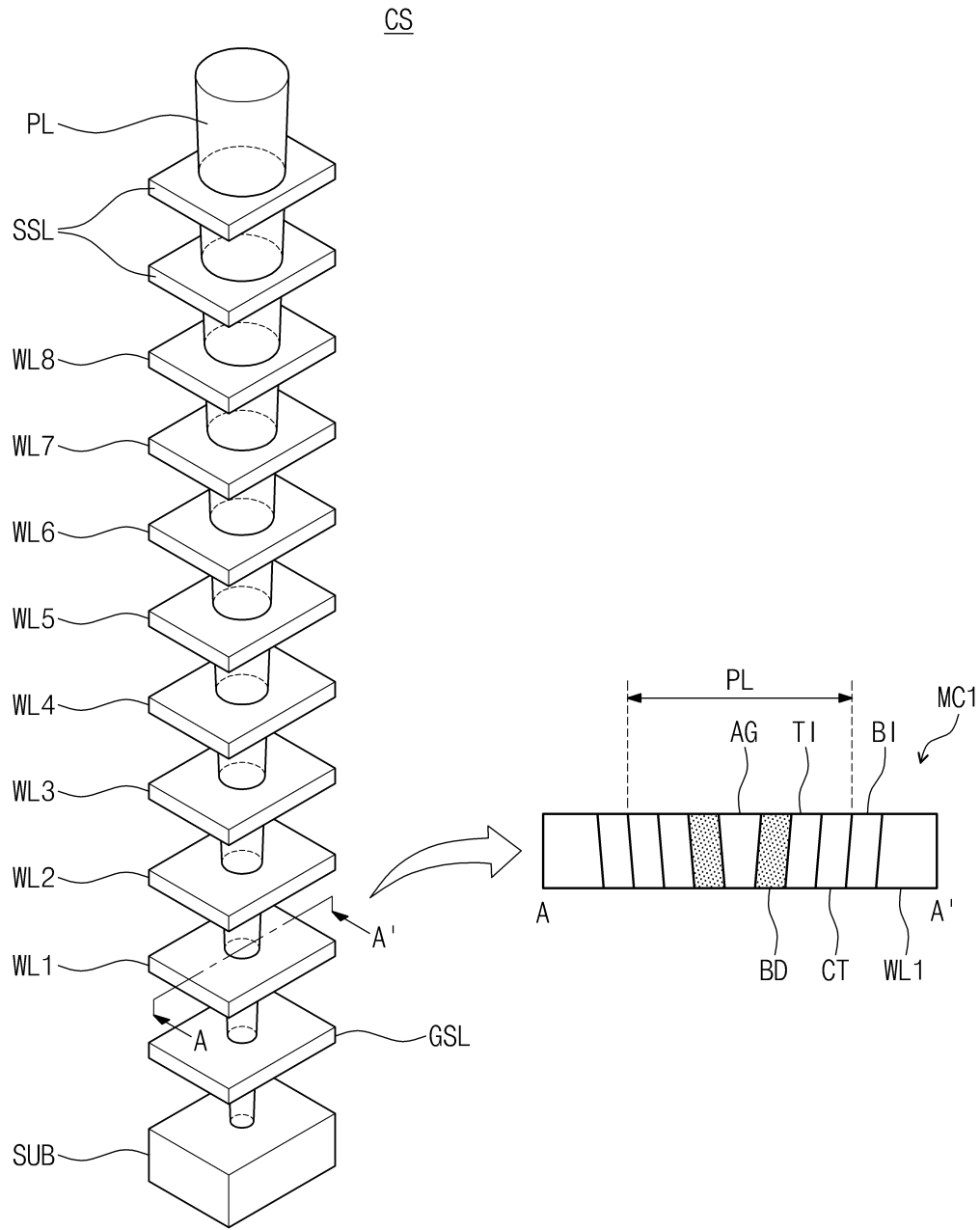
도면1



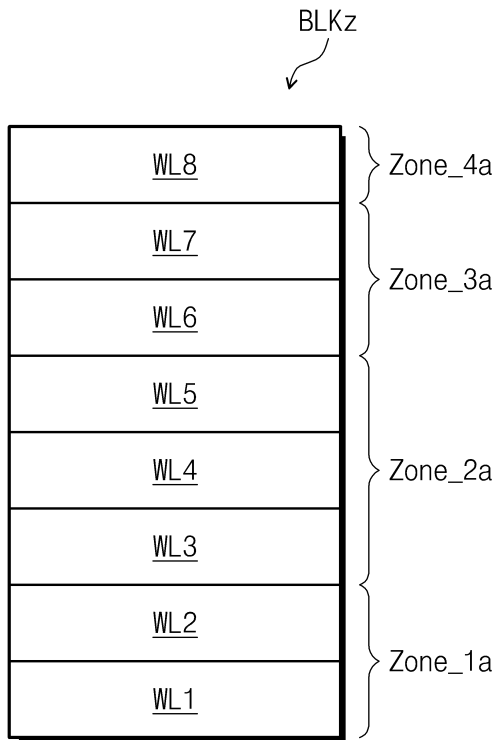
도면2



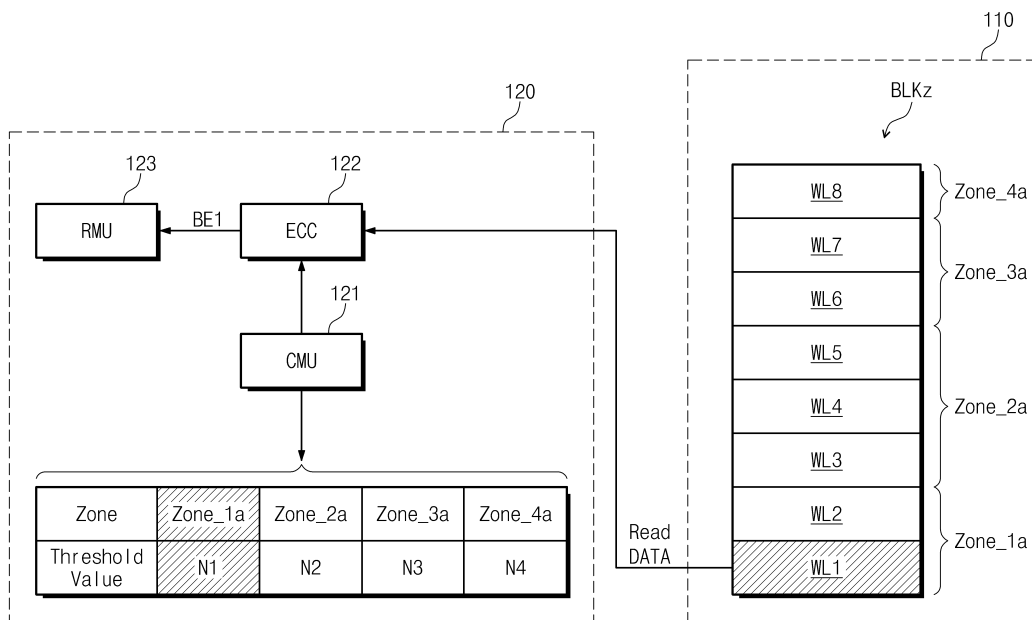
도면3



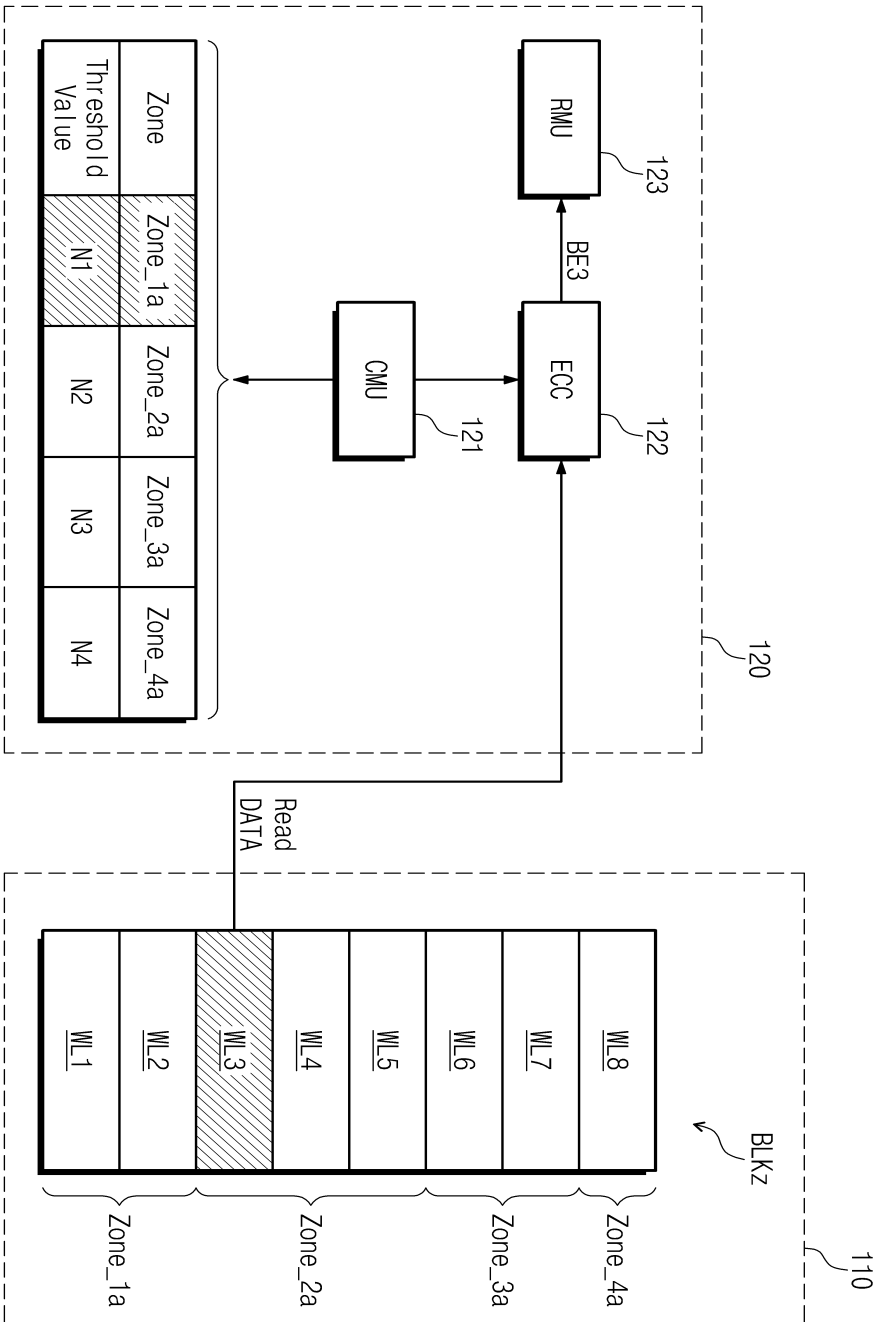
도면4



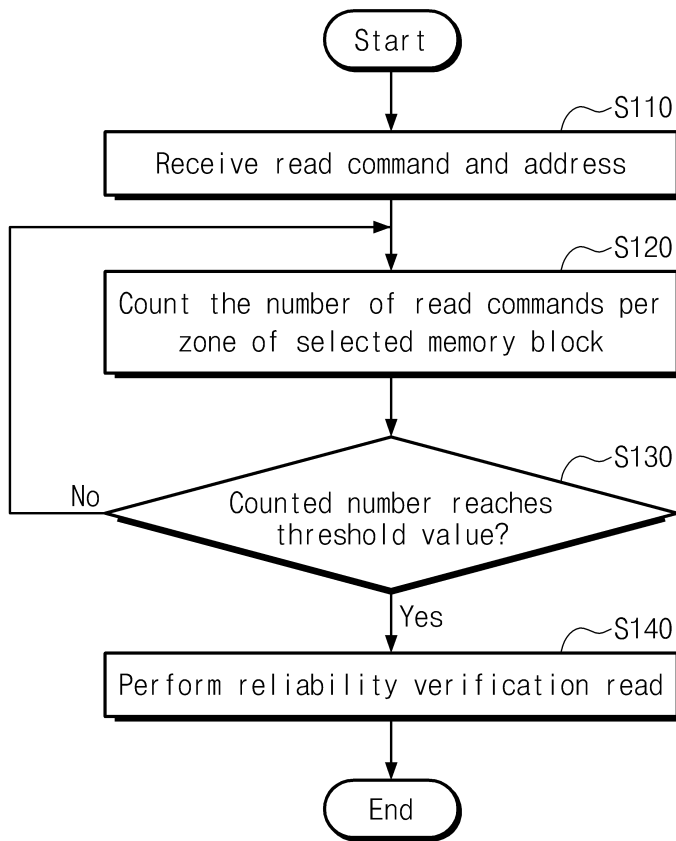
도면5



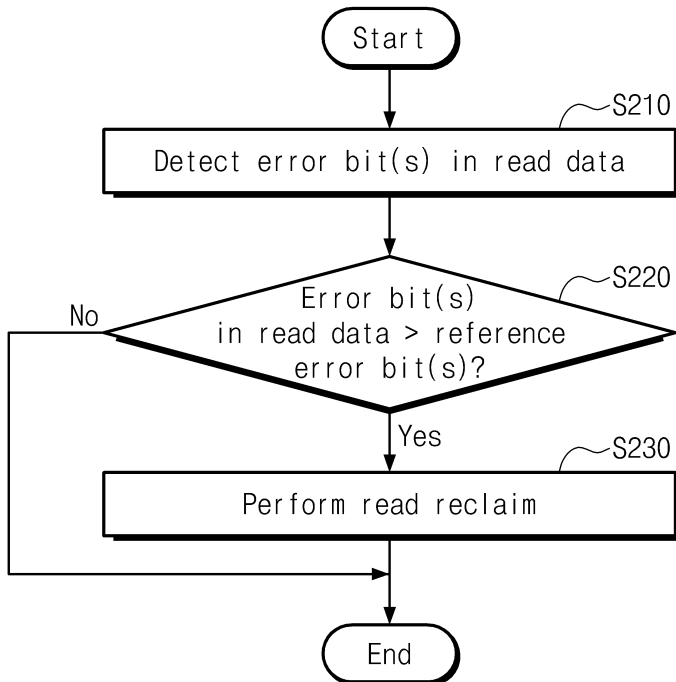
도면6



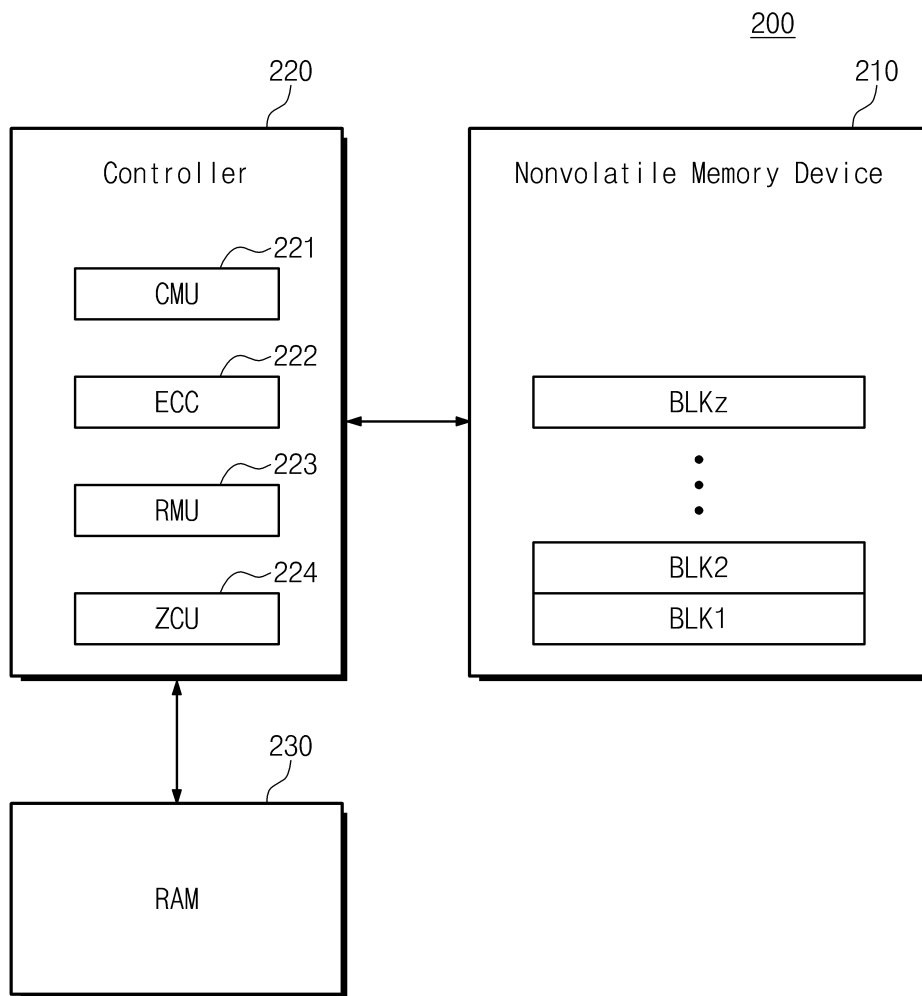
도면7



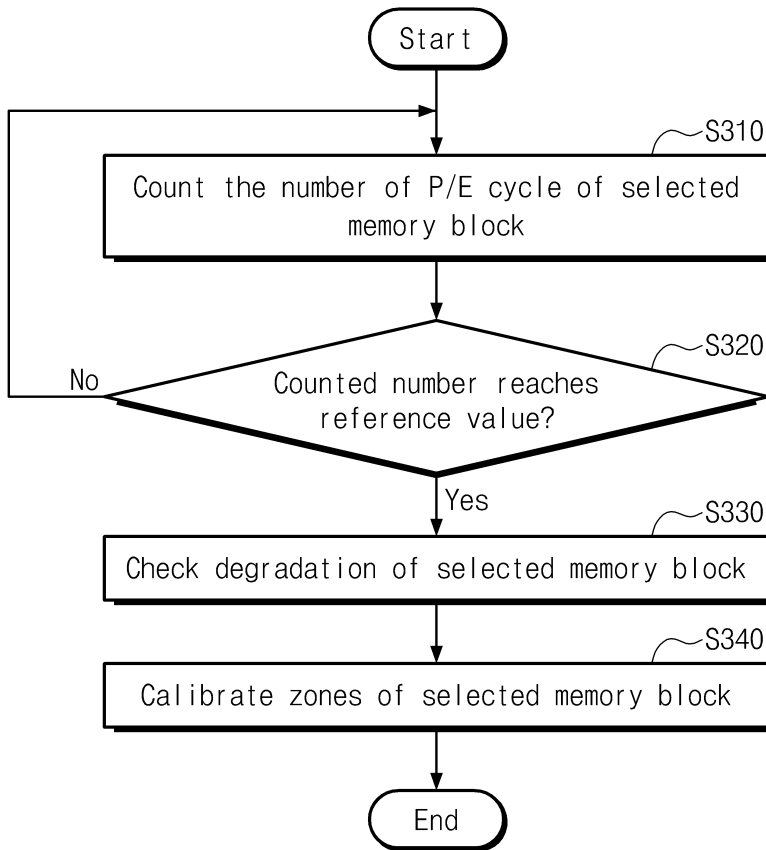
도면8



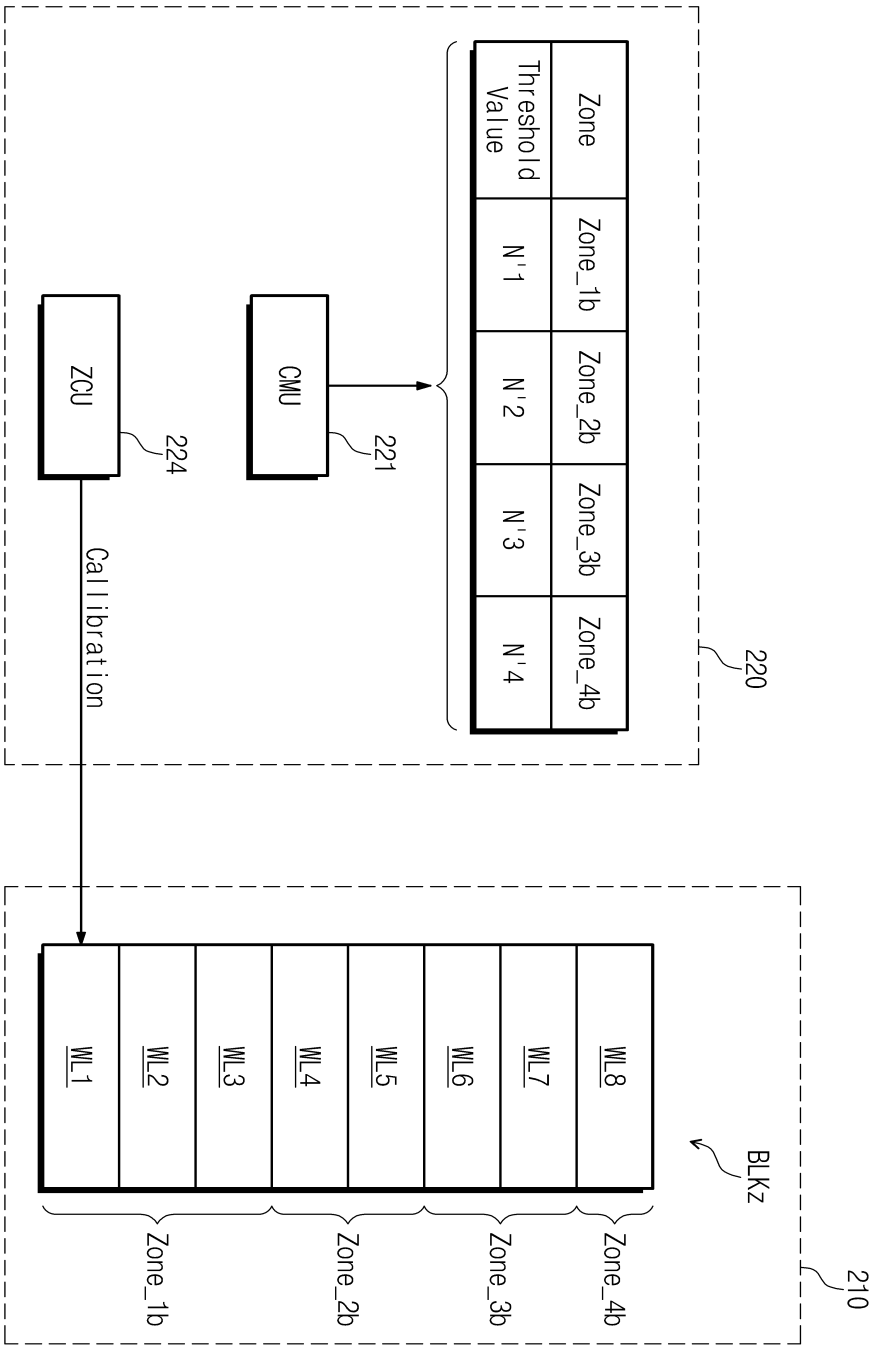
도면9



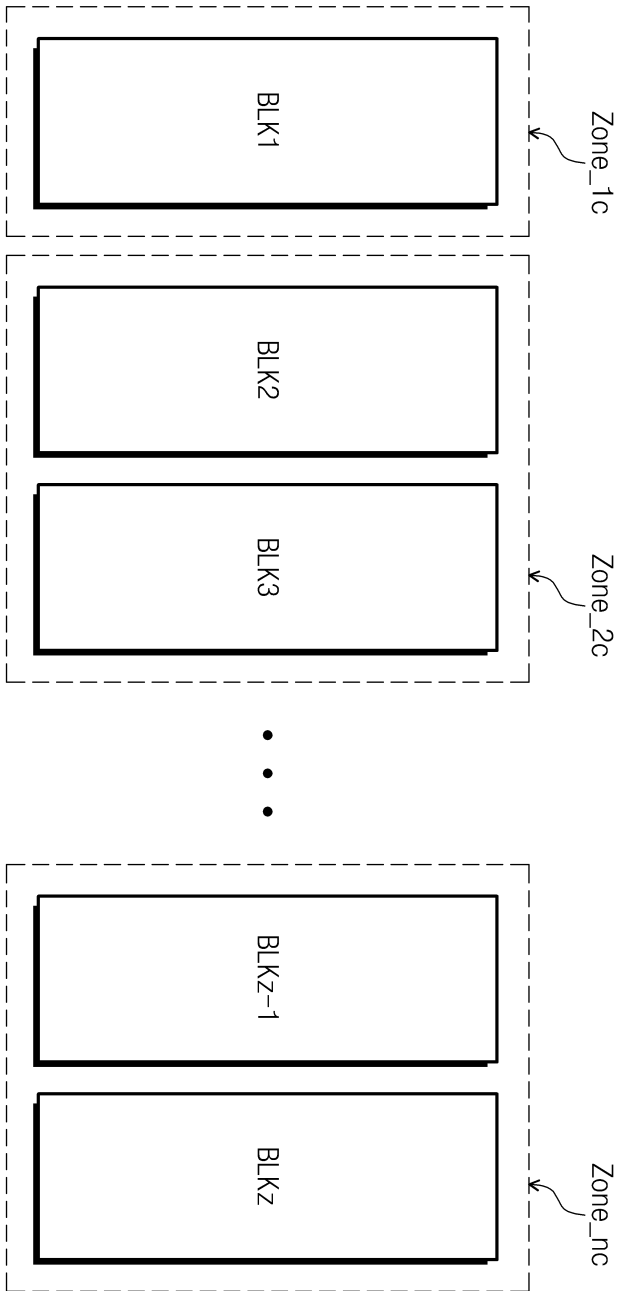
도면10



도면11

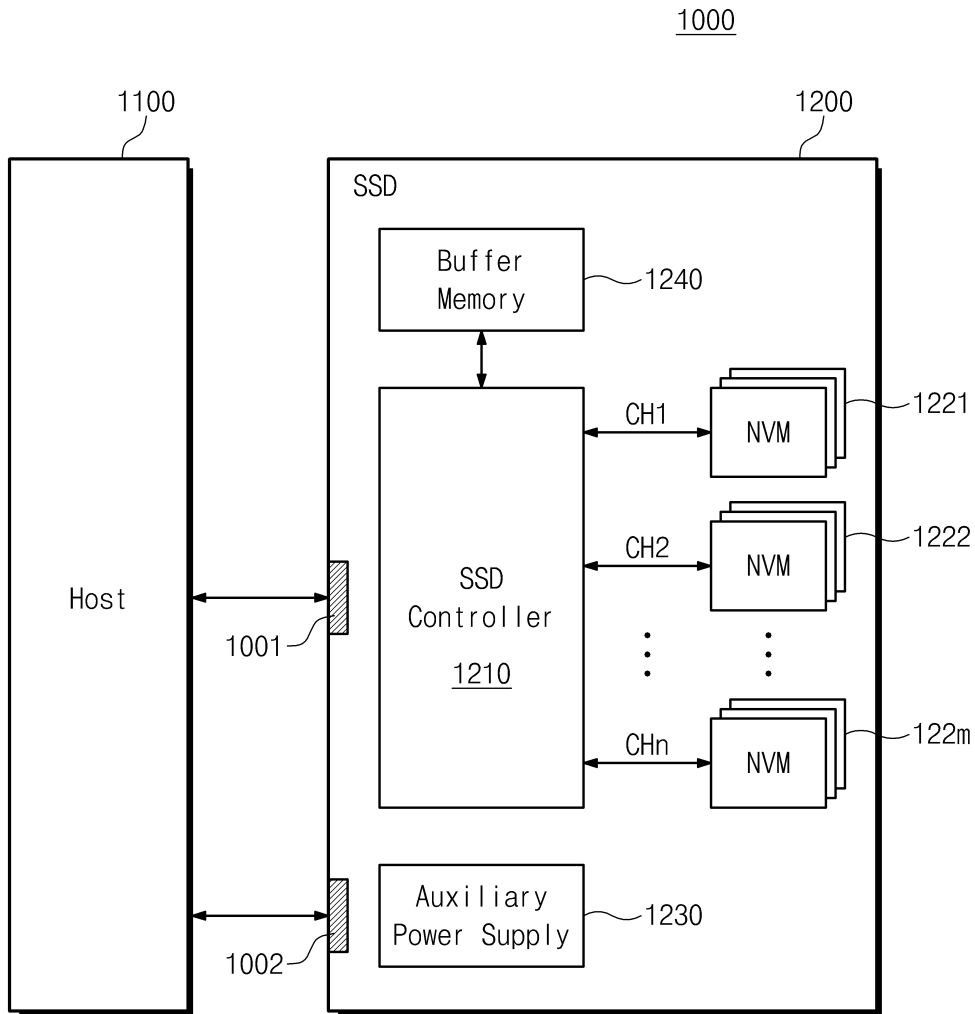


도면12



110(210)

도면13



도면14

