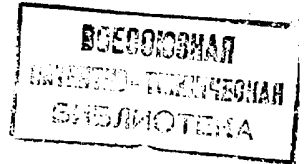




ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГИИТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

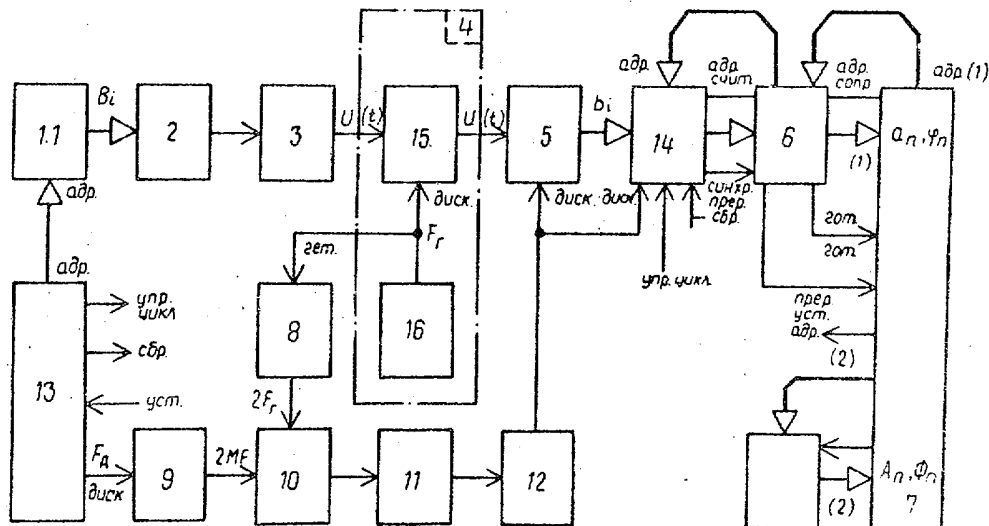


(21) 4611649/21  
(22) 28.11.88  
(46) 07.07.91. Бюл. № 25  
(72) С.О.Бычков, А.С.Данилин  
и О.И.Скалозубов  
(53) 621.317.75(088.8)  
(56) Авторское свидетельство СССР  
№ 1146607, кл. G 01 R 25/02, 1985.  
Nachrichten technische Zeitschrift,  
1981, 34, N 1, S.20-24.

(54) УСТРОЙСТВО ДЛЯ ИЗМЕРЕНИЯ ЧАСТОТНЫХ ХАРАКТЕРИСТИК ЧЕТЫРЕХПОЛЮСНИКА

(57) Изобретение может быть использовано при эксплуатации систем связи. Цель изобретения - повышение точности измерения. Это достигается

ся за счет организации двухчастотной дискретизации сигналов, которая удовлетворяет требованиям теоремы дискретизации и позволяет согласовывать гармонические составляющие испытательного и информационного сигналов. Для этого в устройство, содержащее блок памяти, цифроаналоговый преобразователь 2, фильтр 3 нижних частот, исследуемый четырехполосник 4, блок 6 дискретного преобразования Фурье и блок 7 вычислений, введены удвоитель 8 частоты, блок 13 управления, формирователь 9 гармонического сигнала, перемножитель 10 сигнала, полосовой фильтр 11, формирователь 12 прямоугольных импульсов и блок 13 оперативной памяти. 6 ил.



Фиг.1

Изобретение относится к измерительной технике, конкретно к средствам определения амплитудно-частотной характеристики (АЧХ) и характеристики группового времени запаздывания (ХГВЗ) нелинейных четырехполосников, и может быть использовано при эксплуатации широкополосных систем связи с частотной модуляцией.

Целью изобретения является повышение точности измерения.

На фиг. 1 изображена функциональная схема устройства для измерения частотных характеристик четырехполосника; на фиг. 2 - схема блока управления; на фиг. 3 - схема блока оперативной памяти; на фиг. 4-6 - спектральные, фазовые и временные диаграммы сигналов.

Устройство содержит блок 1.1 памяти временных отсчетов испытательного сигнала, дополнительный блок 1.2 памяти значений амплитуд и фаз испытательного сигнала, последовательно соединенные цифроаналоговый преобразователь (ЦАП) 2, фильтр 3 нижних частот (ФНЧ), исследуемый четырехполосник 4 и аналого-цифровой преобразователь (АЦП) 5, а также блок 6 дискретного преобразования Фурье (ДФФ), выходы которого подключены к соответствующим входам блока 7 вычисления, удвоитель 8 частоты, последовательно соединенные формирователь 9 гармонического сигнала, перемножитель 10 сигналов, полосовой фильтр 11 и формирователь 12 прямоугольных импульсов, блок 13 управления и блок 14 оперативной памяти.

Исследуемый четырехполосник 4 содержит смеситель 15 и гетеродин 16.

Блок 13 управления (фиг. 2) содержит генератор 17 тактовых импульсов (ГТИ с частотой  $F_T$ ), счетчик 18, вход которого подключен к выходу ГТИ 17, а выход младшего разряда является выходом дискретизации блока 13 (для импульсов с частотой  $F_D = 2MF$ , где  $M$  определяется требованиями теоремы Котельникова;  $F = 1/T$ , где  $T$  - длительность цикла испытательного сигнала), дешифратор 19 (числа  $K = 2M$  отсчетов испытательного сигнала), входы которого подключены к соответствующим выходам разрядов счетчика 18 (включая младший), счетчик-делитель 20, вход ко-

торого подключен к выходу дешифратора 19, установочный вход - к установочному входу блока 13, а выход - к цикловому выходу блока 13 (для сигнала с частотой  $F = 1/T$ ), и элемент ИЛИ 21, первый вход которого подключен к выходу дешифраторов 19, второй вход - к установочному входу блока 13, а выход - к установочному входу счетчика 18 и выходу сброса блока 13.

Блок 14 оперативной памяти (фиг. 3) содержит адресный счетчик 22, вход которого является входом дискретизации блока 14, первый и второй коммутаторы 23.1 и 23.2, первые входы которых подключены к соответствующим выходам адресного счетчика 22, а вторые входы - к соответствующим адресным входам блока 14, первый и второй ключи 24.1 и 24.2, входы которых подключены к соответствующим входам блока 14, первое и второе оперативные запоминающие устройства (ОЗУ) 25.1 и 25.2, входы которых подключены к соответствующим выходам одноименных ключей 24.1 и 24.2, а адресные входы - к соответствующим выходам одноименных коммутаторов 23.1 и 23.2, третий и четвертый ключи 24.3 и 24.4, входы которых подключены к соответствующим выходам первого и второго ОЗУ 25.1 и 25.2, элемент ИЛИ 26, первые и вторые входы которого подключены соответственно к соответствующим выходам третьего и четвертого ключей 24.3 и 24.4, выходы - к соответствующим выходам блока 14, при этом управляющий вход блока 14 подключен к выходу синхронизации блока 14, инверсным управляющим входам первого коммутатора 23.1, первого и четвертого ключей 24.1 и 24.4 и первого ОЗУ 25.1 и прямым управляющим входам второго коммутатора 23.2, второго и третьего ключей 24.2 и 24.3 и второго ОЗУ 25.2, а входы дискретизации и считывания первого и второго ОЗУ 25.1 и 25.2 подключены к одноименным входам блока 14.

Каждый из ключей 24 является групповым, т.е. представляет собой группу из  $P$  элементов И ( $P$  - число разрядов входного цифрового сигнала  $b_i$  отсчета на входе блока 14), первые входы и выходы которых являются входами и выходами ключа, а вторые входы

объединены и образуют прямой управляющий вход ключа либо подключены к выходу инвертора, вход которого является инверсным управляющим входом ключа.

Элемент ИЛИ 26 также является групповым в том же смысле с тем же значением Р.

Аналогично коммутатор 23.1 или 23.2 содержит q первых и q вторых элементов И (q - число разрядов адресного сигнала блока 14 и адресного счетчика 22), первые входы которых являются первыми и вторыми входами коммутатора, а вторые прямые входы первых элементов И и вторые инверсные входы вторых элементов И объединены и образуют управляющий вход коммутатора: (прямой или инверсный), и q элементов ИЛИ, первые и вторые входы которых порознь подключены к выходам первых и вторых элементов И, а выходы являются выходами коммутатора.

Устройство для измерения частотных характеристик четырехполюсника работает следующим образом.

Блок 1.1 памяти заполняется (перед проведением исследования) цифровыми отсчетами  $V_i$ ,  $i = 1-K$ , где K - число отсчетов на длительности цикла Т испытательного сигнала. Эти отсчеты  $V_i$  определены расчетом по заданным числовым значениям амплитуд  $A_n$  и фаз  $\varphi_n$ ,  $n = L, M$  испытательного сигнала  $U(t)$ . Расчет произведен по формуле

$$V_i = U(t) \sum_{i=-\infty}^{\infty} \delta(t - iT_D)$$

или

$$V_i = U(t) \sum_{i=1}^K \delta(t - iT_D), \quad (1)$$

где  $T_D$  - период дискретизации;

$\delta$  - функция Дирака;

t - текущее время;

Формула (1) получена дискретизацией Фурье - разложения сигнала

$$U(t) = \sum_{n=L}^M A_n \cos(2\pi nFt - \varphi_n), \quad (2)$$

где  $F = 1/T$  - постоянное число,

$i = \overline{1, K}$ ,

а значения пределов суммирования определяются нижней и верхней границами спектра  $A_n$  сигнала  $U(t)$  (фиг.4)

$$L = F_H/T, \quad M = F_B/F, \quad (3)$$

где  $F_B, F_H$  - верхняя и нижняя граничные частоты спектра

(дробные отношения округлены до ближайших целых чисел).

По командам блока управления, следующим с частотой  $F_D$  дискретизации, отсчеты  $V_i$  считываются из блока 1.1 памяти и поступают в ЦАП 2, где они превращаются в соответствующие последовательные уровни напряжения, сглаживающиеся далее в ФНЧ 3 и образующие на его выходе непрерывный испытательный сигнал  $U(t)$ , занимающий полосу частот шириной  $\Delta F = F_B - F_H$ , который подается на вход исследуемого четырехполюсника 4 - преобразователя частоты вверх или вниз, транспонирующего спектр сигнала на участке  $F_r$  гетеродина (на фиг.4 показано смещение вверх на величину  $\Gamma = F_r/F$  в единицах F).

Частота дискретизации испытательного сигнала выбрана из требования теоремы Котельникова

$$F_D \geq 2F_B, \quad (4)$$

где согласно (3)  $F_B = MF$ .

Полученный на выходе ФНЧ 3 аналоговый испытательный сигнал поступает на вход исследуемого четырехполюсника 4. Проходя через исследуемый четырехполюсник 4, входной сигнал  $U(t)$ , имеющий спектр в виде набора гармоник  $A_n$  с фазами  $\varphi_n$  ( $n = L, M$ ), превращается в выходной сигнал  $U(t)$ , который имеет спектр в виде набора гармоник  $a_n$  с фазами  $\varphi_n$  ( $n = l, m$ ). Спектр этого сигнала  $U(t)$  смещен относительно спектра входного сигнала  $U(t)$  на величину  $F_r$ , поэтому, чтобы не утратить физического соответствия между этими спектрами в расчетах, следует принять значения пределов суммирования

$$l = L \pm \Gamma, \quad m = M \pm \Gamma, \quad (5)$$

где знак плюс берется для преобразователя частоты вверх, а минус - для преобразователя вниз.

Этот сигнал  $U(t)$ , несущий информацию об электрических характеристиках преобразователя, с выхода исследуемого четырехполюсника 4 поступает на вход АЦП, где он обрабатывается не с частотой

$$F_D = 2MF \quad (6)$$

как для сигнала  $U(t)$ , а с новой частотой дискретизации для сигнала  $U(t)$

$$f_{\text{Д}} = 2(M \pm F). \quad (7)$$

В АЦП 5 этот сигнал (фиг.6) преобразуется в цифровые отсчеты  $b_i$ ,  $i = \overline{1, k}$ , при этом вследствие различия в частотах дискретизации (6) и (7) числа отсчетов для этих сигналов также различаются, поскольку длительность  $T = 1/F$  цикла для них одинакова

$$K = F_{\text{Д}}/F = 2M; \quad (8)$$

$$k = f_{\text{Д}}/F = 2(M \pm \Gamma), \quad (9)$$

где  $\Gamma = F_r/F$  - относительная частота гетеродина (округленная до целого числа).

Цифровые отсчеты  $b_i$  ( $i = \overline{1, k}$ ) с выходов АЦП 5 подаются в блок 16 оперативной памяти, в котором они обрабатываются аналогично описанному, и далее - в блок 6 ДПФ, в котором производится определение их амплитуд и фаз в соответствии с Фурье - разложением для сигнала

$$U(t) = \sum_{n=1}^m a_n \cos(2\pi n F t - \varphi_n), \quad (10)$$

где пределы 1,  $m$  суммирования смещены относительно прежних пределов  $L, M$  для (2) на величину  $\Gamma$  в соответствии с (5). При этом числа  $R$  и  $r$  гармоник для случаев (2) и (5), естественно, совпадают:

$$R = M - L + 1; \quad (11)$$

$$r = m - 1 + 1 = (M \pm \Gamma) - (L \pm \Gamma) + 1 = M - L + 1. \quad (12)$$

Полученные в блоке 6 ДПФ значения  $a_n, \varphi_n$  ( $n = \overline{1, m}$ ) одновременно со значениями  $A_n, \Phi_n$  ( $n = \overline{L, M}$ ) из дополнительного блока 1.2 памяти поступают в блок 7 вычисления, в котором формируются результаты расчеты АЧХ и ХГВЗ по формулам

$$\alpha_n = 20 \lg a_n \pm \Gamma / A_n \quad (13)$$

$$\hat{\varphi}_n = (\varphi_n \pm \Gamma - \varphi_{n \pm \Gamma}) / 2\Gamma, \quad (14)$$

где справа указаны входные величины, а слева - выходные для

$$n = 1, m/1 = L \pm \Gamma, m = M \pm \Gamma$$

соответственно, для преобразователей вверх и вниз;  $F = 1/T$ ,  $T$  - длительность цикла измерения входного (испытательного) сигнала  $U(t)$  и вы-

ходного (информационного) сигнала  $U(t)$ .

Блок 6 ДПФ формирует необходимые адресные сигналы АДР и сигнал "Счит" и считывает требуемые для БПФ отсчеты  $b_i$ , хранимые в блоке 14 оперативной памяти. Входной сигнал "Синх" сигнализирует блоку 6 ДПФ о режиме работы устройства (четный или нечетный цикл работы устройства), заставляя его переходить на другой режим обработки сигнала, т.е. на другую программу обработки сигнала. Блок 6 ДПФ осуществляет быстрое преобразование Фурье (БПФ) и после окончания преобразования информирует блок 7 вычисления об этом сигналом "Прер" (прерывание). Блок 7 вычисления приостанавливает свою текущую работу, переходит на обмен с блоком 6 ДПФ и выставляет требуемый адресный сигнал АДР (1), в котором находится  $a_n$  и  $\varphi_n$ , и информирует об этом блок 6 ДПФ сигналом "Сопр" (сопровождение). Блок 6 ДПФ выдает хранимую информацию об  $a_n$  и  $\varphi_n$  по шине данных (1) и информирует об этом блок 7 вычисления сигналом "Гот" (готовность). Блок 7 вычисления считывает эту информацию по шине данных (1).

Блок 7 вычисления считывает по шине данных (2) информацию об  $A_n$  и  $\Phi_n$  испытательного сигнала, хранимую в блоке 1.2 памяти с помощью адресного сигнала АДР (2) и сигнала "Счит", и производит требуемые вычисления по формулам (13) и (14), а также выводит характеристики исследуемого объекта в виде графиков на дисплей.

Блок 7 вычисления, кроме того, формирует сигнал "Уст" (начальная установка), который вызывает начальную установку блока 13 управления и блока 14 оперативной памяти с помощью сигнала "Сбр." (сброс), полученного в блоке 13 управления из сигнала "Уст". Блок 13 управления формирует сигнал "Упр" (управление) с периодом  $T = K/F_r$ , который управляет работой блока 14 оперативной памяти. Блок 14 оперативной памяти записывает отсчеты  $b_i$  в текущем цикле  $T_i$  с частотой дискретизации блока 5 АЦП  $f_{\text{Д}}$  и одновременно выдает блоку 6 ДПФ отсчеты  $b_i$  за предыдущий цикл  $T_{i-1}$ .

Для организации процесса дискретизации двухчастотного типа ( $F_D$  и  $f_D$ ) используется сигнал гетеродина 16 исследуемого четырехполосника 4 частоты вверх или вниз (фиг.1). Этот гармонический сигнал с частотой  $F_r$  подается на вход удвоителя 8 частоты, где его частота становится равной  $2F_r$ . Одновременно с этим из сигнала дискретизации с частотой  $F_D$  блока 13 управления в формирователе 9 гармонического сигнала образуется аналоговый сигнал с частотой  $2 MF$ . Полученные гармонические сигналы с частотами  $2 MF$  и  $2F_r$  подаются на входы перемножителя 10 сигналов, на выходе которого образуются сигналы суммарной и разностной частот  $2 MF \pm 2F_r$ , один из которых (ответчающий сигналу исследуемого четырехполосника 4) выделяется полосовым фильтром 11 и подается на вход формирователя 12 прямоугольных импульсов, на выходе которого образуется сигнал дискретизации с другой частотой,

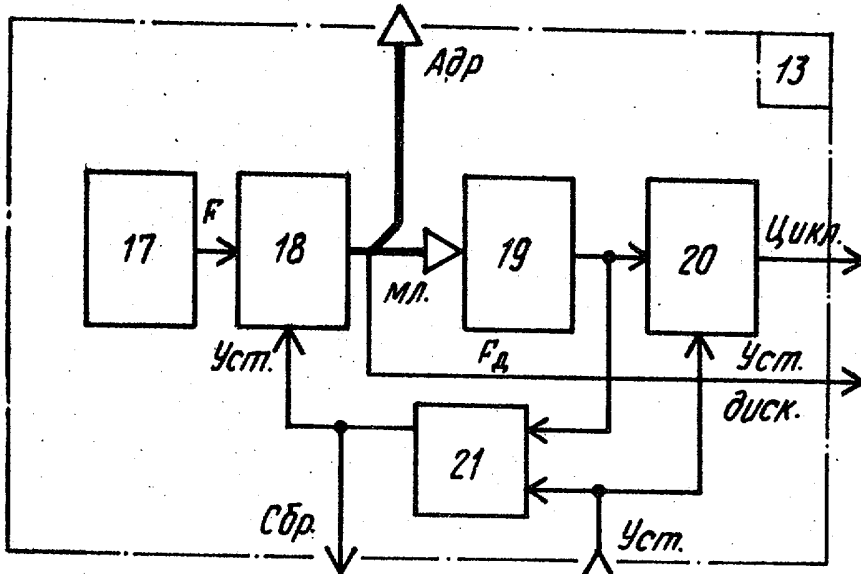
$$f_D = F_D \pm 2F_r.$$

Полученный импульсный сигнал дискретизации ( $f_D$ ) подается на входы дискретизации АЦП 5 и блока 14 оперативной памяти. Этим сигналом производится дискретизация информационного сигнала  $U(t)$  с получением из него отсчетов  $b_i$  ( $i = 1, k$ ). В то же время испытательный сигнал  $U(t)$  имеет другую частоту дискретизации  $F_D$  и другое количество отсчетов  $B_i$  ( $i = 1, K$ ).

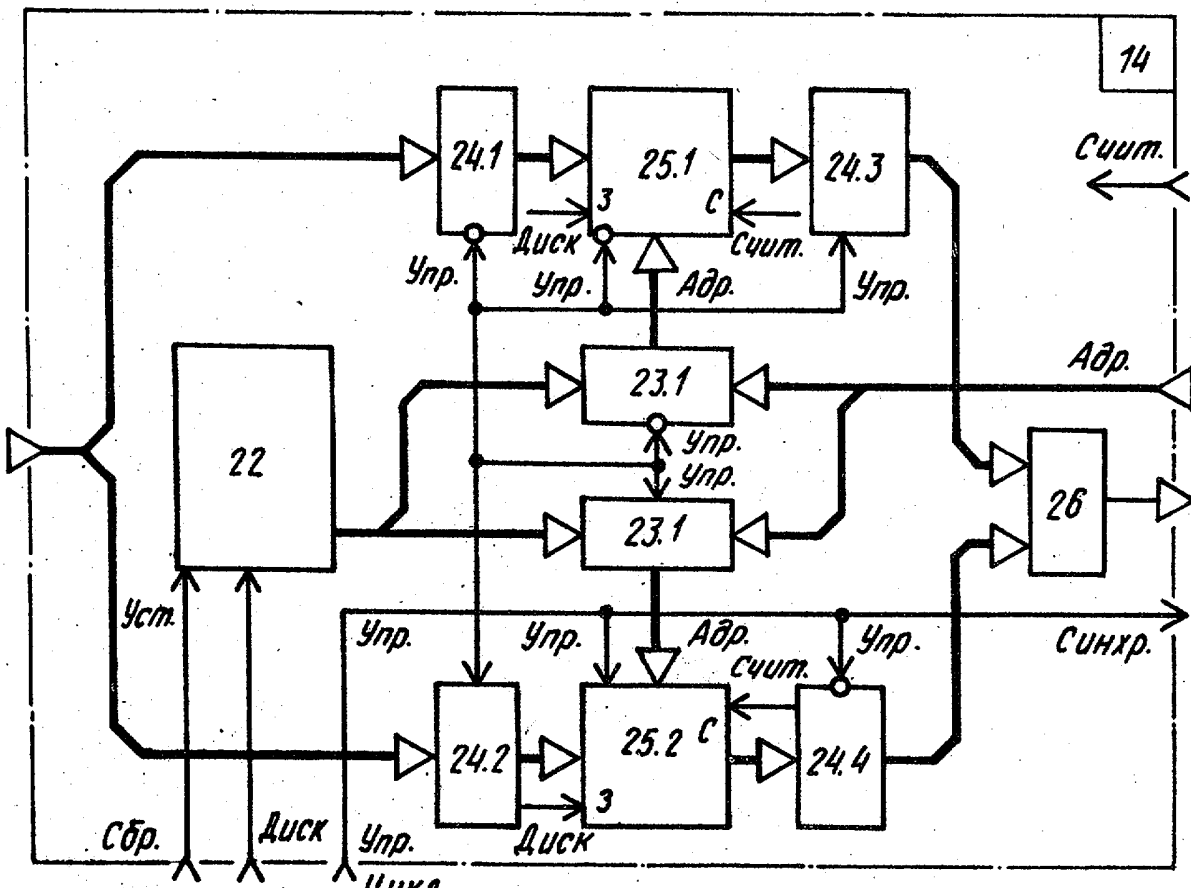
**Ф о р м у л а и з о б р е т е н и я**

Устройство для измерения частотных характеристик четырехполосника, содержащее последовательно соединенные блок памяти временных отсчетов испытательного сигнала, цифроаналоговый преобразователь, фильтр нижних частот, клеммы для подключения исследуемого четырехполосника и аналого-цифровой преобразователь, а

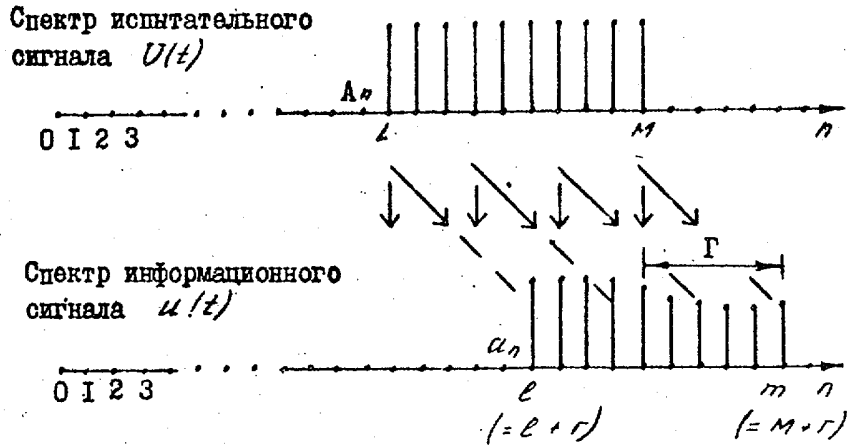
также блок дискретного преобразования Фурье, дополнительный блок памяти значений амплитуд и фаз испытательного сигнала и блок вычисления, первые входы которого подключены к соответствующим выходам блока дискретного преобразования Фурье, а вторые входы - к соответствующим выходам дополнительного блока памяти значений амплитуд и фаз испытательного сигнала, отличающееся тем, что, с целью повышения точности измерения, в него введены последовательно соединенные удвоитель частоты, перемножитель сигналов, полосовой фильтр и формирователь импульсных сигналов, блок управления, формирователь гармонического сигнала и блок оперативной памяти, информационные входы которого подключены к выходу аналого-цифрового преобразователя, информационные выходы - к информационным входам блока дискретного преобразования Фурье, вход дискретизации - к входу дискретизации аналого-цифрового преобразователя и выходу формирователя прямоугольных импульсов, а вход управления циклом - к выходу управления циклом блока управления, адресные выходы которого подключены к соответствующим адресным входам блока памяти временных отсчетов испытательного сигнала, а выход дискретизации - к входу формирователя гармонических сигналов, выход которого подключен к второму входу перемножителя сигналов, при этом вход удвоителя частоты подключен к гетеродинному выходу исследуемого четырехполосника, выход "Установка" блока вычисления подключен к входу "Установка" блока управления, выходы "Сброс" и "Управление циклом" подключены к соответствующим входам блока оперативной памяти, выход синхронизации которого подключен к входу синхронизации блока дискретного преобразования Фурье.



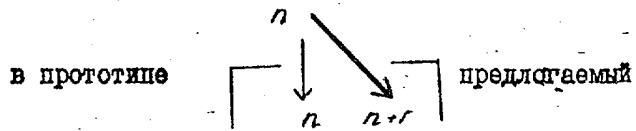
Фиг. 2



Фиг. 3

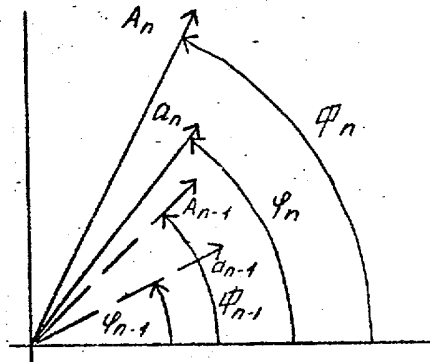


Алгоритм измерения

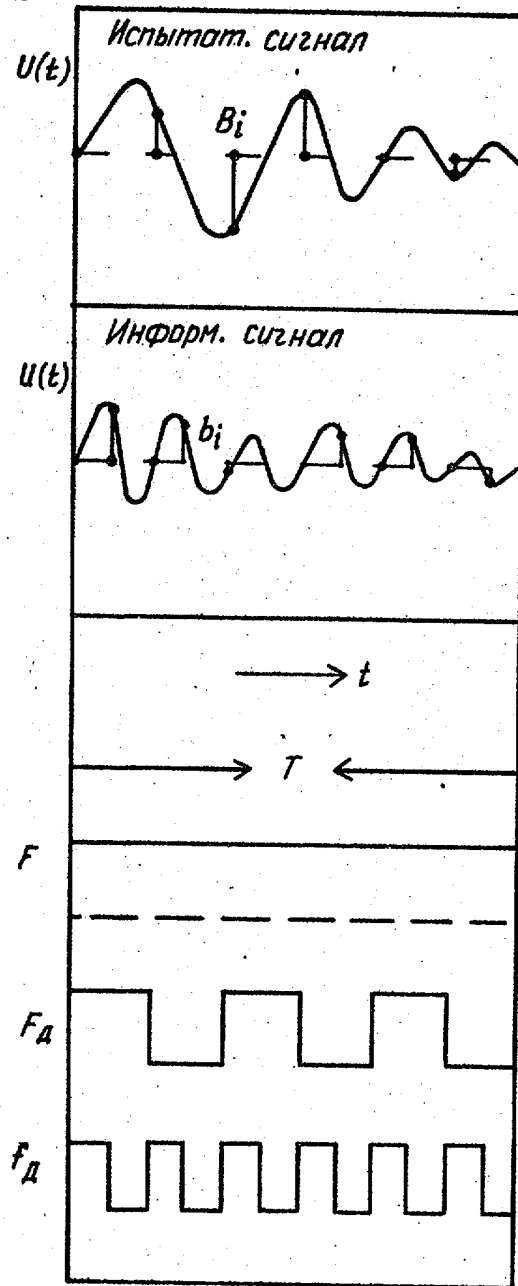


фиг. 4

$A, \varphi$  - испытательный сигнал  
 $a, \psi$  - информационный сигнал



фиг. 5



Фиг.6

Составитель Н. Михалев

Редактор Л. Гратилло

Техред М. Моргентал

Корректор Л. Патай

Заказ 2121

Тираж 414

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101