

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/8228

(45) 공고일자 2000년01월 15일

(11) 등록번호 10-0239929

(24) 등록일자 1999년 10월 23일

(21) 출원번호	10-1997-0005516	(65) 공개번호	특 1998-0023950
(22) 출원일자	1997년 02월 24일	(43) 공개일자	1998년 07월 06일
(30) 우선권 주장	96-248105 1996년 09월 19일	일본(JP)	
(73) 특허권자	미쓰비시덴키 가부시카가이샤 다니구찌 이찌로오, 기타오카 다카시		
(72) 발명자	일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 나카시마 타카시		
(74) 대리인	일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내 김창세		

심사관 : 김동원

(54) 반도체 장치 및 그 제조 방법

요약

본 발명은 컬렉터와 베이스간의 내압을 향상시킬 수 있도록 개량된 BiCMOS를 제공하는 것이다. 반도체 기판(1)의 주표면 중에 있으며, 외부 베이스층(30)의 외주(outer perimeter)와 필드 산화막(9)의 단부와 경계에 저농도 확산층(42)을 마련한다. 저농도 확산층(42)은 반도체 기판(1)의 주표면으로부터 기판 내부를 향해 넓어지며, 외부 베이스층(30) 중의 불순물 농도보다도 낮은 농도를 갖는다.

대표도

도4

명세서

도면의 간단한 설명

도 1은 실시예 1에 따른 반도체 장치의 제조 방법의 순서의 제 1 공정에서의 반도체 장치의 단면도
 도 2는 실시예 1에 따른 반도체 장치의 제조 방법의 순서의 제 2 공정에서의 반도체 장치의 단면도
 도 3은 실시예 1에 따른 반도체 장치의 제조 방법의 순서의 제 3 공정에서의 반도체 장치의 단면도
 도 4는 실시예 1에 따른 반도체 장치의 제조 방법의 순서의 제 4 공정에서의 반도체 장치의 단면도
 도 5는 실시예 2에 따른 반도체 장치의 제조 방법의 순서의 제 1 공정에서의 반도체 장치의 단면도
 도 6은 실시예 2에 따른 반도체 장치의 제조 방법의 순서의 제 2 공정에서의 반도체 장치의 단면도
 도 7은 실시예 2에 따른 반도체 장치의 제조 방법의 순서의 제 3 공정에서의 반도체 장치의 단면도
 도 8은 실시예 2에 따른 반도체 장치의 제조 방법의 순서의 제 4 공정에서의 반도체 장치의 단면도
 도 9는 실시예 3에 따른 반도체 장치의 제조 방법의 순서의 제 1 공정에서의 반도체 장치의 단면도
 도 10은 실시예 3에 따른 반도체 장치의 제조 방법의 순서의 제 2 공정에서의 반도체 장치의 단면도
 도 11은 실시예 3에 따른 반도체 장치의 제조 방법의 순서의 제 3 공정에서의 반도체 장치의 단면도
 도 12는 실시예 4에 따른 반도체 장치의 제조 방법의 순서의 제 1 공정에서의 반도체 장치의 단면도
 도 13은 실시예 4에 따른 반도체 장치의 제조 방법의 순서의 제 2 공정에서의 반도체 장치의 단면도
 도 14는 실시예 4에 따른 반도체 장치의 제조 방법의 순서의 제 3 공정에서의 반도체 장치의 단면도
 도 15는 실시예 5에 따른 반도체 장치의 제조 방법의 순서의 제 1 공정에서의 반도체 장치의 단면도
 도 16은 실시예 5에 따른 반도체 장치의 제조 방법의 순서의 제 2 공정에서의 반도체 장치의 단면도
 도 17은 실시예 5에 따른 반도체 장치의 제조 방법의 순서의 제 3 공정에서의 반도체 장치의 단면도
 도 18은 실시예 6에 따른 반도체 장치의 제조 방법의 순서의 제 1 공정에서의 반도체 장치의 단면도
 도 19는 실시예 6에 따른 반도체 장치의 제조 방법의 순서의 제 2 공정에서의 반도체 장치의 단면도
 도 20은 실시예 6에 따른 반도체 장치의 제조 방법의 순서의 제 3 공정에서의 반도체 장치의 단면도

도 21은 실시예 7에 따른 반도체 장치의 제조 방법의 순서의 제 1 공정에서의 반도체 장치의 단면도
 도 22는 실시예 7에 따른 반도체 장치의 제조 방법의 순서의 제 2 공정에서의 반도체 장치의 단면도
 도 23은 실시예 7에 따른 반도체 장치의 제조 방법의 순서의 제 3 공정에서의 반도체 장치의 단면도
 도 24는 실시예 8에 따른 반도체 장치의 제조 방법의 순서의 제 1 공정에서의 반도체 장치의 단면도
 도 25는 실시예 8에 따른 반도체 장치의 제조 방법의 순서의 제 2 공정에서의 반도체 장치의 단면도
 도 26은 실시예 8에 따른 반도체 장치의 제조 방법의 순서의 제 3 공정에서의 반도체 장치의 단면도
 도 27은 종래의 BiCMOS의 단면도
 도 28은 도 27에 도시한 BiCMOS의 바이폴라 트랜지스터 부분의 평면도
 도 29는 도 27에 도시한 BiCMOS의 바이폴라 트랜지스터 부분의 확대도
 도 30은 종래의 반도체 장치의 제조 방법의 순서의 제 1 공정에서의 반도체 장치의 단면도
 도 31은 종래의 반도체 장치의 제조 방법의 순서의 제 2 공정에서의 반도체 장치의 단면도
 도 32는 종래의 반도체 장치의 제조 방법의 순서의 제 3 공정에서의 반도체 장치의 단면도
 도 33은 종래의 반도체 장치의 제조 방법의 순서의 제 4 공정에서의 반도체 장치의 단면도
 도 34는 종래의 반도체 장치의 제조 방법의 순서의 제 5 공정에서의 반도체 장치의 단면도
 도 35는 종래의 반도체 장치의 제조 방법의 순서의 제 6 공정에서의 반도체 장치의 단면도
 도 36은 종래의 반도체 장치의 제조 방법의 순서의 제 7 공정에서의 반도체 장치의 단면도
 도 37은 종래의 반도체 장치의 제조 방법의 순서의 제 8 공정에서의 반도체 장치의 단면도
 도 38은 종래의 반도체 장치의 제조 방법의 순서의 제 9 공정에서의 반도체 장치의 단면도
 도 39는 종래의 반도체 장치의 제조 방법의 순서의 제 10 공정에서의 반도체 장치의 단면도
 도 40은 종래의 반도체 장치의 제조 방법의 순서의 제 11 공정에서의 반도체 장치의 단면도
 도 41은 종래의 반도체 장치의 제조 방법의 순서의 제 12 공정에서의 반도체 장치의 단면도
 도 42는 종래의 반도체 장치의 제조 방법의 순서의 제 13 공정에서의 반도체 장치의 단면도
 도 43은 종래의 반도체 장치의 제조 방법의 순서의 제 14 공정에서의 반도체 장치의 단면도
도면의 주요 부분에 대한 부호의 설명

1 : P⁻형 반도체 기판 9 : 필드 산화막

30 : 외부 베이스층 34 : 베이스층

38 : 에미터층 42 : P⁻층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 일반적으로 반도체 장치에 관한 것으로, 보다 특정적으로는, 바이폴라 트랜지스터(bipolar transistor)를 포함하는 반도체 장치에 관한 것이다. 본 발명은, 또한, 그와 같은 반도체 장치의 제조 방법에 관한 것이다.

바이폴라 트랜지스터의 미세화·고성능화를 위해, 폴리실리콘을 베이스 인출 전극에 사용하여 자기 정합적으로 베이스, 에미터의 확산층을 결정하는 기술("폴리실리콘·셀프-얼라이닝(self-aligning) 기술")이 널리 사용되고 있다.

도 27은 상기 기술을 이용하여 형성된, NPN 바이폴라와 NMOS와 PMOS의 각 트랜지스터를 동일 집적 회로에 탑재한 종래의 BiCMOS의 단면도이다.

도 28은 도 27에 있어서의 NPN 바이폴라 트랜지스터의 부분 평면도이다. 도 29는 도 27에 있어서의 NPN 바이폴라 트랜지스터의 부분 확대도이다.

이하, 도 27에 도시한 BiCMOS의 제조 공정을 설명하면서 그 구조에 대해 설명한다.

도 30을 참조하면, P⁻형 기판(1)의 표면에 안티몬·비소(antimony·arsenic)등이 주입된 N형 매립층(2), 보론(boron)등이 주입된 P형 매립층(3)을 차례로 형성한다. 다음에, 도 31을 참조하면, 반도체 기판(1) 상에 N형 에피택셜 성장층(epitaxial growth layer)(4)을 퇴적(堆積)한다. 이 때, N형 매립층(2), P형 매립층(3) 중의 불순물은 에피택셜 성장층(4) 중으로 확산된다.

도 32를 참조하면, 에피택셜 성장층(4) 상에 열산화막(5)을 형성한다. 열산화막(5)을 통해 불순물 이온을 주입함으로써 NMOS의 P형 웰(well) 및 NPN 바이폴라의 P형 분리(p type isolator)를 겸하는 P형 확산

층(6)을 형성한다.

도 33을 참조하면, 필드 산화막을 형성하기 위한 질화막(窒化膜) 패턴(7)을 열산화막(5) 상에 형성한다. 그 후, P형 불순물을 주입하여 채널컷(channel cut)층(8)을 형성한다.

도 33과 도 34를 참조하면, 필드 산화막(9)을 열산화법에 의해 형성한다. 그 후, 질화막 패턴(7)을 제거한다.

도 35를 참조하면, 질화막(10)을 퇴적한다. 질화막(10) 중에 컬렉터의 N형 확산층(12)을 형성하기 위해 확산층(11)을 연다. 질화막(10)을 마스크로 하여 인 등의 N형 불순물을 가스 확산등에 의해 확산층(11)을 통하여 도입하고, 그것에 의해 N형 확산층(12)을 형성한다.

도 36을 참조하면, NPN 바이폴라 트랜지스터를 형성해야 할 영역의 질화막(10)을 제거하고, 다음에 베이스 영역 상에 있는 산화막(5)을 제거하여 에피택셜 성장층(4)의 표면(14)을 노출시킨다. 불순물을 첨가하지 않은 폴리실리콘층(15)과 CVD 산화막(16)을 차례로 퇴적하고, 그 후 이들이 베이스 영역에 남도록 패터닝한다. 반도체 기판 표면에 CVD 산화막을 퇴적하고, 이것을 전면 이방성 에칭함으로써 폴리실리콘층(15) 주변에 측벽 스페이서(sidewall spacer)(17)를 형성한다. 나머지 질화막(10)을 제거하고 또 열산화막(5)을 제거한다. 이 때, CVD 산화막(16,17), 열산화막(13)의 막 두께는 줄어든다.

다음에, 게이트 산화를 실시하여 열산화막(18,19)을 에피택셜 성장층(4) 및 P 웰(6)의 표면에 형성한다. 인 등의 N형 불순물을 첨가한 폴리실리콘층(21)과 MoSi₂·WSi 등의 금속막(22)을 차례로 퇴적하고, 이들을 MOS 게이트 전극의 형상으로 패터닝한다. 이 패터닝(에칭) 시에, 폴리실리콘층(15) 상의 CVD 산화막(20)의 막 두께는 감소한다. 인 등의 N형 불순물을, 포토레지스트(photoresist)(도시하지 않음)를 마스크로 하는 이온 주입법에 의해 이온 주입함으로써, NMOS의 N형 소스/드레인 영역(23)을 형성한다.

도 38을 참조하면, CVD 산화막을 퇴적한 후 이것을 전면 이방성 에칭하여 측벽 스페이서(24)를 형성한다. 이 때, 열산화막(18,19,20)은 제거된다. 비소 등의 N형 불순물을, 포토레지스트를 마스크로 하는 이온 주입법에 의해 이온 주입함으로써, NMOS의 N⁺ 소스/드레인 영역(25)을 형성한다.

도 39를 참조하면, 희생 산화 처리(sacrificial oxidation)를 실시하여 산화막(26,27,28)을 형성한다. 포토레지스트를 마스크로 해서 외부 베이스·폴리실리콘층(15) 및 PMOS 영역에 보론 등의 P형 불순물을 이온 주입하여, P⁺ 소스/드레인 영역(29) 및 외부 베이스층(30)을 형성한다. 접합 깊이에 있어서는, 폴리실리콘층(15)으로부터 이온 주입하였기 때문에 P⁺ 소스/드레인 영역(29)보다도 외부 베이스층(30)은 얇게 된다.

도 40을 참조하면, CVD 산화막(31)을 퇴적한 후 에칭하여 진성(intrinsic) 베이스 영역(32)을 노출시킨다. 폴리실리콘층(15)의 오버 에칭(over etching) 시, 에피택셜 성장층(4)의 표면이 제거되어 단차(step)(33)가 생긴다. 보론, BF₂ 등의 P형 불순물을 이온 주입함으로써 진성 베이스층(34)이 형성된다.

도 41을 참조하면, CVD 산화막(35)을 퇴적한 후, 전면을 에칭함으로써 외부 베이스 폴리실리콘층(15)의 내벽에 측벽 스페이서(35)를 형성한다. 이 때, 오버 에칭에 의해 에피택셜 성장층(4)의 표면이 제거되어 단차(36)가 생긴다.

도 42를 참조하면, 폴리실리콘층(37)을 퇴적한 다음, 이것에 비소 등의 N형 불순물을 이온 주입한다. 그 후, 이 폴리실리콘층(37)을 도시한 바와 같이 에미터 영역을 덮도록 패터닝한다. 이어서, CVD 산화막(37)을 퇴적하여 열처리한다. 열처리에 의해 에미터층(38)이 형성된다. CVD 산화막(39)을 개구(開口)하여 접촉부(40)를 형성한다.

도 43을 참조하면, 접촉부(40)에 접촉하도록, 금속을 퇴적하고, 이것을 패터닝함으로써 금속 배선(41)을 형성한다.

발명이 이루고자 하는 기술적 과제

종래의 BiCMOS는 이상과 같이 구성되어 있기 때문에 이하에서 설명하는 문제점이 있다.

즉, 도 29를 참조하면, 외부 베이스층(30)은 에피택셜 성장층(4)과의 접합 깊이를 알게 할 목적으로 외부 베이스 폴리실리콘층(15)으로부터 에피택셜 성장층(4) 중으로 보론을 확산시키는 방법에 의해 형성되어 있다. 그 때문에 외부 베이스층(30)은 필드 산화막(9)의 에지(edge)에서 접합 깊이가 알게 된다. 이것은 필드 산화막(9)의 에지의, 이른바 새부리 형상부(bird's beak)라고 칭해지는 부분(도 29 중에서, 원으로 표시한 부분)에 의해 보론의 확산이 억제되기 때문이다. 필드 산화막의 에지에서 접합 깊이가 알게 되면, NPN 바이폴라 트랜지스터의 컬렉터, 베이스에 역 바이어스를 인가한 경우, 원으로 표시한 부분에 전계가 집중됨으로써 나아가 컬렉터와 베이스간의 내압을 저하시키게 된다. 왜냐하면, 이 부분에서의 PN 접합의 곡률 반경이 작기 때문이다.

본 발명의 목적은 상기와 같은 문제점을 해결하기 위한 것으로, 바이폴라 트랜지스터를 포함하는 반도체 장치에 있어서 외부 베이스층의 필드 산화막 에지 부분에서의 전계 집중의 완화를 도모할 수 있도록 개량하는 것이다.

본 발명의 다른 목적은 컬렉터와 베이스간의 내압을 향상시킬 수 있도록 개량한 바이폴라 트랜지스터를 제공하는 것이다.

본 발명의 다른 목적은 컬렉터와 베이스간의 내압을 향상시킬 수 있도록 개량한 BiCMOSFET를 제공하는 것이다.

본 발명의 또 다른 목적은 그와 같은 반도체 장치의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명에 관한 반도체 장치는 반도체 기판을 구비한다. 상기 반도체 기판의 주표면 중에 활성 영역을 다른 활성 영역으로부터 분리할 목적으로 그 단부에서 활성 영역을 둘러싸는 필드 산화막이 마련되어 있다. 상기 활성 영역의 표면 중에 에미터층이 마련되어 있다. 상기 활성 영역의 표면 중에 상기 에미터층을 둘러싸도록 베이스층이 마련되어 있다. 이 반도체 장치는, 상기 활성 영역의 표면 중에 있으며, 상기 베이스층의 주위를 둘러싸도록 마련되어, 그 내주가 상기 베이스층과 전기적으로 접촉하고 그 외주가 상기 필드 산화막의 상기 단부와 접촉하도록 마련된 외부 베이스층을 구비한다. 이 장치는 또한, 상기 반도체 기판의 주표면 중에 있으며, 상기 외부 베이스층의 상기 외주와 상기 필드 산화막의 상기 단부와와의 경계를 따라 마련되어, 상기 반도체 기판의 주표면으로부터 기판 내부를 향하여 넓어지는, 상기 외부 베이스층 층의 불순물 농도보다도 낮은 농도를 갖는 저농도 불순물 확산층을 구비한다.

또한, 본 발명에 관한 반도체 장치는 반도체 기판을 구비한다. 상기 반도체 기판의 주표면 중에 활성 영역을 다른 활성 영역으로부터 분리할 목적으로 그 단부에서 활성 영역을 둘러싸는 필드 산화막이 마련되어 있다. 상기 활성 영역의 표면 중에 에미터층이 마련되어 있다. 상기 활성 영역의 표면 중에 상기 에미터층을 둘러싸도록 베이스층이 마련되어 있다. 상기 반도체 장치는 상기 활성 영역의 표면 중에 있으며, 상기 베이스층의 주위를 둘러싸도록 마련되어, 그 내주가 상기 베이스층과 전기적으로 접촉되고 그 외주가 상기 필드 산화막의 상기 단부와 접촉하도록 마련된 외부 베이스층을 구비한다. 상기 필드 산화막의 상기 단부에는 그 표면으로부터 아랫 방향을 향해 깎여져 생긴 단차가 마련되어 있다.

또한 본 발명에 관한 반도체 장치의 제조 방법은 에미터층, 이 에미터층을 감싸고 있는 베이스층, 상기 베이스층의 주위를 둘러싸는 외부 베이스층, 컬렉터층을 갖는 바이폴라 트랜지스터를 포함하는 반도체 장치의 제조 방법에 관한 것이다. 반도체 기판의 주표면 중에 그 단부가 활성 영역을 둘러싸는 필드 산화막을 형성한다. 상기 반도체 기판의 주표면 중에 컬렉터층을 형성한다. 상기 활성 영역의 표면 중에 상기 외부 베이스층보다도 불순물 농도가 낮은 저농도 불순물층을 형성한다. 상기 활성 영역 중에 상기 외부 베이스층, 상기 베이스층, 상기 에미터층을 형성한다.

실시예 1

도 1을 참조하면, 종래예에서 설명한 바와 같이, 우선 P⁻형 반도체 기판(1) 중에 N형 매립층(2), 에피택셜 성장층(4), 필드 산화막(9), 질화막(10)을 형성한다. 질화막(10) 중에 확산창(diffusion window)(11)을 형성한다. 다음에, 컬렉터의 N형 확산층(12)을 형성한다. 그 후, 질화막(10)을 제거한다.

도 2를 참조하면, 베이스 영역에 산화막(5)을 통해 보론 등의 P형 불순물을 이온 주입하여 P⁻층(42)을 형성한다. 불순물 이온 주입량은 $10^{11} \sim 10^{14} \text{ cm}^{-2}$ 의 범위내에 있는 것이 바람직하다.

도 3을 참조하면, 불순물을 첨가하지 않은 폴리실리콘층(15)과 CVD 산화막(16)을 퇴적한다. 그리고, 이들이 베이스 영역 상에 남도록 패터닝한다. 이어서, CVD 산화막(17)을 퇴적하고 이것을 전면 이방성 에칭함으로써 폴리실리콘층(15)의 주변에만 측벽 스페이서(17)로서 남긴다.

그 후, 종래예와 마찬가지로의 공정(도 37~도 43)을 거쳐 도 4에 도시한 반도체 장치를 얻는다. P⁻층(42)의 불순물은 P층(30)보다 먼저 도입되어 있었기 때문에 열산화·CVD막 디포지션 등의 열처리를 더 많이 받아서 더 깊은 위치까지 확산된다. 실시예 1에 따르면, 필드 산화막(9)의 에지의 PN 접합은 P⁻층(42)의 존재에 의해 그 곡률 반경이 크게 되고, 더구나 P층의 농도 구배(勾配)가 완만하게 되기 때문에, 컬렉터와 베이스 사이에 동일한 전압을 인가했을 때의 전계 강도는 종래예에 비해 작게 된다. 나아가 컬렉터와 베이스간의 내압이 향상된다.

실시예 2

도 5는 종래의 도 37에 상당하는 것이다.

도 6을 참조하면, 포토레지스트(도시되지 않음)를 마스크로 하여 NPN의 베이스 영역 및 PMOS의 소스/드레인 영역, 그 밖에 필요한 영역에만 보론, BF₂ 등을 이온 주입한다. 이 때의 주입 가속 전압은 다음 공정에서 P층(29, 30)을 형성하는 이온 주입시의 경우에 비해 큰 10~100 KeV이다. 또한, 주입량도 $10^{12} \sim 10^{15} \text{ cm}^{-2}$ 인 것이 바람직하다. 이 이온 주입에 의해 P⁻층(59, 43)이 형성된다.

도 7을 참조하면, CVD 산화막(24)을 퇴적한다. 그 후, 이것을 전면 이방성 에칭하여 측벽 스페이서를 게이트 전극(21,22)의 측벽 및 외부 베이스 폴리실리콘층(15)의 측벽에 형성한다. 이 때, 열산화막(18,19)은 제거된다. 또한, 외부 베이스 폴리실리콘층(15) 상의 열산화막(20)도 측벽 부분이외는 제거된다. 측벽 형성시의 손상을 회복하기 위해 희생 산화를 행하여 산화막(26,27,28)을 형성한다. 포토레지스트(도시되지 않음)를 마스크로 하여 NPN의 베이스 영역과 PMOS의 소스/드레인 영역 및 그 밖의 필요한 영역에만 보론, BF₂ 등을 상기 P⁻층(59, 43)을 형성할 때보다 낮은 가속 전압과 높은 주입량으로 이온 주입하여 P층(30, 29)을 형성한다.

그 후, 종래예와 마찬가지로의 공정(도 40~도 43)을 거쳐 도 8에 도시한 반도체 장치를 얻는다.

본 실시예에 의하면, P⁻ 소스/드레인 확산층(43)은 PMOS의 구동 능력을 향상시킬 목적으로 형성되어 있다. 이 P⁻ 소스/드레인 확산층(43)의 형성과 동시에 P⁻층(59)을 형성하여 NPN의 외부 베이스층(30)의 필드 산화막(9)의 에지 부분에서의 전계 집중의 완화를 도모하고 있다.

즉, PMOS의 P⁻ 소스/드레인 확산층(43)과 동시에 확산함으로써 형성된 P⁻층(59)을 종래의 외부 베이스 확산층인 P층(30)보다 깊게 형성하고 있다. 이 경우, P⁻ 소스/드레인 영역(43)은 측벽 스페이서(24)의 바

로 아래로 확장해 들어가 있다.

P^- 층(59)의 역할은 NPN 바이폴라 트랜지스터에서 실시예 1과 마찬가지로 외부 베이스층(30)의 필드 산화막(9)의 단부 부근의 PN 접합의 곡률 반경을 확대시키고 또한 P형 불순물 확산의 농도 구배를 저감시켜 종래에 비해 컬렉터와 베이스간의 내압을 향상시키는 것이다. 또한, 이것과 동시에 동일 방법으로 형성되는 P^- 층(43)에 의해, PMOS 트랜지스터에 있어서, 종래에 비해 게이트 길이를 단축할 수 있어 구동 능력을 높이는 것이 가능하다. 본 실시예에 의하면, P^- 층(43,59)을 동시에 동일 방법으로 형성하는 것이 가능하므로 공정의 간략화를 도모할 수 있다.

실시예 3

실시예 2에서는 측벽 스페이서를 형성하기 전에 P^- 층(43, 59)을 마련하였지만, 본 실시예에서는 측벽 스페이서를 형성한 후에 P^- 층을 형성하는 것을 특징으로 한다(도 9~도 11 참조).

도 11을 참조하면, NPN 트랜지스터에서 P^- 층(60)이 맡은 역할은 실시예 2의 P^- 층(59)의 역할과 동일하다. P^- 층(44)가 PMOS에서 맡은 역할도 실시예 2의 P^- 층(43)의 역할과 거의 동일하다. 그러나, 측벽(24)을 형성한 후에 P^- 층(44)을 형성했기 때문에 실제 게이트 길이가 실시예 2의 경우에 비해 길게 된다. 종래의 PMOS에 있어서는 확산 계수가 큰 보론을 소스/드레인 영역의 불순물로 사용하였기 때문에 다음 공정의 열처리에서 이것이 퍼져나가 소스와 드레인 간의 거리가 지나치게 짧아짐으로 인하여 소스·드레인간의 내압 불량을 야기하는 경우가 많았다. 이 때문에 도 27을 참조하면, N^+ 소스/드레인 영역(25)의 형성보다 나중에 P^+ 소스/드레인 영역(29)을 형성한다든지, 측벽 스페이서(24)의 폭 두께만큼 실질적으로 PMOS의 게이트 길이를 길게 하는 등의 고안이 이루어져 왔다. 그렇지만, 캐리어가 홀인 PMOS는 구동 능력이 낮다. 이것을 극복할 목적으로, 실시예 2에서는 P^+ 소스/드레인 영역(29)보다 저농도로 실질적으로 PMOS의 게이트 길이를 단축하는 위치에 마련된 P^- 소스/드레인 영역(59)을 도 8과 같이 사용하였다. P^- 소스/드레인 영역(59)은 비교적 저농도여서 불필요하게 지나친 확산이 일어나지 않아 소스·게이트간의 내압 불량을 야기하지 않기 때문이다.

그런데, 미세화를 진행시키면 P^- 소스/드레인 영역(59)에서도 확산이 지나치게 넓게 된다. 이 때문에, 본 실시예에서는 도 11과 같이 측벽(24)을 형성한 후에 P^- 소스/드레인 영역(44)을 마련한다. P^+ 소스/드레인 영역(29)보다도 저농도이며 또한 깊은 위치로 확산됨으로써 실질적인 게이트 길이를 단축할 수 있다(도 11 참조).

다음에, 제조 방법에 대해 설명한다.

도 9는 도 39에서의 NPN과 PMOS 부분을 도시한 것이다.

포토리저스트(도시하지 않음)를 마스크로 하여 NPN의 베이스 영역과 PMOS의 소스/드레인 영역 및 그 밖의 필요한 영역에만 보론, BF_2 등을 이온 주입한다. 통상은 기판(1)에 대해 수직인 선에 대하여 7도 정도의 입사 각도를 가지고 이온 주입을 행한다. 그러나 45도 정도까지 기울여 기판 전체를 회전시키는 방법도 있다. 이에 의해 P^- 층(44)은 측벽(24)의 더 안쪽에까지 미치게 된다. 이온 주입시의 가속 전압, 주입량의 바람직한 범위는 실시예 2의 경우와 마찬가지로이다. P^- 층(60,44)을 형성한 후, 다시 P형 불순물을 이온 주입하여 P층(30,29)을 형성한다. 이 때의 가속 전압은 P^- 층(60,44)을 형성할 때에 비해 낮고, 주입량은 많다. 그 후, 포토리저스트를 제거하면 도 10에 도시한 상태의 것을 얻을 수 있다.

그 후, 종래의 도 40~도 43의 공정과 동일한 공정을 거침으로써 도 11에 도시한 반도체 장치를 얻을 수 있다.

실시예 4

먼저, 도 30~도 35에 도시한 종래의 공정을 행한다. 다음에, 도 12를 참조하면, 바이폴라 트랜지스터를 형성할 영역의 질화막(10)을 제거한다. 필드 산화막(9)의 단부에 개구부를 갖는 포토리저스트(45)를 형성한다. 또한, 도 12에서는 바이폴라 트랜지스터 부분만을 도시하고 실시예 4의 MOS 부분은 종래에와 같은 구성을 갖는다. 포토리저스트막(45)은 외부 베이스층으로서, 필드 산화막(9)의 에지부는 덮지 않고 다른 바이폴라의 확산 영역을 덮도록 형성한다. 포토리저스트막(45)을 마스크로 하여 이온 주입함으로써 P^- 층(46)을 형성한다. P^- 층(46)을 비교적 저농도로, 또한 비교적 얇게 형성하기 위해서, 보론이나 BF_2 등의 이온종은 주입량 $10^{11} \sim 10^{14} \text{ cm}^{-2}$, 가속 전압 5~50 KeV의 범위에서 이온 주입을 행하는 것이 바람직하다.

도 13를 참조하면, 불순물을 첨가하지 않은 폴리실리콘층(15), CVD 산화막(16)을 퇴적하여 이들을 패터닝한다. CVD 산화막을 퇴적하고 이것을 이방성 에칭하여 폴리실리콘층(15)의 측벽에 측벽 스페이서(17)로서 남긴다.

이하, 종래의 공정(도 37~도 43)을 거쳐 도 14에 도시한 반도체 장치를 얻는다. P^- 층(46)의 불순물은 P층(30)보다 앞서 도입되어 있어서 열처리를 보다 많이 받는다. 그 때문에, P^- 층(46)은 P층(30)보다 상당히 저농도이지만 P층(30)과 같은 정도의 깊이로 확산된다.

외부 베이스층(30)의 외벽과 필드 산화막(9)의 단부의 경계를 따라 반도체 기판의 주표면으로부터 기판 내부를 향해 넓어지는 P^- 층(46)이 마련되어 있기 때문에 필드 산화막(9)의 에지부에서의 PN 접합의 곡률

반경이 확대된다. 또한 P층 농도 구배의 저감화를 도모하는 것이 가능하므로 컬렉터와 베이스간의 내압이 향상된다.

실시예 5

실시예 5는 실시예 4에 있어서의 P⁻층(46) 형성 방법의 다른 예에 관한 것이다. 우선, 도 30~도 35에 도시한 종래의 공정을 행한다. 그 후, 질화막(10)을 제거한다.

다음에, 도 15를 참조하면, 보론 등의 P형 불순물을 첨가한 CVD막(산화막 또는 폴리실리콘)(47)을 퇴적한다. 또한, 도 15에서는 바이폴라부만을 도시하고 있다. MOS부에 대해서는 종래예와 동일하다.

CVD막(47)으로의 P형 불순물의 첨가 방법은 P형 불순물을 CVD 도중에 도핑 가스로 하여 CVD막에 첨가하는 방법과 불순물이 첨가되어 있지 않은 CVD막을 퇴적한 후 이것에 P형 불순물을 이온 주입 등에 의해 첨가하는 방법이 있다.

도 15와 도 16을 참조하면, CVD막(47)을 전면 이방성 에칭함으로써 필드 산화막(9)의 내벽에 P형 불순물을 고농도로 함유한 측벽 스페이서(48)를 형성한다. 컬렉터의 N형 확산층(12)의 확산창(11)에 있어서, 필드 산화막(9)의 단부의 내벽에도 측벽 스페이서가 생기지만 이들은 다음 공정인 외부 베이스 폴리실리콘층(15) 및 CVD 산화막(17)의 에칭 공정에서 제거된다. 불순물이 첨가되어 있지 않은 폴리실리콘층(15)과 CVD 산화막(16)을 퇴적하여, 이들을 베이스 영역을 덮는 부분만이 남도록 패터닝한다. CVD 산화막(17)을 퇴적하고 이들을 전면 이방성 에칭함으로써, 측벽 스페이서(17)를 형성한다. CVD막(15, 16, 17)의 퇴적시의 열에 의해 측벽 스페이서(48)로부터 불순물이 확산되어 P⁻층(49)이 형성된다. 다음에, 종래의 공정(도 37~도 43)과 동일한 공정을 거쳐 도 17에 도시한 반도체 장치를 얻을 수 있다.

실시예 6

먼저, 종래의 공정(도 30~도 35)을 거친다. 다음에 바이폴라 영역의 질화막(10)을 제거한다.

도 18을 참조하면, 베이스 영역 측의 필드 산화막의 단부 위에 개구부를 갖는 포토레지스트막(50)을 형성한다. 또한, 도 18에서는 바이폴라부만을 도시하고 있다. 포토레지스트막(50)을 마스크로 해서 필드 산화막(9)을 에칭하여 필드 산화막(9)의 단부의 두께를 얇게 한다. 따라서, 종래와 같은 공정을 거쳐 도 19에 도시한 중간체(中間體)를 얻는다. 이어서, 종래의 공정(도 37~도 43)을 거쳐, 도 20에 도시한 반도체 디바이스를 얻는다.

본 발명의 실시예에 의하면, 베이스 영역 측의 필드 산화막(9)의 단부가 얇게 되어 있기 때문에 외부 베이스 폴리실리콘층(15)을 형성하고, 이어서 외부 베이스 P층을 형성한 경우, 필드 산화막(9)의 에지부에서 종래의 외부 베이스 P층(30)보다 더 깊게 확산된 외부 베이스 P층(52)을 얻을 수 있다.

도 20에 있어서는, 본 실시예에서 얻어지는 외부 베이스층 프로파일(52)과 종래의 방법으로 얻어지는 외부 베이스층 프로파일(30)을 병기하고 있다.

프로파일(52)에 의해, 필드 산화막(9)의 단부에서의, 외부 베이스 P층과 컬렉터 N 에피택셜층의 PN 접합의 곡률 반경을 크게 할 수 있으며, 나아가 컬렉터·베이스간에 역 바이어스를 인가한 때에도 전계 집중을 완화시킬 수 있다.

실시예 7

도 21은 종래예인 도 42에 상당하는 도면이다.

도 21과 도 22를 참조하면, 반도체 기판(1)의 전면에 포토레지스트막(53)을 형성하고, 이들을 도시한 바와 같이 패터닝하여 N형 확산층(12)의 접촉부를 가린다.

도 22와 도 23을 참조하면, 포토레지스트막(53)을 마스크로 하여 보론, BF₂ 등의 P형 불순물을 이온 주입함으로써 P⁻층(55, 54)을 동시에 형성한다. 이온 주입 조건은 가속 전압 50~400KeV, 주입량 10¹²~10¹⁵ cm⁻²이 바람직하다. 금속 전극(41)을 형성한다.

PMOS의 P⁺ 소스/드레인 영역의 접촉부에 금속 전극(41)과의 접촉 저항을 피할 목적으로 P⁻층(54)을 도입하지만, 이것을 NPN의 외부 베이스 접촉부에도 적용하여 외부 베이스 확산층(30) 옆에 P⁻층(55)을 마련함으로써, 종래에 비해, 공정을 간략화할 수 있다고 하는 효과를 얻는다. 접촉부를 개구한 후에 P⁻층(55)을 형성하기 위해서 베이스 접촉부를 베이스 영역 측의 필드 산화막(9)을 따라 마련하지 않으면 안된다. 따라서, 에미터 전극은 2 층째의 금속 배선으로 인출할 필요가 있다.

실시예 8

도 30~도 32까지의 공정을 행한다. 이어서, 전면에 질화막을 형성한다.

도 24를 참조하면, 필드 산화막을 형성하도록 예정된 영역을 포토레지스트(56)로 덮어 질화막(7)을 패터닝한다. 포토레지스트막(57)을 더 도포하고 이것을 패터닝하여 채널컷 P⁻층을 도입하고자 하지 않는 영역에 포토레지스트막(57)을 남긴다. 포토레지스트막(57)을 마스크로 하여 보론 등의 P형 불순물을 이온 주입한다. 이온 주입 조건은 가속 전압 10~100KeV, 주입량 10¹¹~10¹⁴ cm⁻²의 범위인 것이 바람직하다. 이것에 의해, P⁻층(58, 8)이 형성된다.

도 25를 참조하면, 레지스트막(56, 57)을 제거한 후 열산화법에 의해 두꺼운 필드 산화막(9)을 형성한다. 이 열처리로 P⁻층(58, 8)이 넓어진다.

이하, 종래의 공정(도 34~도 43)의 공정을 거쳐 도 26에 도시한 반도체 장치를 얻는다.

이상의 실시예에서는, NPN, NMOS, PMOS의 경우를 예시하였지만 모든 불순물 도전형을 반대의 도전형으로 치환하여 PNP, PMOS, NMOS를 형성하여도 마찬가지로의 효과를 얻을 수 있다.

발명의 효과

본 발명의 청구항 1의 반도체 장치에 의하면, 반도체 기관의 주표면 중에 있으며, 외부 베이스 층의 외주와 필드 산화막의 단부의 경계를 따라 마련되어, 반도체 기관의 주표면으로부터 기관 내부를 향해 넓어지는, 외부 베이스 층의 불순물 농도보다도 낮은 농도를 갖는 저농도 불순물 확산층을 구비하기 때문에, 필드 산화막의 에지부의 PN 접합의 곡률 반경이 크게 된다. 그 결과, 컬렉터와 베이스 사이에 동일한 전압을 인가했을 때의 전계 강도는 작게 된다. 나아가 컬렉터와 베이스간의 내압이 향상하도록 하는 효과를 얻을 수 있다.

본 발명의 청구항 2의 반도체 장치에 의하면, 필드 산화막의 단부에 그 표면으로부터 아랫 방향으로 향하여 깎여져 생긴 단차가 마련되어 있다. 이와 같은 단차가 존재하여, 결과로서 필드 산화막의 단부에서의 PN 접합의 곡률 반경을 크게 할 수 있다. 나아가, 컬렉터·베이스간에 역 바이어스를 인가했을 때에도 전계 집중을 완화시킬 수 있다.

본 발명의 청구항 3의 반도체 장치의 제조 방법에 의하면, 활성 영역의 표면 중에 외부 베이스층보다도 불순물 농도가 낮은 저농도 불순물 확산층을 형성한다. 이와 같은 저농도 불순물 확산층의 존재에 의해, 필드 산화막의 에지부의 PN 접합의 곡률 반경이 크게 된다. 따라서, 컬렉터와 베이스간의 내압이 향상된 반도체 장치를 얻을 수 있다.

(57) 청구의 범위

청구항 1

반도체 기관과,

상기 반도체 기관의 주(主)표면 중에 활성 영역을 다른 활성 영역으로부터 분리하기 위해 마련되어 그 단부에서 활성 영역을 둘러싸는 필드(field) 산화막과,

상기 활성 영역의 표면 중에 마련된 에미터(emitter)층과,

상기 활성 영역의 표면 중에 있으며 상기 에미터층을 둘러싸도록 마련된 베이스(base)층과,

상기 활성 영역의 표면 중에 있으며 상기 베이스층의 주위를 둘러싸도록 마련되어 그 내주(inner perimeter)가 상기 베이스층과 전기적으로 접속되고 그 외주(outer perimeter)가 상기 필드 산화막의 상기 단부와 접촉되도록 마련된 외부 베이스층과,

상기 반도체 기관의 주표면 중에 있으며, 상기 외부 베이스층의 상기 외주와 상기 필드 산화막의 상기 단부와 경계를 따라 마련되어, 상기 반도체 기관의 주표면으로부터 기관 내부를 향하여 확대되는, 상기 외부 베이스층의 불순물 농도보다도 낮은 농도를 갖는 저농도 불순물 확산층

을 포함하는 반도체 장치.

청구항 2

반도체 기관과,

상기 반도체 기관의 주표면 중에, 활성 영역을 다른 활성 영역으로부터 분리시킬 목적으로 마련되어 그 단부에서 활성 영역을 둘러싸는 필드 산화막과,

상기 활성 영역의 표면 중에 마련된 에미터층과,

상기 활성 영역의 표면 중에 있으며 상기 에미터층을 둘러싸도록 마련된 베이스(base)층과,

상기 활성 영역의 표면 중에 있으며 상기 베이스층의 주위를 둘러싸도록 마련되어 그 내주가 상기 베이스층과 전기적으로 접속되고 그 외주가 상기 필드 산화막의 상기 단부와 접촉되도록 마련된 외부 베이스층

을 포함하며,

상기 필드 산화막의 상기 단부에는 그 표면으로부터 아랫 방향을 향해 깎여져 생긴 단차(段差)가 마련되어 있는

반도체 장치.

청구항 3

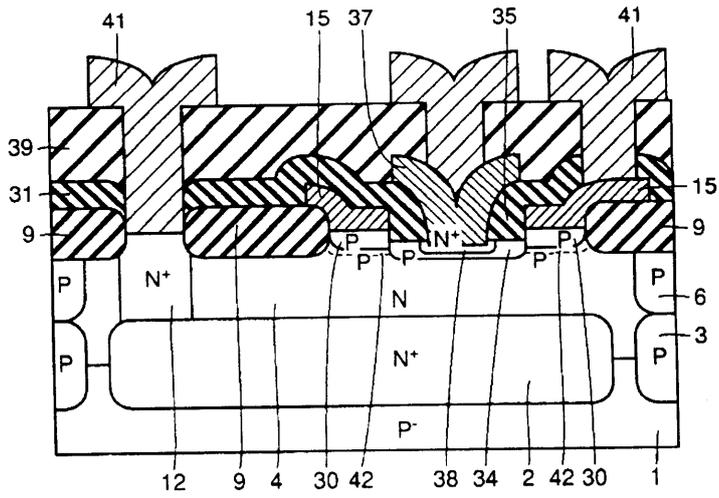
에미터층, 이 에미터층을 감싸는(wrapping) 베이스층, 상기 베이스층의 주위를 둘러싸는 외부 베이스층, 컬렉터(collector)층을 갖는 바이폴라 트랜지스터(bipolar transistor)를 포함하는 반도체 장치의 제조 방법에 있어서,

반도체 기관의 주표면 중에 그 단부가 활성 영역을 둘러싸는 필드 산화막을 형성하는 공정과,

상기 반도체 기관의 주표면 중에 상기 컬렉터층을 형성하는 공정과,

상기 활성 영역의 표면 중에 상기 외부 베이스층보다도 불순물 농도가 낮은 저농도 불순물 확산층을 형성

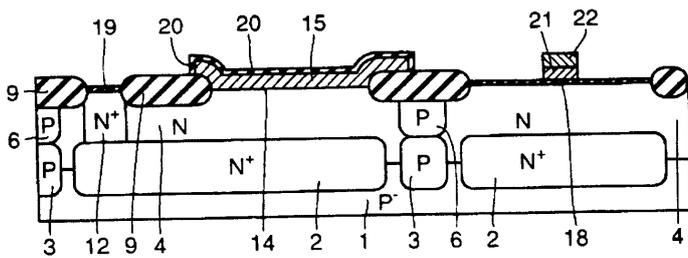
도면4



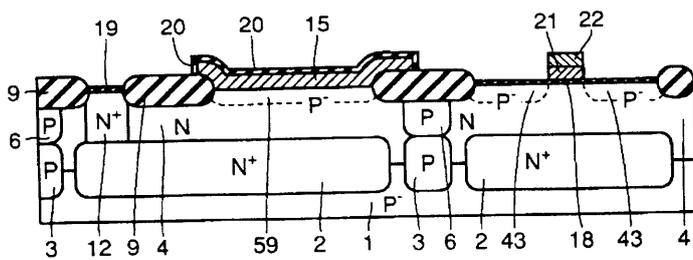
NPN 바이폴라

- | | |
|--------------|------------|
| 1 : P형 반도체 | 9 : 필드 산화막 |
| 30 : 외부 베이스층 | 34 : 베이스층 |
| 38 : 에미터층 | 42 : P층 |

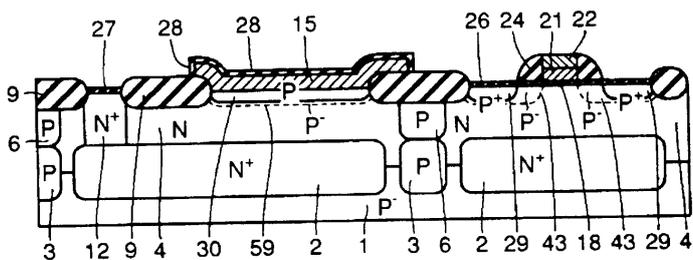
도면5



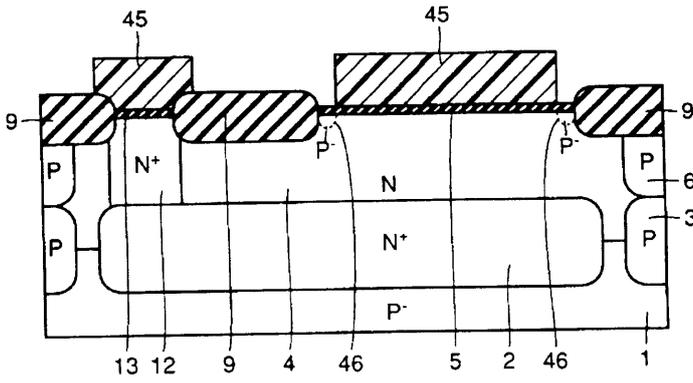
도면6



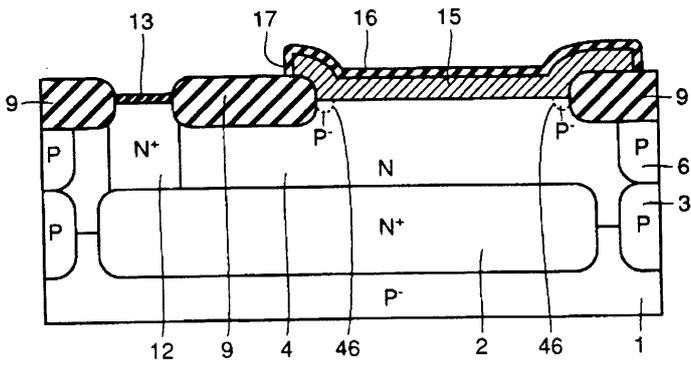
도면7



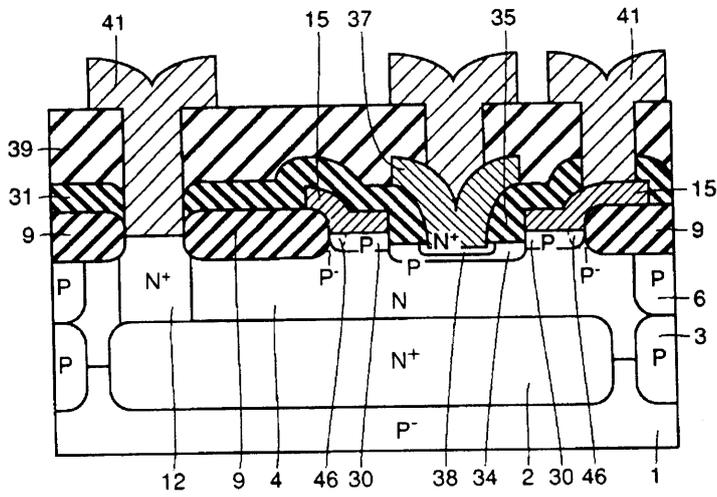
도면12



도면13

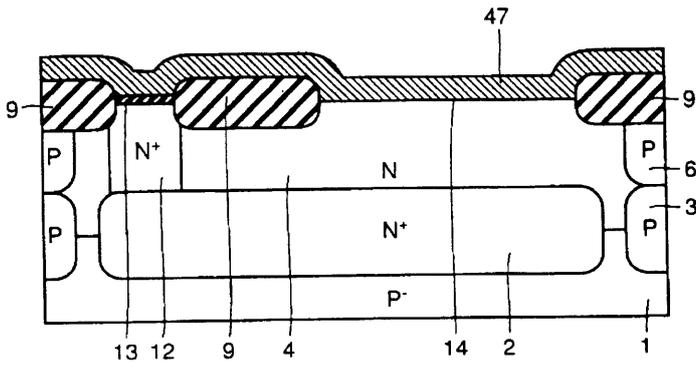


도면14

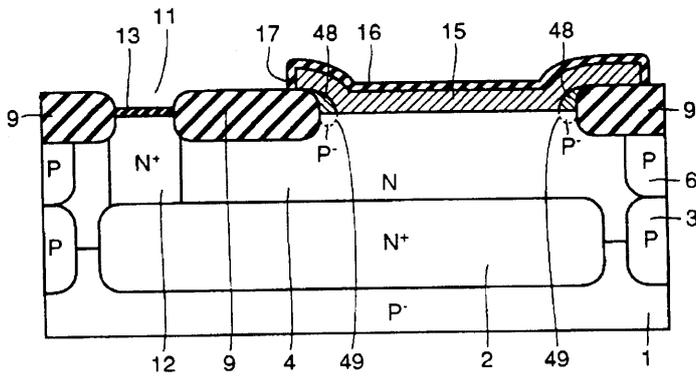


NPN 바이폴라

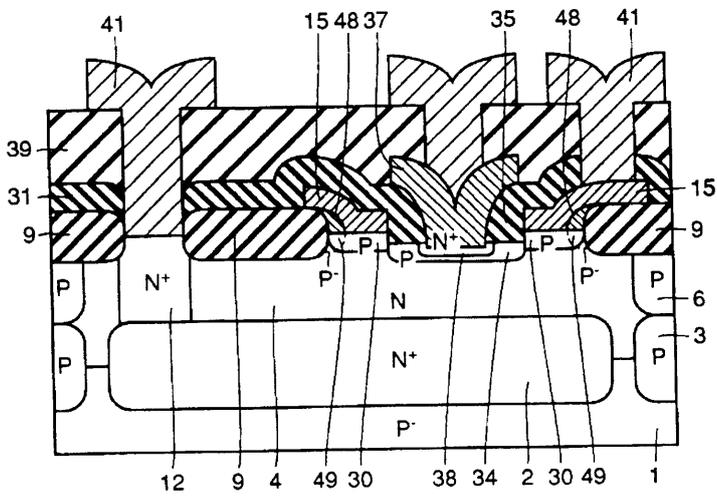
도면15



도면16

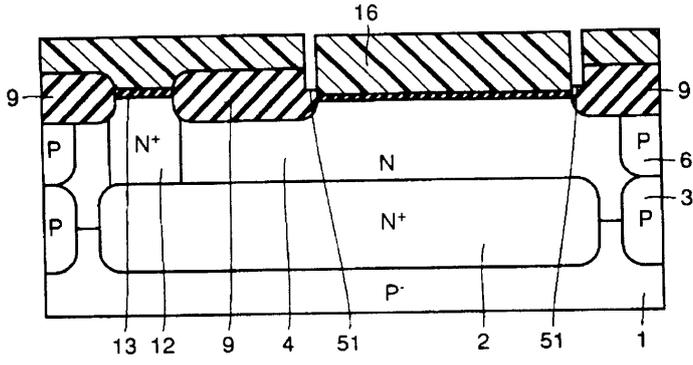


도면17

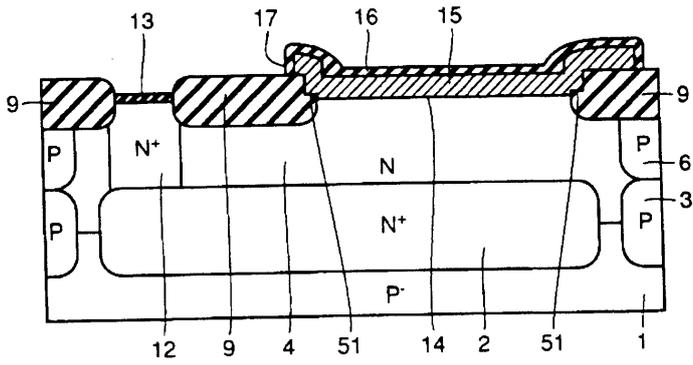


NPN 바이폴라

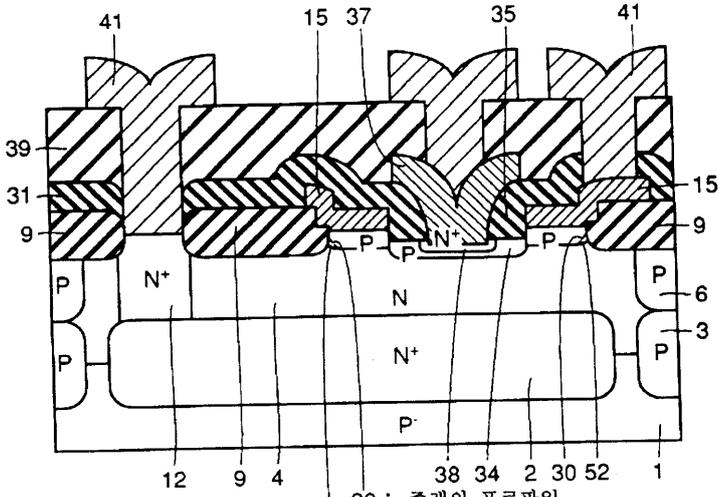
도면18



도면19

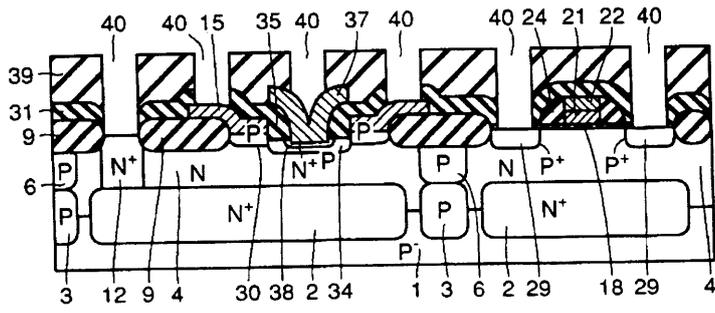


도면20

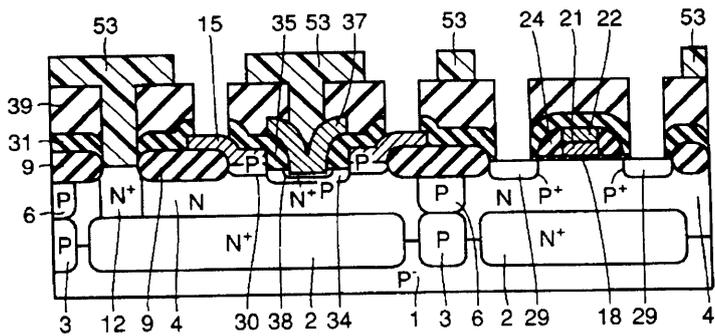


30 : 종래의 프로파일
 52 : 본 실시예의 프로파일
 NPN 바이폴라

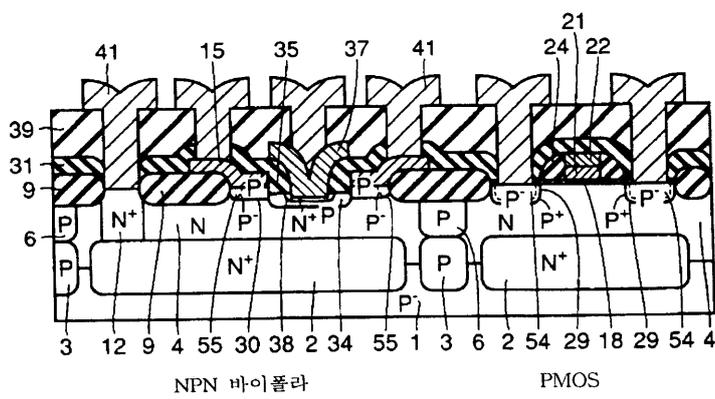
도면21



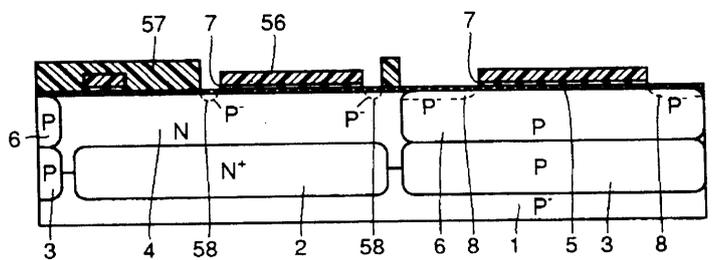
도면22



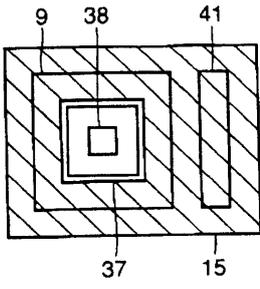
도면23



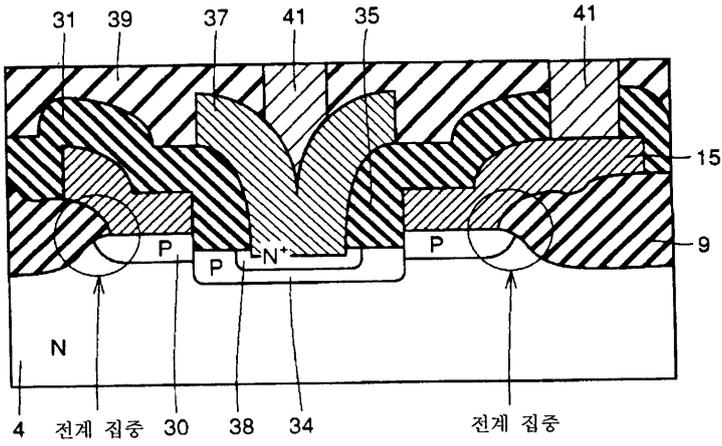
도면24



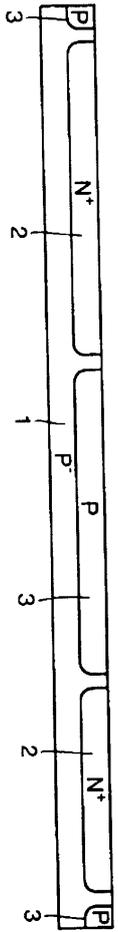
도면28



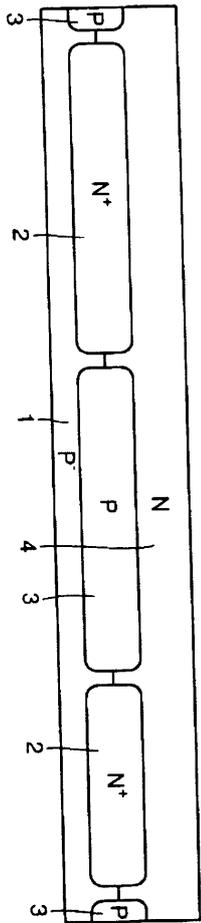
도면29



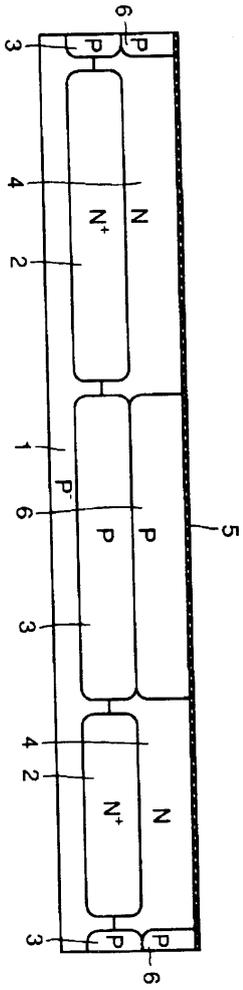
도면30



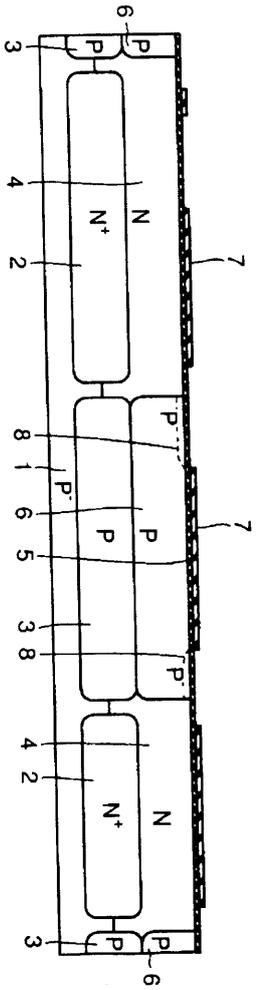
도면31



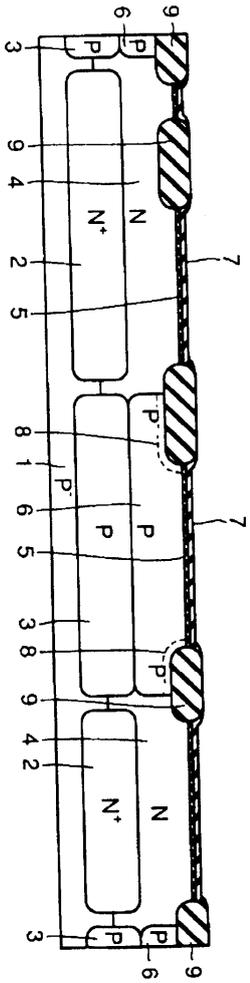
도면32



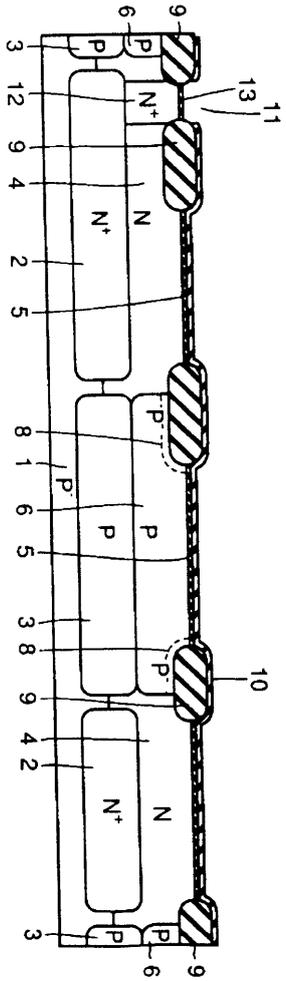
도면33



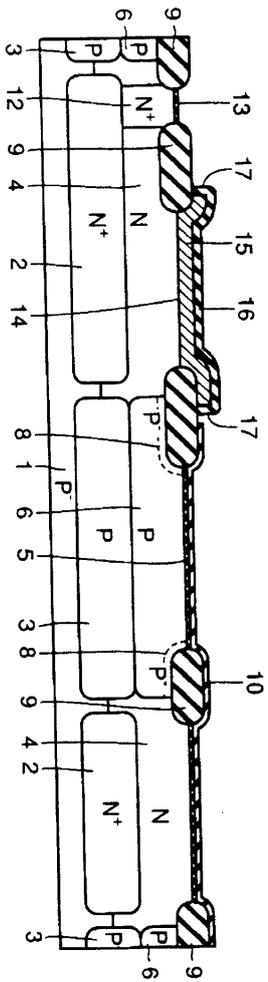
도면34



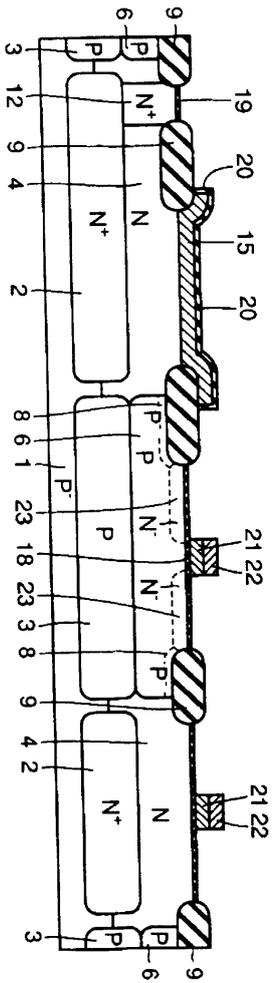
도면35



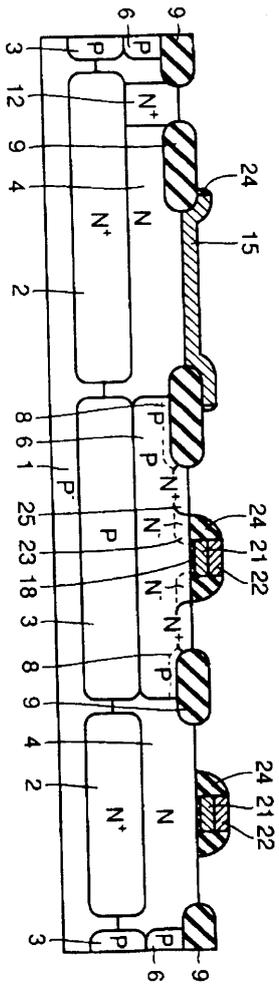
도면36



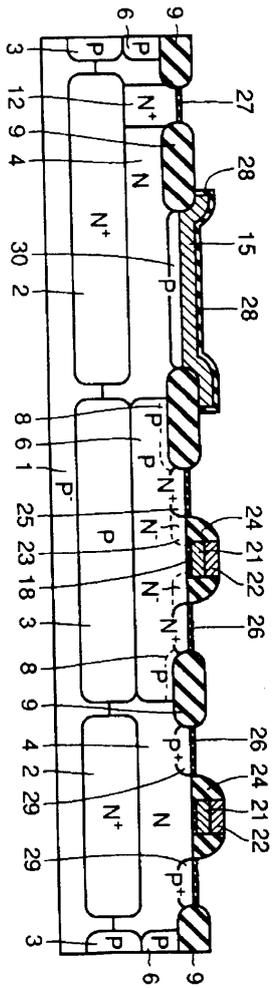
도면37



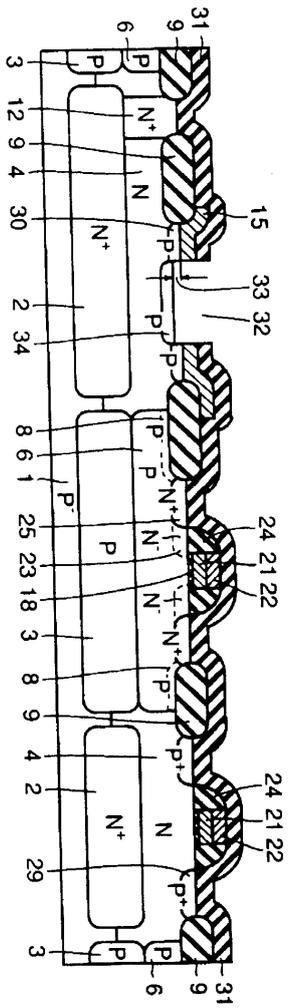
도면38



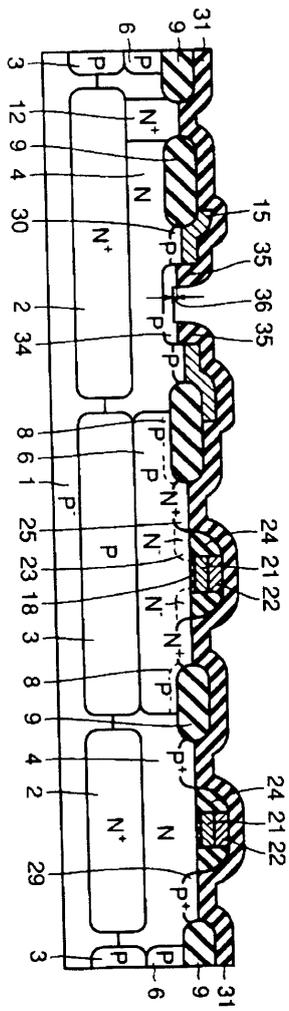
도면39



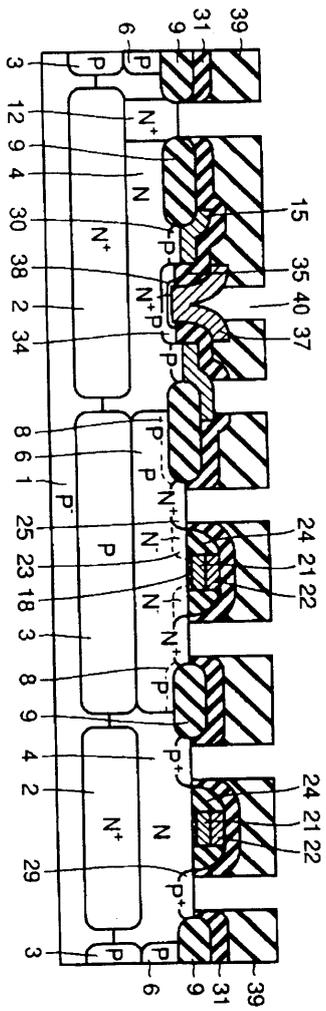
도면40



도면41



도면42



도면43

