



(12)发明专利申请

(10)申请公布号 CN 107919400 A

(43)申请公布日 2018.04.17

(21)申请号 201710927704.7

(22)申请日 2017.10.09

(71)申请人 上海集成电路研发中心有限公司
地址 201210 上海市浦东新区上海浦东张江高斯路497号

(72)发明人 钟旻 陈寿面

(74)专利代理机构 上海天辰知识产权代理事务所(特殊普通合伙) 31275
代理人 吴世华 陈慧弘

(51) Int. Cl.

H01L 29/786(2006.01)

H01L 29/24(2006.01)

H01L 29/06(2006.01)

H01L 21/34(2006.01)

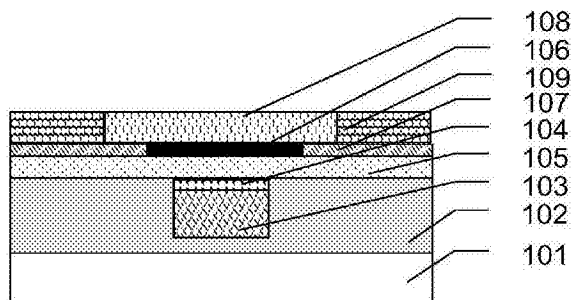
权利要求书1页 说明书5页 附图3页

(54)发明名称

一种InSe晶体管及其制备方法

(57)摘要

本发明公开了一种InSe晶体管,包括:栅极;位于栅极上的栅极介电层;位于栅极介电层上的晶体生长衬底层;位于栅极上方的晶体生长衬底层上的InSe薄膜沟道层;围绕InSe薄膜沟道层的InSe保护层,位于栅极两侧上方位置的InSe保护层中设有源漏区;位于InSe薄膜沟道层及InSe保护层上的钝化层,钝化层将InSe薄膜沟道层封闭以与外部隔绝。本发明能够有效防止在晶体管制备工艺过程中易发生的InSe分解问题,并且能够与现有的CMOS工艺兼容,制备工艺简单可行,可方便制备出小尺寸、大规模的InSe晶体管阵列。本发明还公开了一种InSe晶体管的制备方法。



1. 一种InSe晶体管,其特征在于,自下而上包括:
栅极;
位于栅极上的栅极介电层;
位于栅极介电层上的晶体生长衬底层;
位于栅极上方的晶体生长衬底层上的InSe薄膜沟道层;
围绕InSe薄膜沟道层的InSe保护层,位于栅极两侧上方位置的所述InSe保护层中设有源漏区;
位于InSe薄膜沟道层及InSe保护层上的钝化层,所述钝化层将InSe薄膜沟道层封闭以与外部隔绝。
2. 根据权利要求1所述的InSe晶体管,其特征在于,还包括:位于源漏区上的源漏电极,位于晶体生长衬底层以下的层间介电层,以及位于层间介电层以下的半导体衬底;所述栅极和栅极上的栅极介电层位于层间介电层中。
3. 根据权利要求2所述的InSe晶体管,其特征在于,所述栅极采用具有被氧化特性的金属材料形成,所述栅极介电层采用栅极的金属氧化物形成;所述晶体生长衬底层采用h-BN、 β -Si₃N₄、SiC中的任意一种材料形成。
4. 根据权利要求1所述的InSe晶体管,其特征在于,所述InSe薄膜沟道层中的InSe薄膜原子层厚度为3-15层。
5. 根据权利要求1所述的InSe晶体管,其特征在于,所述InSe保护层采用具有被掺杂特性的二维晶体材料形成。
6. 一种权利要求3所述的InSe晶体管的制备方法,其特征在于,包括以下步骤:
步骤S01:提供一表面具有层间介电层的半导体衬底,在所述层间介电层上形成一凹槽;
步骤S02:沉积栅极金属材料,在凹槽中形成金属栅极;
步骤S03:使金属栅极上表面被氧化形成金属氧化物,作为栅极介电层;
步骤S04:在上述器件表面依次形成晶体生长衬底层和InSe保护层;
步骤S05:对InSe保护层进行图形化,并在InSe保护层中形成源漏区;
步骤S06:在InSe保护层图形以内形成InSe薄膜沟道层;
步骤S07:在InSe薄膜沟道层及InSe保护层上形成钝化层。
7. 根据权利要求6所述的InSe晶体管的制备方法,其特征在于,步骤S03中,通过退火工艺,使凹槽中的金属栅极上表面被氧化,形成金属氧化物。
8. 根据权利要求6所述的InSe晶体管的制备方法,其特征在于,步骤S05中,通过光刻、掺杂和刻蚀,形成具有空腔的InSe保护层图形,并在InSe保护层的掺杂区域形成源漏区;步骤S06中,在栅极上方的晶体生长衬底层上通过自对准生长InSe薄膜,以在InSe保护层图形以内的空腔区域形成InSe薄膜沟道层。
9. 根据权利要求6所述的InSe晶体管的制备方法,其特征在于,在同一真空设备中沉积InSe薄膜、钝化层材料。
10. 根据权利要求6所述的InSe晶体管的制备方法,其特征在于,还包括:步骤S08:在两侧的源漏区进行金属沉积和抛光,形成源漏电极。

一种InSe晶体管及其制备方法

技术领域

[0001] 本发明涉及半导体集成电路制造工艺技术领域,更具体地,涉及一种InSe晶体管及其制备方法。

背景技术

[0002] 随着半导体器件特征尺寸按摩尔定律等比缩小,芯片集成度不断提高,传统基于硅半导体器件由于工艺极限和各种负面效应,已很难再满足器件和电路的性能和功耗要求。国内外各大科研机构 and 半导体制造商纷纷研究各种新材料及新器件结构,以期取代现有的硅半导体器件。

[0003] 近年来,石墨烯因其超高的电子迁移率(可达 $200000\text{cm}^2/\text{Vs}$)成为研究的热点,但是由于石墨烯不具备带隙(bandgap),使得它在类似于晶体管的应用上前景黯淡。

[0004] 2016年10月,石墨烯之父Andre Geim(安德烈·海姆)在《Nature Nanotechnology》(《自然纳米科技》)上发表论文,首次制备出微米级图形尺寸的二维InSe(硒化铟)薄膜晶体管,并发现当硒化铟薄膜只有几层原子的厚度时,其性能大幅优于硅的电子属性。

[0005] 跟石墨烯不同,硒化铟的能隙相当大,具有很好的开关特性。因此,采用硒化铟作为沟道制作的晶体管来代替现有的硅晶体管,将成为未来制备超高速、高性能半导体器件的一种选择。

[0006] 目前,制备InSe薄膜晶体管的技术难点有两个:

[0007] 1) InSe薄膜化学性质不稳定,很容易被空气中的氧气和水气分解,对晶体管制备工艺要求很高。

[0008] 2) InSe薄膜的制备必须在特定的衬底上,其工艺与常规的CMOS工艺不兼容,很难制备出小尺寸、大规模的InSe晶体管阵列。

发明内容

[0009] 本发明的目的在于克服现有技术存在的上述缺陷,提供一种InSe晶体管及其制备方法。

[0010] 为实现上述目的,本发明的技术方案如下:

[0011] 本发明提供了一种InSe晶体管,自下而上包括:

[0012] 栅极;

[0013] 位于栅极上的栅极介电层;

[0014] 位于栅极介电层上的晶体生长衬底层;

[0015] 位于栅极上方的晶体生长衬底层上的InSe薄膜沟道层;

[0016] 围绕InSe薄膜沟道层的InSe保护层,位于栅极两侧上方位置的所述InSe保护层中设有源漏区;

[0017] 位于InSe薄膜沟道层及InSe保护层上的钝化层,所述钝化层将InSe薄膜沟道层封

闭以与外部隔绝。

[0018] 优选地,还包括:位于源漏区上的源漏电极,位于晶体生长衬底层以下的层间介电层,以及位于层间介电层以下的半导体衬底;所述栅极和栅极上的栅极介电层位于层间介电层中。

[0019] 优选地,所述栅极采用具有被氧化特性的金属材料形成,所述栅极介电层采用栅极的金属氧化物形成;所述晶体生长衬底层采用h-BN、 β -Si₃N₄、SiC中的任意一种材料形成。

[0020] 优选地,所述InSe薄膜沟道层中的InSe薄膜原子层厚度为3-15层。

[0021] 优选地,所述InSe保护层采用具有被掺杂特性的二维晶体材料形成。

[0022] 本发明还提供了一种上述的InSe晶体管的制备方法,包括以下步骤:

[0023] 步骤S01:提供一表面具有层间介电层的半导体衬底,在所述层间介电层上形成一凹槽;

[0024] 步骤S02:沉积栅极金属材料,在凹槽中形成金属栅极;

[0025] 步骤S03:使金属栅极上表面被氧化形成金属氧化物,作为栅极介电层;

[0026] 步骤S04:在上述器件表面依次形成晶体生长衬底层和InSe保护层;

[0027] 步骤S05:对InSe保护层进行图形化,并在InSe保护层中形成源漏区;

[0028] 步骤S06:在InSe保护层图形以内形成InSe薄膜沟道层;

[0029] 步骤S07:在InSe薄膜沟道层及InSe保护层上形成钝化层。

[0030] 优选地,步骤S03中,通过退火工艺,使凹槽中的金属栅极上表面被氧化,形成金属氧化物。

[0031] 优选地,步骤S05中,通过光刻、掺杂和刻蚀,形成具有空腔的InSe保护层图形,并在InSe保护层的掺杂区域形成源漏区;步骤S06中,在栅极上方的晶体生长衬底层上通过自对准生长InSe薄膜,以在InSe保护层图形以内的空腔区域形成InSe薄膜沟道层。

[0032] 优选地,在同一真空设备中沉积InSe薄膜、钝化层材料。

[0033] 优选地,还包括:步骤S08:在两侧的源漏区进行金属沉积和抛光,形成源漏电极。

[0034] 本发明能够有效防止在晶体管制备工艺过程中易发生的InSe分解问题,并且能够与现有的CMOS工艺兼容,制备工艺简单可行,可方便制备出小尺寸、大规模的InSe晶体管阵列。

附图说明

[0035] 图1是本发明一较佳实施例的一种InSe晶体管结构示意图;

[0036] 图2是本发明一较佳实施例的一种InSe晶体管的制备方法流程图;

[0037] 图3-图10是本发明一较佳实施例中根据图2的方法制备InSe晶体管的工艺步骤示意图。

具体实施方式

[0038] 下面结合附图,对本发明的具体实施方式作进一步的详细说明。

[0039] 需要说明的是,在下述的具体实施方式中,在详述本发明的实施方式时,为了清楚地表示本发明的结构以便于说明,特对附图中的结构不依照一般比例绘图,并进行了局部放大、变形及简化处理,因此,应避免以此作为对本发明的限定来加以理解。

[0040] 在以下本发明的具体实施方式中,请参阅图1,图1是本发明一较佳实施例的一种InSe晶体管结构示意图。如图1所示,本发明的一种InSe晶体管,自下而上至少包括:栅极103、栅极介电层104、晶体生长衬底层105、InSe薄膜沟道层106和InSe保护层107、钝化层108等器件结构。

[0041] 请参阅图1。栅极介电层相连设置在位于下层的栅极和位于上层的晶体生长衬底层之间;栅极及栅极介电层的尺寸小于晶体生长衬底层的尺寸,并可大致位于晶体生长衬底层下方的中部位置。在晶体生长衬底层的下层还可相连设有层间介电层102;所述栅极和位于栅极之上的栅极介电层设于层间介电层中。在层间介电层的下层还可相连设有半导体衬底101。

[0042] 所述栅极可采用具有可被氧化特性的金属材料形成,如Al,Ag,Cu等。所述栅极介电层可采用栅极的金属氧化物形成,例如当栅极采用Al,Ag,Cu等金属制作时,则栅极介电层可采用Al,Ag,Cu等的金属氧化物制作。

[0043] 所述晶体生长衬底层可采用h-BN(六方氮化硼)、 β - Si_3N_4 (β 相 Si_3N_4)、SiC中的任意一种材料制作形成。

[0044] 晶体生长衬底层可与栅极介电层一起共同形成金属栅极的栅介质层。

[0045] 请参阅图1。在对应位于栅极上方的晶体生长衬底层上,设有InSe(硒化铟)薄膜沟道层。围绕InSe薄膜沟道层、与InSe薄膜沟道层同层设有InSe保护层;并且,在位于栅极两侧上方位置的所述InSe保护层中设有InSe晶体管的源漏区(即一侧为源区、另一侧为漏区)。

[0046] 所述InSe薄膜沟道层的InSe薄膜原子层厚度可为3-15层。

[0047] 所述InSe保护层可采用具有可被掺杂特性并且化学性质稳定的二维晶体材料制作形成,如石墨烯、石墨相氮化碳、二硫化钼等。所述InSe保护层可以掺杂P,B,C,Se等。所谓化学性质稳定是指二维晶体材料能在常温下的空气中保持薄膜性质稳定,不会与空气中的氧气,水分子等发生反应,导致薄膜被分解或变性。

[0048] 请参阅图1。在位于InSe薄膜沟道层及InSe薄膜沟道层外围的部分InSe保护层上还相连设有钝化层;可利用所述钝化层和InSe保护层将InSe薄膜包裹起来,对InSe薄膜沟道层实施封闭,使InSe薄膜与外部隔绝,有效地避免了InSe薄膜暴露在空气中,保持了InSe薄膜的化学性质稳定,从而保证了器件的性能和良率。

[0049] 在InSe保护层两侧的源漏区上还可设有源漏电极109。源漏电极可采用金属材料制作,例如为Cu。

[0050] 以下通过具体实施方式及附图,对本发明一种上述的InSe晶体管的制备方法进行详细说明。

[0051] 请参阅图2,图2是本发明一较佳实施例的一种InSe晶体管的制备方法流程图;同时,请参阅图3-图10,图3-图10是本发明一较佳实施例中根据图2的方法制备InSe晶体管的工艺步骤示意图。如图2所示,本发明的一种上述的InSe晶体管的制备方法,包括以下步骤:

[0052] 步骤S01:提供一表面具有层间介电层的半导体衬底,在所述层间介电层上形成一凹槽。

[0053] 请参阅图3。首先,可采用常规的半导体衬底201,在半导体衬底201上生长形成层间介电层202。层间介电层202可采用常规材料形成。

[0054] 然后,在所述层间介电层202上可通过光刻、刻蚀工艺形成凹槽203。在本实施例中,凹槽203的深度可为60nm(纳米)。

[0055] 步骤S02:沉积栅极金属材料,在凹槽中形成金属栅极。

[0056] 请参阅图4。接着,在凹槽203中沉积栅极金属材料,并可采用抛光工艺去除凹槽203外部多余的金属材料,从而在凹槽中形成金属栅极204。在本实施例中,栅极金属材料可为Al。

[0057] 步骤S03:使金属栅极上表面被氧化形成金属氧化物,作为栅极介电层。

[0058] 请参阅图5。接着,可通过退火工艺,使凹槽中金属栅极的栅极金属上表面被氧化,形成金属氧化物,作为栅极介电层205。在本实施例中,栅极介电层材料为 Al_2O_3 ,厚度可为2nm。

[0059] 步骤S04:在上述器件表面依次形成晶体生长衬底层和InSe保护层。

[0060] 请参阅图6。之后,在栅极介电层和层间介电层上依次沉积形成晶体生长衬底层206和InSe保护层207。在本实施例中,晶体生长衬底层材料可为六方氮化硼(h-BN),厚度为10nm。InSe保护层可为二硫化钼,厚度为6nm。

[0061] 步骤S05:对InSe保护层进行图形化,并在InSe保护层中形成源漏区。

[0062] 请参阅图7。接着,通过光刻、掺杂和刻蚀,对InSe保护层207进行图形化,形成中间具有空腔的InSe保护层图形;并利用InSe保护层材料的可掺杂性,通过掺杂在InSe保护层的掺杂区域形成源漏区208。在本实施例中,采用在栅极两侧上方位置的二硫化钼InSe保护层中掺杂C,来形成源漏区208。

[0063] 步骤S06:在InSe保护层图形以内形成InSe薄膜沟道层。

[0064] 请参阅图8。接着,在栅极上方的晶体生长衬底层上通过自对准生长InSe薄膜209,以在InSe保护层图形以内、即InSe保护层图形中间的空腔区域形成InSe薄膜沟道层。在本实施例中,可采用外延生长方法或原子沉积等方法生长InSe薄膜209,并在真空设备中沉积InSe薄膜。

[0065] 步骤S07:在InSe薄膜沟道层及InSe保护层上形成钝化层。

[0066] 请参阅图9。接着,在沉积InSe薄膜的同一真空设备中、在InSe薄膜沟道层及InSe保护层上继续沉积钝化层材料,并通过光刻和刻蚀,在InSe薄膜及InSe薄膜沟道层外围的部分InSe保护层上形成钝化层210。在本实施例中,钝化层可为 Si_3N_4 ,厚度在100nm左右。

[0067] 还可继续执行步骤S08:在两侧的源漏区进行金属沉积和抛光,形成源漏电极。

[0068] 请参阅图10。最后,在钝化层两侧的源漏区位置上进行金属沉积,并通过抛光平坦化,形成与钝化层表面平齐的源漏电极211。在本实施例中,源漏电极的材料可为Cu。

[0069] 本发明为了避免在形成栅极时对InSe薄膜沟道层造成破坏,提出了先形成栅极的方法。本发明采用可以氧化的Al等栅极金属材料,通过退火氧化后,在Al栅极表面形成致密连续的 Al_2O_3 氧化物层,可作为栅极介电层。采用h-BN等形成的晶体生长衬底层,有利于二硫化钼InSe保护层和InSe薄膜的沉积,并且晶体生长衬底层可以和 Al_2O_3 共同构成InSe晶体管的栅介质层。在h-BN晶体生长衬底层上先沉积二硫化钼InSe保护层,然后通过光刻、掺杂和刻蚀工艺,在栅极两侧上方形成源漏区域。而在栅极上方的h-BN晶体生长衬底层上则可通过自对准生长的方式沉积InSe薄膜,形成InSe薄膜沟道层。在InSe薄膜沉积后,在同一真空设备中继续沉积钝化层,利用钝化层和源漏区的InSe保护层共同将InSe薄膜包裹起来,有

效地避免了InSe暴露在空气中,保持了InSe薄膜的化学性质稳定,从而保证了器件的性能和良率。本发明能够有效保证InSe薄膜性能的稳定,同时可与传统CMOS工艺兼容,能制备出小尺寸、大规模的InSe晶体管阵列。

[0070] 综上所述,本发明通过退火氧化使金属栅极表面形成栅极介电层,并通过自对准生长在晶体生长衬底层上沉积InSe薄膜;此外,采用具有化学性质稳定的二维晶体材料作为InSe沟道两侧的保护层,防止InSe薄膜在制作源漏区时接触空气被分解;利用掺杂工艺可使二维晶体材料变成源漏区;另一方面,InSe薄膜上的钝化层和InSe在同一真空设备中沉积,也避免了InSe被空气分解的可能。采用本发明方法能有效防止在晶体管工艺过程中InSe的分解,并且与现有的CMOS工艺兼容,制备工艺简单可行。

[0071] 以上所述的仅为本发明的优选实施例,所述实施例并非用以限制本发明的专利保护范围,因此凡是运用本发明的说明书及附图内容所作的等同结构变化,同理均应包含在本发明的保护范围内。

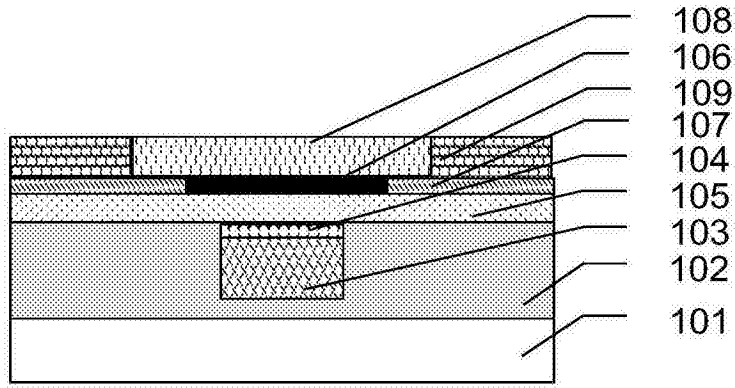


图1

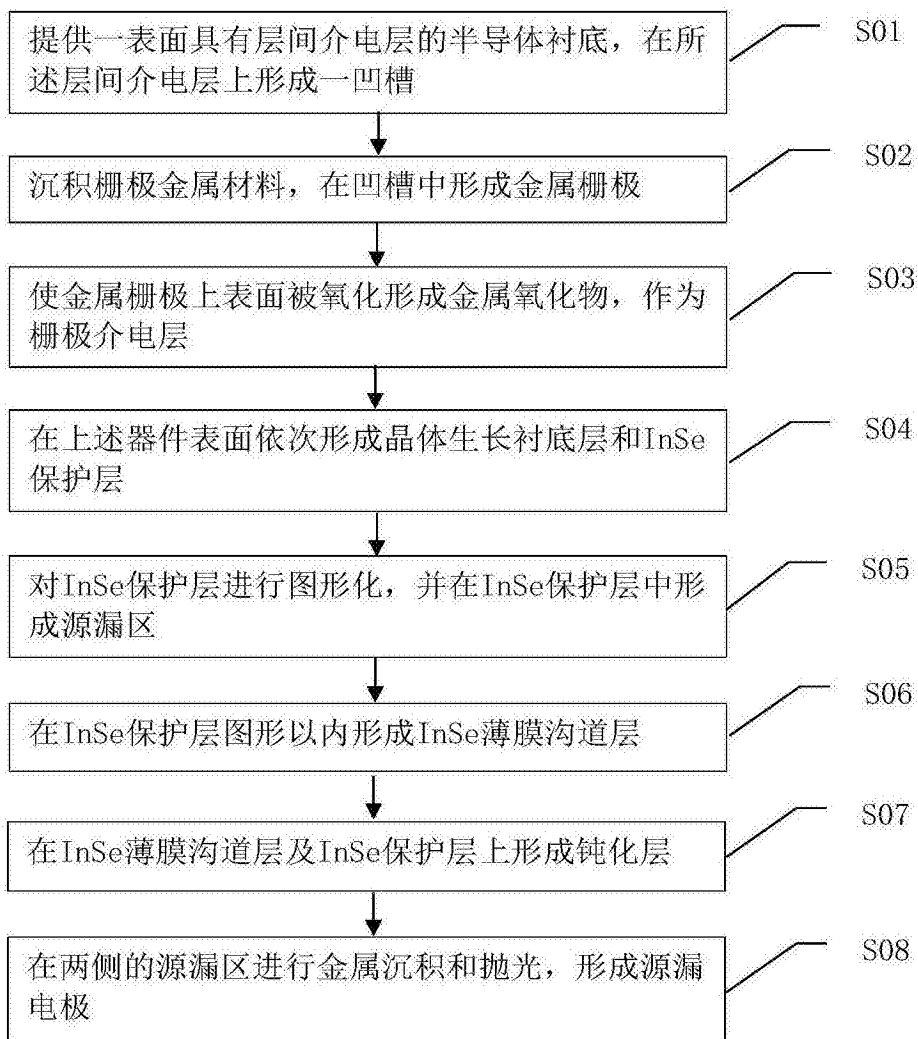


图2

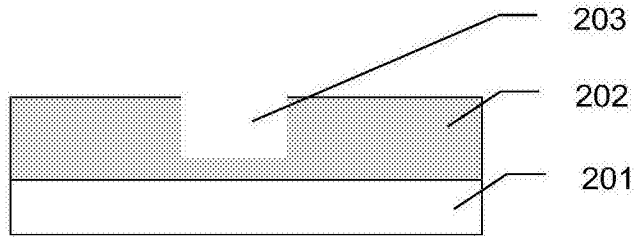


图3

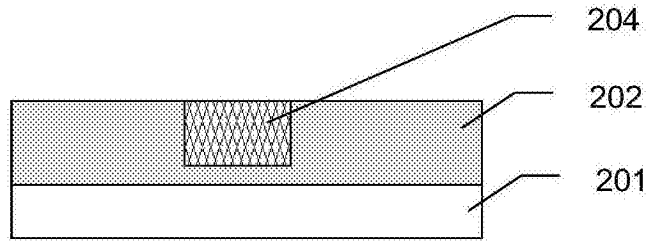


图4

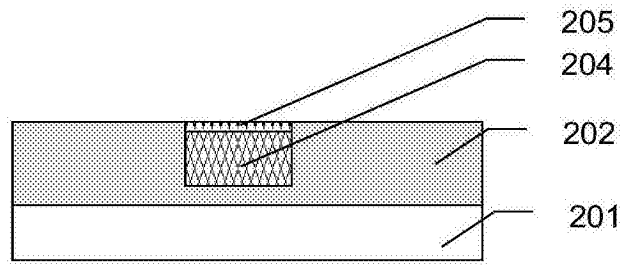


图5

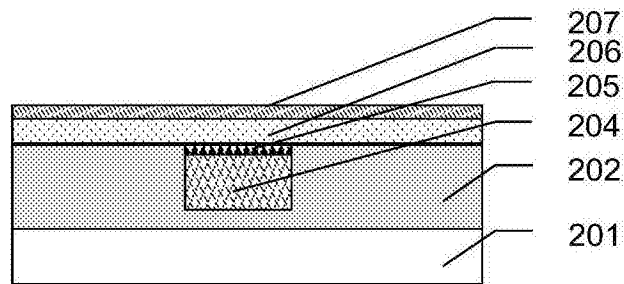


图6

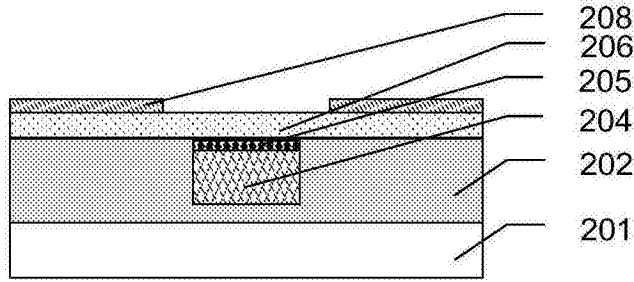


图7

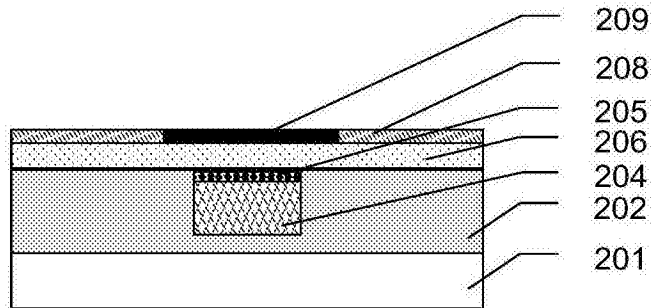


图8

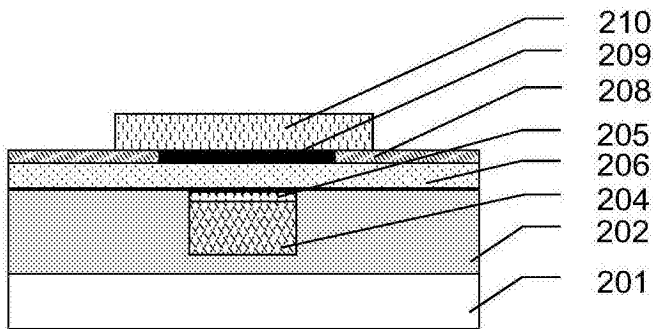


图9

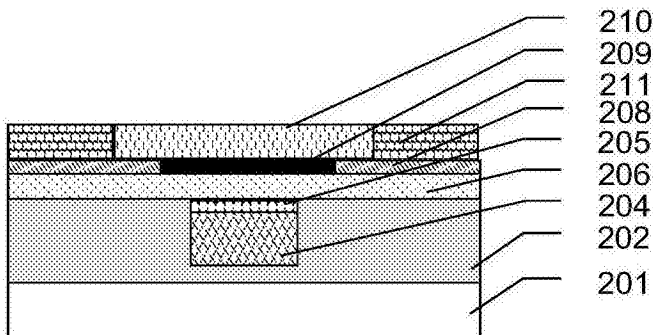


图10