



(21)申請案號：110130506 (22)申請日：中華民國 110 (2021) 年 08 月 18 日

(51)Int. Cl. : *H01L21/70 (2006.01)* *H01L21/336 (2006.01)*
H01L25/18 (2006.01) *H01L29/78 (2006.01)*

(30)優先權：2020/09/25 美國 17/033,453

(71)申請人：美商英特爾股份有限公司 (美國) INTEL CORPORATION (US)
 美國

(72)發明人：古特曼 傑瑞米 GUTTMAN, JEREMY (US)；卡達利 夏姆 KADALI, SHYAM
 (IN)；廖 思雅 LIAO, SZUYA S. (US)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：20 項 圖式數：10 共 90 頁

(54)名稱

用於製造先進積體電路結構之閘極與鰭片微調隔離

(57)摘要

描述用於製造先進積體電路結構之閘極與鰭片微調隔離。例如，積體電路結構之製造方法包括沿著第一方向來形成複數個鰭片，去除該複數個鰭片之一的一部分以形成溝渠，在該溝渠中形成隔離結構，該隔離結構延伸到該複數個鰭片之該一者的上方，在該複數個鰭片上形成閘極結構，該閘極結構沿著與該第一方向正交的第二方向，沿著該閘極結構和該隔離結構的側壁來形成電介質間隔物，以及，在形成該電介質間隔物之後，在該複數個鰭片中或其上形成磊晶源極或汲極結構。

Gate and fin trim isolation for advanced integrated circuit structure fabrication is described. For example, a method of fabricating an integrated circuit structure includes forming a plurality of fins along a first direction, removing a portion of one of the plurality of fins to form a trench, forming an isolation structure in the trench, the isolation structure extending above the one of the plurality of fins, forming a gate structure over the plurality of fins, the gate structure along a second direction orthogonal to the first direction, forming a dielectric spacer along sidewalls of the gate structure and the isolation structure, and, subsequent to forming the dielectric spacer, forming epitaxial source or drain structures in or on the plurality of fins.

指定代表圖：

符號簡單說明：

100:起始結構

102:基板

104:鰭片

106:下方鰭片部分

108:上方鰭片部分

110:絕緣層

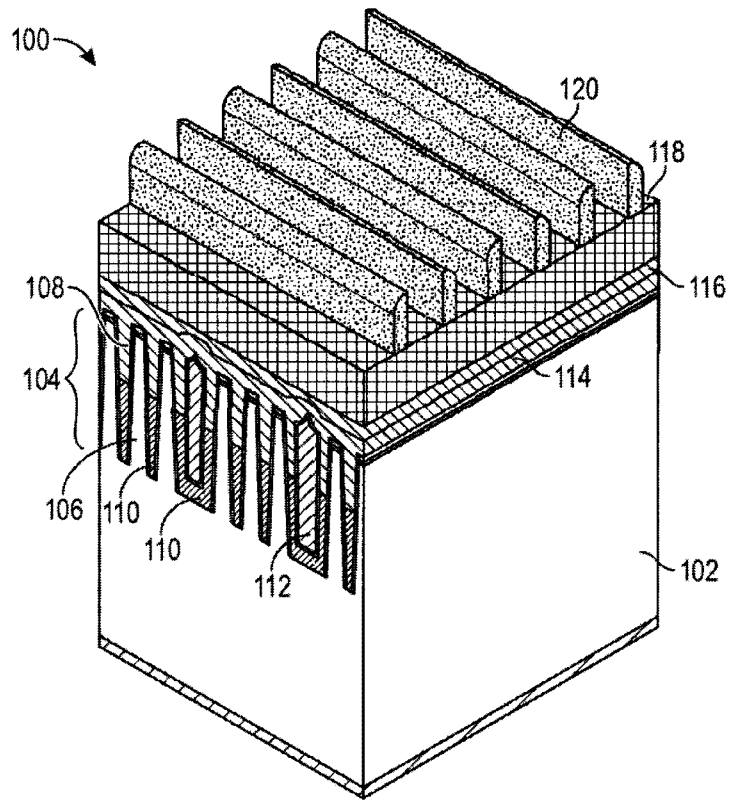
112:自對齊閘極端帽結構或壁

114:虛擬閘極層

116:下方硬遮罩層

118:上方硬遮罩層

120:閘極圖案化遮罩



【第 1 A 圖】

【發明摘要】

【中文發明名稱】

用於製造先進積體電路結構之閘極與鰭片微調隔離

【英文發明名稱】

GATE AND FIN TRIM ISOLATION FOR ADVANCED
INTEGRATED CIRCUIT STRUCTURE FABRICATION

【中文】

描述用於製造先進積體電路結構之閘極與鰭片微調隔離。例如，積體電路結構之製造方法包括沿著第一方向來形成複數個鰭片，去除該複數個鰭片之一的一部分以形成溝渠，在該溝渠中形成隔離結構，該隔離結構延伸到該複數個鰭片之該一者的上方，在該複數個鰭片上形成閘極結構，該閘極結構沿著與該第一方向正交的第二方向，沿著該閘極結構和該隔離結構的側壁來形成電介質間隔物，以及，在形成該電介質間隔物之後，在該複數個鰭片中或其上形成磊晶源極或汲極結構。

【英文】

Gate and fin trim isolation for advanced integrated circuit structure fabrication is described. For example, a method of fabricating an integrated circuit structure includes forming a plurality of fins along a first direction, removing a portion of one of the plurality of fins to form a trench, forming an isolation structure in the trench, the isolation structure extending above the one of the plurality of fins, forming a gate structure over the plurality of fins, the gate structure along a second direction orthogonal to the first direction, forming a dielectric spacer along sidewalls of the gate structure and the isolation structure, and, subsequent to forming the dielectric spacer, forming epitaxial source or drain structures in or on the plurality of fins.

【指定代表圖】第1A圖

【代表圖之符號簡單說明】

100:起始結構

102:基板

104:鱗片

106:下方鱗片部分

108:上方鱗片部分

110:絕緣層

112:自對齊閘極端帽結構或壁

114:虛擬閘極層

116:下方硬遮罩層

118:上方硬遮罩層

120:閘極圖案化遮罩

【特徵化學式】無

【發明說明書】

【中文發明名稱】

用於製造先進積體電路結構之閘極與鰭片微調隔離

【英文發明名稱】

GATE AND FIN TRIM ISOLATION FOR ADVANCED
INTEGRATED CIRCUIT STRUCTURE FABRICATION

【技術領域】

【0001】本發明之實施例係在積體電路結構和處理的領域中，且特別地係用於製造先進積體電路結構之閘極與鰭片微調隔離。

【先前技術】

【0002】在過去的幾十年，積體電路中之特徵的縮放已成為不斷成長之半導體產業背後的驅動力。縮放到越來越小的特徵使功能單元能在半導體晶片受限的實際狀況上增加密度。例如，縮小電晶體尺寸允許在晶片上的更多數目之記憶體或邏輯裝置的合併，而可用於具有增大容量之產品的製造。惟，不斷增加容量的驅動力並不是沒有問題。使每個裝置的性能最佳化的必要性變成漸增地重要。

【0003】在積體電路裝置的製造中，由於裝置尺寸的持續縮小，諸如三閘極電晶體的多閘極電晶體已經變得更普遍了。在傳統處理中，三閘極電晶體通常係製造在塊體

矽基板或絕緣體上矽基板上。在某些情況中，塊體矽基板被優先選用，因為它們的成本較低且它們使三閘極製造處理能夠不太複雜。另一方面，隨著微電子裝置尺寸低於10奈米(nm)節點，在裝置製造中維持遷移率增進和短通道控制提供了挑戰。

【0004】 惟，縮放多閘極和奈米線電晶體並非沒有後果。由於微電子電路之該等基本構建區塊的尺寸減小，且因為在給定區域中所製造之基本構建區塊的絕對數目增加，所以在用以圖案化該等構建區塊之微影處理的約束上變得勢不可擋。尤其，在半導體堆疊中所圖案化之特徵的最小尺寸(臨界尺寸)與該等特徵之間的間隔之間可能存在折衷。

【圖式簡單說明】

【0005】 [第1A至1N圖]圖示出依據本發明實施例之製造具有閘極與鰭片微調隔離之積體電路結構的方法中之各種操作的由上而下成角度的橫剖面視圖。

【0006】 [第2A至2B圖]圖示出依據本發明實施例之製造具有閘極與鰭片微調隔離之積體電路結構的方法中之各種操作的橫剖面視圖。

【0007】 [第3A及3B圖]圖示出平面視圖，其表示用以形成局部隔離結構之具有多閘極間隔之鰭片的圖案化方法中的各種操作。

【0008】 [第3C至3F圖]圖示出依據本發明另一個實施

例的平面視圖，其表示用以形成局部隔離結構之具有單閘極間隔之鱗片的圖案化方法中的各種操作。

【0009】[第3G及3H圖]圖示出依據本發明實施例的平面視圖，其表示用以在選擇的閘極線切割位置中形成局部隔離結構之具有單閘極間隔之鱗片的圖案化方法中的各種操作。

【0010】[第4A至4J圖]圖示出依據本發明實施例之製造環繞式閘極積體電路結構的方法中之各種操作的橫剖面視圖。

【0011】[第5圖]圖示出依據本發明實施例之沿著閘極線所截取之非平面積體電路結構的橫剖面視圖。

【0012】[第6圖]圖示出依據本發明實施例之用於非端帽架構(左手側(a))相對自對齊閘極端帽(SAGE)架構(右手側(b))之穿過奈米線及鱗片所截取的橫剖面視圖。

【0013】[第7圖]圖示出依據本發明實施例之製造具有環繞式閘極裝置之自對齊閘極端帽(SAGE)結構的方法中之各種操作的橫剖面視圖。

【0014】[第8A圖]圖示出依據本發明實施例之以奈米線為基之積體電路結構的三維橫剖面視圖。

【0015】[第8B圖]圖示出依據本發明實施例之第8A圖的以奈米線為基之積體電路結構沿著a-a'軸所截取的源極或汲極橫剖面視圖。

【0016】[第8C圖]圖示出依據本發明實施例之第8A圖的以奈米線為基之積體電路結構沿著b-b'軸所截取的通道

橫剖面視圖。

【0017】[第9圖]圖示出依據本發明實施例之一實施方式的計算裝置。

【0018】[第10圖]圖示出包括本發明之一或多個實施例的插入件。

【發明內容】及【實施方式】

【0019】描述製造先進積體電路結構之閘極與鱗片微調隔離。在以下的描述中，闡述了許多具體的細節，諸如特定的整合及材料制度，以便提供對本發明實施例的透徹瞭解。對於熟習於本項技藝之人士將呈明顯的是，本發明之實施例可以無需該等具體的細節來加以實行。在其他情況中，為了要避免不必要地混淆本發明的實施例，諸如積體電路設計布局之熟知的特徵並未被詳細地描述。此外，應理解的是，在圖式中所示的各種實施例係說明性表示且並不一定按比例來繪製。

【0020】某些術語亦可用於以下描述中，但僅供參考目的之用，且因此並不打算成為限制。例如，諸如“上方”、“下方”、“在上面”、及“在下面”的術語意指所參考之圖式中的方向。諸如“前面”、“後面”、“背面”、及“側面”的術語在一致但任意的參考框架內描述了組件部分的定向及/或位置，該參考框架係藉由參考正文和相關聯的圖式來清楚地表明描述著正在討論的組件。該類術語可包括上文所具體提及的詞、其衍生詞、及類似含義的詞。

【0021】本文所描述之實施例可以針對生產線前端 (FEOL) 的半導體處理和結構。FEOL 係積體電路 (IC) 製造的第一部分，其中單一的裝置 (例如，電晶體、電容器、電阻器、等等) 在半導體基板或層中被圖案化。FEOL 通常涵蓋直至 (但不包括) 金屬互連層之沉積的一切。在最後的 FEOL 操作之後，結果一般係具有隔離之電晶體 (沒有任何導線) 的晶圓。

【0022】本文所描述之實施例可以針對生產線後端 (BEOL) 的半導體處理和結構。BEOL 係 IC 製造的第二部分，其中個別裝置 (例如，電晶體、電容器、電阻器、等等) 係與在晶圓上的布線例如，金屬化層或多層互連。BEOL 包括用於晶片到封裝連接的接點、絕緣層 (電介質)、金屬層級、和接合部位。在製造階段的 BEOL 部分，形成接點 (焊墊)、互連線、通孔、及電介質結構。對於現代的 IC 處理，在 BEOL 中可以添加超過 10 個金屬層。

【0023】下文所描述的實施例可應用於 FEOL 處理和結構、BEOL 處理和結構、或 FEOL 及 BEOL 處理和結構二者。特別地，雖然可使用 FEOL 處理場景來說明示例性處理方案，但是該等方法也可以應用於 BEOL 處理。同樣地，雖然可使用 BEOL 處理場景來說明示例性處理方案，但是該等方法也可以應用於 FEOL 處理。

【0024】本文所描述的一或多個實施例係針對閘極與鱗片微調隔離整合方案，用以保持藉由以晶格失配原子摻雜源極或汲極結構來引起的通道應變。

【0025】為了提供上下文，與使用前鰭片切割圖案化之早期FinFET技術中的雙擴散中斷限制相比，透過虛擬閘極之鰭片微調隔離(FTI)係目前最先進技藝，用以藉由將最小擴散中斷減少到單個閘極間距來提供大面積縮放效益。示例性最先進技藝之FTI處理流程順序首先在圖案化FTI之前圖案化鰭片、閘極、和N/P源極或汲極(SD)Epi(應變源極/汲極)。該處理順序之可能的缺點在於，當FTI形成期間蝕刻鰭片時，在應變N/P SD Epi處理期間所產生的應變/應力會鬆弛。鬆弛的應力會降低與FTI相鄰之主動通道的性能，並在巢套與隔離裝置之間引起大的洩漏和驅動電流增量。

【0026】依據本發明之一或多個實施例，描述替代性圖案化方案，包括在閘極圖案化期間圖案化FTI並將N/P SD Epi處理移動到最後，例如在高k值閘極形成之前。

【0027】早期實現或保持應力的嘗試包括以柱塞材料來置換FTI結構以調變應力的處理。NMOS偏好拉伸應力，而PMOS偏好壓縮應力。NMOS和PMOS二者都需要圖案化的柱塞來實現最佳性能。所顯示的最佳處理實現了NMOS拉伸應力增強和一些PMOS應力恢復，但與非FTI通道結構相比，並沒有實現進一步的增進。需要該圖案化的柱塞才能實現NMOS和PMOS二者的最佳性能。拉伸應力電介質柱塞較容易形成，而壓縮柱塞可能難以實現。洩漏和性能係由FTI應力所調變。NMOS性能(驅動電流)係由拉伸應力所增強，但洩漏增加。PMOS性能(驅動電流)則會由於壓

縮應力減小而降低。影響取決於FTI與主動通道之間的距離，導致隔離與巢套裝置之間的洩漏和性能增量。

【0028】在實施例中，在閘極形成期間，FTI係使用多層級硬遮罩來圖案化及填充。隨後，在進行高k值閘極形成之前，完成閘極圖案化、間隔化、及N/P Epi SD。藉由在N/P EPI SD之前圖案化FTI，可保持Epi SD形成期間所產生的應力，因此幾乎沒有因為應力損失而造成的性能損失。此外，由於減小的FTI應力影響，隔離及巢套裝置可以具有相似的性能。

【0029】在實施例中，為了要在N/P Epi SD之前圖案化FTI，將被稱作多層級光柵蝕刻(MLGE)的圖案化方案與硬遮罩侷限蝕刻(HMCE)結合使用，並與多層級間隔化(MLS)相結合。間距和材料可以係傳統的，並且可以從最先進的圖案化方案來進行處理轉移。

【0030】在一實施例中，第一個處理操作或方案涉及閘極光柵的間距一半。該處理係藉由將間距減半來起始，用以產生雙層光柵結構。可係必要的是，頂層光柵材料相對於底層光柵材料為選擇性。在特定實施例中，選擇性係大於3：1。

【0031】在一實施例中，第二個處理操作或方案涉及使用MLGE和HMCE來將FTI界定到頂層級光柵內。使用FTI微影遮罩，圖案係利用由HMCE所輔助的MLGE來轉移到雙層光柵的頂層級內。MLGE係用於與MLS結合以使用，如下一個操作中所述地。HMCE可能需要用於微影誤

差/邊緣放置以及用以保護相鄰的頂層級光柵/底層材料。**MLGE**可代表蝕刻預圖案化的光柵結構以去除硬遮罩或圖案化不一樣特徵的概念。在特定實施例中，**MLGE**的要求係在頂層級與底層級光柵材料之間的選擇性。蝕刻可根據應用而係各向異性的或各向同性的。在該處理設計中，可以實施頂層光柵材料之各向異性的去除。應理解的是，**HMCE**係由縱橫比和光柵侷限所輔助之在硬遮罩中圖案化高度正交之切割的方法。**HMCE**的一個要求可係系統內的縱橫比大於2：1，用以在蝕刻到達硬遮罩時減緩蝕刻。**HMCE**的另一個要求可係高度的硬遮罩光柵垂直度(例如，大於88度)。一旦落在硬遮罩上，可實施該縱橫比，用以增進蝕刻定位並防止基板損壞。垂直度則可被實施以供圖案化侷限之用。

【0032】在一實施例中，第三個處理操作或方案涉及使用**MLS**的**FTI**圖案化。使用**MLS**的概念，在雙層光柵結構的周圍沉積間隔物並回蝕以暴露雙層光柵的底層級。**MLS**可能要求的是，間隔物厚度約係閘極臨界尺寸(**CD**)之一半間距的兩倍。應理解的是，該整合方案可選地允許沉積更厚的間隔物以縮減最終**FTI CD**的寬度。接下來，可以將多晶矽(虛擬閘極材料)蝕刻到鰭片的頂部。然後，將最終的**FTI**蝕刻到目標凹槽深度。在特定的實施例中，對於大約100奈米(**nm**)的**Si**凹陷深度，設計假設用於給定間距之大於4：1的間隔物材料的平均選擇性。除了間隔物的峰值高度之外，給定硬遮罩的高度，最大縱橫比可係大約

10。一旦FTI已被圖案化，則可以以隔離材料來填充溝渠並向下拋光，以顯露出雙層硬遮罩的底層級。隔離材料選擇可根據裝置性能需求來決定，且對於柱塞圖案化之可選的調整可以在此處理序列之期間完成。

【0033】 在一實施例中，第四個處理操作或方案涉及閘極圖案化。在FTI圖案化之後，可以各向同性地去除間隔物材料，且可向下地轉換多晶矽蝕刻以界定電晶體的S/D/閘極區域。FTI之引入的柱塞材料可被選擇以相對於多晶矽蝕刻具有選擇性。在特定的實施例中，重要的是，底層級硬遮罩在FTI或進入多晶矽蝕刻的期間不會被損壞，以確保高度的垂直度。

【0034】 在一實施例中，第五個處理操作或方案涉及間隔化。間隔物被沉積在所有材料的周圍，用以將S/D與閘極隔離。可選擇FTI的柱塞材料，使其對間隔物材料具有有利的黏附性質。在特定的實施例中，由於FTI寬度可以與閘極匹配或小於閘極，所以可無需擔心間隔物捏縮。

【0035】 在一實施例中，第六個處理操作或方案涉及N/P Epi SD。N/P Epi SD圖案化可以接著被完成，以界定S/D區域並產生應力矽以供NMOS和PMOS上的峰值性能之用。可以填充及拋光掉間隔物和隔離材料以暴露閘極頂部的多晶矽。

【0036】 在一實施例中，第七個處理操作或方案涉及多晶閘極移除。多晶矽相對於S/D隔離材料和FTI柱塞材料有選擇性地被各向同性地去除。接著，下一個處理部分可

係高k值閘極界定。

【0037】做為示例性處理方案，第1A至1N圖圖示出依據本發明實施例之製造具有閘極與鰭片微調隔離之積體電路結構的方法中之各種操作的由上而下成角度的橫剖面視圖。

【0038】請參閱第1A圖，起始結構100包括基板102，諸如矽基板。複數個鰭片104被圖案化到基板102內。每個鰭片104包括下方鰭片部分106和上方鰭片部分108。諸如淺溝渠隔離(STI)層的絕緣層110係與下方鰭片部分106相鄰。自對齊閘極端帽(SAGE)結構或壁112將鰭片104的各種分群分開。諸如多晶矽層的虛擬閘極層114係形成於該複數個鰭片104上。下方硬遮罩層116係在虛擬閘極層114之上。上方硬遮罩層118係在下方硬遮罩層116之上。諸如氮化矽間隔物遮罩的閘極圖案化遮罩120係在上方硬遮罩層118之上。閘極圖案化遮罩120可以使用直接圖案化、間距減半法(以間隔物為基)、間距四分法、等等，來予以製造。

【0039】請參閱第1B圖，閘極圖案化遮罩120的圖案係蝕刻到上方硬遮罩層118內，用以形成圖案化硬遮罩層118A。

【0040】請參閱第1C圖，諸如以碳為基之硬遮罩的硬遮罩122係形成於第1B圖的結構上，且圖案化以具有開口124於其中。在一實施例中，該等開口124係在其中最終地形成鰭片微調隔離結構的位置中。

【0041】請參閱第1D圖，由開口124所暴露的部分閘極圖案化遮罩120被去除以形成圖案化閘極圖案化遮罩120A。圖案化閘極圖案化遮罩120A包括暴露圖案化硬遮罩層118A的部分的開口126。

【0042】請參閱第1E圖，例如，藉由灰化處理來將硬遮罩122從第1D圖的結構去除。

【0043】請參閱第1F圖，諸如氮化矽層之間隔物形成材料係形成於第1E圖的結構上，並回蝕以形成間隔物128。

【0044】請參閱第1G圖，第1F圖的結構係經受蝕刻處理，用以在該結構的末端處蝕刻下方硬遮罩層116、虛擬閘極層114、和鰭片104。該蝕刻在該結構的末端處形成圖案化下方硬遮罩層116A、圖案化虛擬閘極層114A、和圖案化鰭片104A。圖案化鰭片104A包括鰭片微調隔離溝渠130。

【0045】請參閱第1H圖，鰭片微調隔離材料係形成於第1G圖的結構上，且所生成的結構被平面化以去除圖案化閘極圖案化遮罩120A，用以形成鰭片微調隔離結構132，形成平面化間隔物128A，及形成平面化圖案化硬遮罩層118B。

【0046】請參閱第1I圖，平面化間隔物128A被從第1H圖的結構去除了。

【0047】請參閱第1J圖，圖案化下方硬遮罩層116A和圖案化虛擬閘極層114A係使用平面化圖案化硬遮罩層

118A做為遮罩，以形成二次圖案化下方硬遮罩層116B和二次圖案化虛擬閘極層114B。

【0048】請參閱第1K圖，諸如氮化矽材料之間隔物形成材料134係形成於第1J圖的結構上。

【0049】請參閱第1L圖，將間隔物形成材料134蝕刻以形成間隔物134A。接著，執行源極或汲極底切蝕刻以形成二次圖案化鰭片104B(應理解的是，該處理亦可以在其他鰭片104上執行)。然後，將磊晶源極或汲極結構136A及136B形成於該二次圖案化鰭片104B中。在一實施例中，磊晶源極或汲極結構136A係包括硼摻雜矽鍺的PMOS結構，而磊晶源極或汲極結構136B則係包括磷摻雜矽的NMOS結構。在另一實施例中，磊晶源極或汲極結構136B係包括硼摻雜矽鍺的PMOS結構，而磊晶源極或汲極結構136A則係包括磷摻雜矽的NMOS結構。然後，在所生成的結構上形成第一襯墊電介質138和第二襯墊電介質140。

【0050】請參閱第1M圖，電介質填充材料(其可係與第二襯墊電介質140相同的材料)係形成於第1L圖的結構上。所生成的結構被平面化以形成電介質填充物142(其可包括部分第二襯墊電介質140)，形成平面化第一襯墊電介質138A，形成平面化間隔物134B，形成平面化二次圖案化虛擬閘極層114C，以及形成平面化鰭片微調隔離結構132A。

【0051】請參閱第1N圖，平面化二次圖案化虛擬閘極層114C被從第1M圖的結構去除以形成置換閘極溝渠144。

其次，隨後的處理可以涉及高k值閘極電介質形成、金屬閘極形成、和溝渠接觸形成。

【0052】應理解的是，上述處理流程的一部分涉及MLS後的FTI蝕刻。底層級硬遮罩光柵被暴露出，其界定了圖案化FTI的位置。蝕刻處理係透過硬遮罩、多晶矽、和矽到目標凹槽來執行。峰值縱橫比可大約為10。間隔物材料的圓化/濺鍍可予以調節。惟，在實施例中，多晶矽和矽盡可能保持垂直，以避免柱塞填充物迅速膨脹。在示例性處理方案中，第2A至2B圖圖示出依據本發明實施例之製造具有閘極與鰭片微調隔離之積體電路結構的方法中之各種操作的橫剖面視圖。

【0053】請參閱第2A圖，諸如矽基板的基板200包括其上的第一硬遮罩層202和第二硬遮罩層204。在第一硬遮罩層202和第二硬遮罩層204中的開口包括下方間隔物層206，且在一些位置中包括上方間隔物層208。請參閱第2B圖，第2A圖的結構係經受蝕刻處理以形成延伸到基板200內的開口210，以形成圖案化第二硬遮罩層204A、圖案化第一硬遮罩層202A、圖案化基板200A、及殘餘的上方間隔物層部分208A。

【0054】更一般地，描述了用於隔離鰭片的鰭片微調隔離(FTI)和單閘極間隔。利用從基板表面突出的半導體材料之鰭片的非平面電晶體使用環繞鰭片之兩個、三個、或甚至所有側面的閘極電極(亦即，雙閘極、三閘極、奈米線電晶體)。源極及汲極區域通常係接著形成於鰭片

中，或做為鰭片的再生長部分，形成在閘極電極的任一側。為了要將第一非平面電晶體的源極或汲極區域與相鄰之第二非平面電晶體的源極或汲極區域隔離，可以在兩個相鄰鰭片之間形成間隙或空間。該隔離間隙通常需要某種遮罩蝕刻。一旦被隔離，則接著在個別的鰭片上圖案化閘極堆疊，通常再次以某種遮罩蝕刻(例如，線蝕刻或開口蝕刻，取決於具體實施)。

【0055】 伴隨上述鰭片隔離技術的一個潛在問題在於，閘極不與鰭片的末端自對齊，且閘極堆疊圖案與半導體鰭片圖案的對齊依賴於該兩種圖案的重疊。如此，微影重疊公差被添加到半導體鰭片和隔離間隙的尺度內，鰭片的長度和隔離間隙需要比用於給定之電晶體功能位準的其他情況更大。因此，減少此種尺度過大的裝置架構和製造技術在電晶體密度中提供了高度有利的增進。

【0056】 伴隨上面所述之鰭片隔離技術的另一個潛在問題在於，在半導體鰭片中之用以增進載子遷移率所需的應力可能會從電晶體的通道區域消失，在該區域在製造期間留下了太多鰭片表面，從而允許鰭片應變鬆弛。因此，維持更高位準之所需鰭片應力的裝置架構和製造技術在非平面電晶體性能中提供了有利的增進。

【0057】 依據本發明之實施例，本文描述了穿閘極鰭片隔離架構和技術。在所示的示例性實施例中，在諸如積體電路(IC)之微電子裝置中的非平面電晶體係以與電晶體的閘極電極自對齊的方式來彼此互相隔離。雖然本發明的

實施例實際上可應用於任何使用非平面電晶體的IC，但是示例性IC包含且不受限於包括邏輯和記憶體(SRAM)部分的微處理器核心、RFIC(例如，包括數位基帶和類比前端模組的無線IC)、以及功率IC。

【0058】 在實施例中，相鄰半導體鰭片的兩端係以相對於閘極電極所定位的隔離區域來相互電性隔離，而僅只使用一個圖案化遮罩層級。在實施例中，使用單個遮罩以形成複數個固定間距的犧牲占位條，占位條的第一子集界定了隔離區域的位置或尺寸，而占位條的第二子集則界定閘極電極的位置或尺寸。在某些實施例中，占位條的第一子集被去除且在由第一子集去除所生成的開口中的半導體鰭片內做成隔離切口，而占位條的第二子集則最終地被以非犧牲性閘極電極堆疊來置換。由於用於閘極電極置換所利用的占位條子集被使用以形成隔離區域，所以該方法和所生成的架構在本文中被稱作“穿閘極”隔離。在此所描述的一或多個穿閘極隔離實施例可以例如，致能更高的電晶體密度和更高位準之有利的電晶體通道應力。

【0059】 以在閘極電極的放置或界定之後所定義的隔離，可以實現更大的電晶體密度，因為鰭片隔離尺度和放置可以與閘極電極完美地在間距上做成，以致使閘極電極和隔離區域二者係單個遮罩層級之最小特徵間距的整數倍。在其中半導體鰭片與其上配置有鰭片之基板具有晶格失配的進一步實施例中，將藉由在閘極電極的放置或界定之後定義隔離來維持更大程度的應變。對於該等實施例，

在界定鰭片末端之前形成電晶體的其他特徵(諸如閘極電極及添加的源極或汲極材料)有助於在鰭片內做成隔離切口之後機械地維持鰭片應變。

【0060】 為了提供進一步的上下文，電晶體縮放可以從晶片內之更密集的單元封裝來受益。目前，大多數的單元係藉由兩個或更多個具有埋置式鰭片的虛擬閘極來與它們相鄰的單元分隔開。該等單元係藉由蝕刻該兩個或更多個虛擬閘極下方的鰭片來隔離，該等虛擬閘極將一個單元連接到另一個單元。如果分隔相鄰單元之虛擬閘極的數目可以從兩個或更多個減少到一個，則縮放會顯著地受益。如上所述，一種解決方案需要兩個或更多個虛擬閘極。在該兩個或更多個虛擬閘極下方的鰭片在鰭片圖案化期間被蝕刻。該方法的潛在問題在於虛擬閘極會占用晶片上可用於單元的空間。在實施例中，本文所描述的方法致能使用單個虛擬閘極來將相鄰的單元分隔開。

【0061】 在實施例中，鰭片微調隔離方法係實施為自對齊圖案化方案。在此，單個閘極下方的鰭片被蝕刻掉。因此，相鄰的單元可藉由單個虛擬閘極來分隔。該方法的優點可以包括節省晶片上的空間並允許給定區域的更多計算功率。該方法亦可以允許在子鰭片的間距距離處來執行鰭片微調。

【0062】 用於比較上的目的，第3A及3B圖圖示出平面視圖，其表示用以形成局部隔離結構之具有多閘極間隔之鰭片的圖案化方法中的各種操作。

【0063】請參閱第3A圖，顯示出具有沿著第一方向304之長度的複數個鰭片302。沿著與該第一方向304正交的第二方向308顯示出界定用以最終地形成複數個閘極線的位置之具有間隔307於其間的柵格306。

【0064】請參閱第3B圖，複數個鰭片302的一部分被切割(例如，藉由蝕刻處理來去除)，以留下具有切口312於其中的鰭片310。因此，在切口312中所最終形成的隔離結構具有大於單個閘極線的尺寸，例如三個閘極線306的尺寸。因而，沿著閘極線306之位置所最終形成的閘極結構將至少部分地形成在切口312中所形成的隔離結構上。所以，切口312係相當寬的鰭片切割。

【0065】第3C至3F圖圖示出依據本發明另一個實施例的平面視圖，其表示用以形成局部隔離結構之具有單閘極間隔之鰭片的圖案化方法中的各種操作。

【0066】請參閱第3C圖，製造積體電路結構的方法包括形成複數個鰭片322，該複數個鰭片322的個別鰭片具有沿著第一方向324的最長尺寸。複數個閘極結構326係在該複數個鰭片322的上方，該複數個閘極結構326的個別閘極結構具有沿著與第一方向324正交之第二方向328的最長尺寸。在實施例中，閘極結構326係犧牲或虛擬閘極線，例如由多晶矽所製成。在一實施例中，複數個鰭片322係矽鰭片並與其下的矽基板的一部分係連續的。

【0067】請參閱第3D圖，電介質材料結構330係形成於複數個閘極結構326的相鄰閘極結構之間。

【0068】請參閱第3E圖，去除複數個閘極結構326之一的一部分332以暴露出複數個鰭片322之每一個的一部分334。在實施例中，去除複數個閘極結構326之一的該部分332涉及使用比該複數個閘極結構326之一的該部分332之寬度338更寬的微影窗口336。

【0069】請參閱第3F圖，去除複數個鰭片322之每一個的暴露部分334以形成切割區域340。在實施例中，複數個鰭片322之每一個的暴露部分334係使用乾式或電漿蝕刻處理來去除。在實施例中，去除複數個鰭片322之每一個的暴露部分334包括蝕刻到小於該複數個鰭片322之高度的深度。在一該實施例中，該深度係大於該複數個鰭片322中之源極或汲極區域的深度。在實施例中，該深度係比該複數個鰭片322之主動部分的深度更深以提供隔離邊限。在實施例中，複數個鰭片322之每一個的暴露部分334在不蝕刻或不實質地蝕刻該複數個鰭片322的源極或汲極區域(諸如磊晶源極或汲極區域)的情況下被去除。在一該實施例中，複數個鰭片322之每一個的暴露部分334在不橫向蝕刻或不實質地橫向蝕刻該複數個鰭片322的源極或汲極區域(諸如磊晶源極或汲極區域)的情況下被去除。在實施例中，切割區域340係最終地以絕緣層來填充，例如在複數個鰭片322之每一個的暴露部分334的位置中，以形成“多晶切割”或“柱塞”結構。

【0070】在實施例中，第3C至3F圖的處理係用於閘極與鰭片微調隔離方法中或和閘極與鰭片微調隔離方法一起

使用，諸如結合第1A至1N及2A至2B圖所描述的。

【0071】在另一觀點中，在做成閘極線切割(多晶切割)的位置與做成鰭片微調隔離(FTI)局部鰭片切割的位置之間可以存在關係。在實施例中，FTI局部鰭片切割係僅在做成多晶切割的位置中進行。然而，在一該實施例中，FTI切割無需一定要在做成多晶切割的每一個位置處進行。

【0072】第3G及3H圖圖示出依據本發明實施例的平面視圖，其表示用以在選擇的閘極線切割位置中形成局部隔離結構之具有單閘極間隔之鰭片的圖案化方法中的各種操作。

【0073】請參閱第3G圖，製造積體電路結構的方法包括形成複數個鰭片352，該複數個鰭片352的個別鰭片具有沿著第一方向354的最長尺寸。複數個閘極結構356係在該複數個鰭片352的上方，該複數個閘極結構356的個別閘極結構具有沿著與第一方向354正交之第二方向358的最長尺寸。在實施例中，閘極結構356係犧牲或虛擬閘極線，例如由多晶矽所製成。在一實施例中，複數個鰭片352係矽鰭片並與其下的矽基板的一部分係連續的。

【0074】再請參閱第3G圖，電介質材料結構360係形成於複數個閘極結構356的相鄰閘極結構之間。去除複數個閘極結構356之兩個的一部分362及363以暴露出複數個鰭片352之每一個的一部分。在實施例中，去除複數個閘極結構356之兩個的該等部分362及363涉及使用比該等閘

極結構 356 的該等部分 362 及 363 的每一個之寬度更寬的微影窗口。去除在位置 362 處之複數個鱗片 352 之每一個的暴露部分以形成切割區域 370。在實施例中，複數個鱗片 352 之每一個的暴露部分係使用乾式或電漿蝕刻處理來去除。然而，在位置 363 處之複數個鱗片 352 之每一個的暴露部分則被遮罩而無法去除。在實施例中，區域 362/370 同時代表多晶切割和 FTI 局部鱗片切割。惟，位置 363 僅代表多晶切割。請參閱第 3H 圖，多晶切割和 FTI 局部鱗片切割的位置 362/370 及多晶切割的位置 363 係以諸如電介質柱塞或“多晶切割”或“柱塞”結構的絕緣結構 380 來填充。

【0075】在實施例中，第 3G 及 3H 圖的處理係用於閘極與鱗片微調隔離方法中或和閘極與鱗片微調隔離方法一起使用，諸如結合第 1A 至 1N 及 2A 至 2B 圖所描述的。

【0076】在另一觀點中，用於閘極與鱗片微調隔離方法的鱗片結構包括複數個水平奈米線(其可係奈米帶)的鱗片。該鱗片可包括在複數個水平奈米線之間中介的犧牲材料。

【0077】應理解的是，在特定的實施例中，奈米線或奈米帶、或犧牲中介層可以由矽所組成。正如通篇所使用地，矽層可用以描述由非常大量(如果不是全部)的矽所組成的矽材料。然而，應理解的是，實際上，100%的純 Si 可能難以形成，且因此，可能包含少量的碳、鍺、或錫。該等雜質可能在 Si 的沉積期間被包括成為不可避免的雜質或組分，或者可能在後沉積處理期間之擴散時“污染”該 Si。

因此，本文所描述之針對矽層的實施例可以包括含有相對少量之例如，“雜質”位準之諸如 Ge、C、或 Sn 的非 Si 原子或物種。應理解的是，如本文所述的矽層可係未摻雜的或者可以被摻雜有諸如硼、磷、或砷的摻雜物原子。

【0078】應理解的是，在特定的實施例中，奈米線或奈米帶、或犧牲中介層可以由矽鍺所組成。正如通篇所使用地，矽鍺層可用以描述由實質部分的矽和鍺所組成的矽鍺材料，諸如兩者至少 5%。在一些實施例中，鍺的量係大於矽的量。在特定的實施例中，矽鍺層包括大約 60% 的鍺和大約 40% 的矽 ($\text{Si}_{40}\text{Ge}_{60}$)。在其他實施例中，矽的量係大於鍺的量。在特定的實施例中，矽鍺層包括大約 30% 的鍺和大約 70% 的矽 ($\text{Si}_{70}\text{Ge}_{30}$)。應理解的是，實際上，100% 的純矽鍺(通常稱作 SiGe)可能難以形成，且因此，可能包含少量的碳、或錫。該等雜質可能在 SiGe 的沉積期間被包括成為不可避免的雜質或成分，或者可能在後沉積處理期間之擴散時“污染”該 SiGe。因此，本文所描述之針對矽鍺層的實施例可以包括含有相對少量之例如，“雜質”位準之諸如碳或錫的非 Ge 和非 Si 原子或物種。應理解的是，如本文所述的矽鍺層可係未摻雜的或者可以被摻雜有諸如硼、磷、或砷的摻雜物原子。

【0079】應理解的是，本文所述的實施例亦可包括其他實施方式，諸如具有各種寬度、厚度、及/或包括但不受限於 Si 和 SiGe 的材料。例如，可以使用 III-V 族材料。

【0080】下文所描述的係各種裝置和處理方案，諸如

奈米線或奈米帶處理方案，其可用以製造可以與閘極與鱗片微調隔離方法整合的裝置，諸如結合第1A至1N及2A至2B圖所描述的。應理解的是，示例性實施例不一定需要所描述的所有特徵，或者可以包括比所描述的更多的特徵。例如，奈米線釋放處理可以透過置換閘極溝渠來執行。該等釋放處理的實例將描述如下。此外，在又另一個觀點中，由於圖案化的複雜性，後端(BE)互連縮放可能導致較低的性能和較高的製造成本。在此所敘述的實施例可被實施以致能用於奈米線電晶體的正面和背面互連整合。在此所敘述的實施例可以提供用以實現相對較寬之互連間距的方法。結果可係增進的產品性能和更低的圖案化成本。實施例可實施以致能具有低功率和高性能之奈米線或奈米帶電晶體的穩健功能。

【0081】 本文所描述的一或多個實施例涉及使用部分源極或汲極(SD)和非對稱溝渠接觸(TCN)深度之用於奈米線或奈米帶電晶體的雙磊晶(EPI)連接。在實施例中，積體電路結構係藉由形成部分以SD磊晶填充之奈米線或奈米帶電晶體的源極-汲極開口來製造。開口的其餘部分係填充有導電性材料。在源極或汲極側之一上的深溝渠形成致能對背面互連層級的直接接觸。

【0082】 做為用以製造環繞式閘極積體電路結構之環繞式閘極裝置的示例性處理流程，第4A至4J圖圖示出依據本發明實施例之製造環繞式閘極積體電路結構的方法中之各種操作的橫剖面視圖。

【0083】請參閱第4A圖，製造積體電路結構的方法包括形成起始堆疊，其包括交替的犧牲層404和在諸如矽鱗片之鱗片402上方的奈米線406。奈米線406可被稱作奈米線的垂直設置。如圖所示，可以在交替的犧牲層404和奈米線406上方形成保護帽408。亦如圖所描繪地，鬆弛緩衝層452和缺陷修正層450可以形成在交替的犧牲層404和奈米線406之下。

【0084】請參閱第4B圖，在水平奈米線406的垂直設置上形成閘極堆疊410。然後，藉由去除部分的犧牲層404以提供凹陷的犧牲層404'和空腔412來釋放部分的水平奈米線406的垂直設置，如第4C圖中所示。

【0085】應理解的是，第4C圖的結構可在不首先執行下文所述的深蝕刻和非對稱接觸處理下被製造完成。在任一情況下(例如，具有或不具有非對稱接觸處理)，在實施例中，製造處理涉及使用提供具有磊晶結節之環繞式閘極積體電路結構的處理方案，該磊晶結節可係分立的源極或汲極結構。

【0086】請參閱第4D圖，在閘極結構410的側壁形成上方閘極間隔物414。空腔間隔物416係形成於上方閘極間隔物414下方的空腔412中。然後，可選地執行深溝渠接觸蝕刻以形成溝渠418並形成凹陷的奈米線406'。如圖所示，亦可以存在圖案化的鬆弛緩衝層452'和圖案化的缺陷修正層450'。

【0087】接著，在溝渠418中形成犧牲材料420，如第

4E圖中所示。在其他處理方案中，可以使用隔離的溝渠底部或矽溝渠底部。

【0088】請參閱第4F圖，在水平奈米線406'的垂直設置的第一端形成第一磊晶源極或汲極結構(例如，左手側的特徵422)。在水平奈米線406'的垂直設置的第二端形成第二磊晶源極或汲極結構(例如，右手側的特徵422)。在實施例中，如圖所示，磊晶源極或汲極結構422係垂直分立的源極或汲極結構且可被稱作磊晶結節。

【0089】其次，在閘極電極410的側面並鄰接源極或汲極結構422處形成層間電介質(ILD)材料424，如第4G圖中所示。請參閱第4H圖，使用置換閘極處理來形成永久閘極電介質428和永久閘極電極426。然後，去除ILD材料424，如第4I圖中所示。接著，從源極汲極位置之一(例如，右手側)去除犧牲材料420以形成溝渠432，但並不從源極汲極位置的另一個去除以形成溝渠430。

【0090】請參閱第4J圖，形成耦接到第一磊晶源極或汲極結構(例如，左手側的特徵422)的第一導電接觸結構434。形成耦接到第二磊晶源極或汲極結構(例如，右手側的特徵422)的第二導電接觸結構436。第二導電接觸結構436係沿著鱗片402形成得比第一導電接觸結構434更深。在實施例中，雖然並未在第4J圖中描繪，但是該方法進一步包括在鱗片402的底部形成第二導電接觸結構436的暴露表面。導電性接觸可以包括接觸電阻降低層和主要接觸電極層，其中實例可包括Ti、Ni、Co(用於前者以及W、

Ru、Co，用於後者)。

【0091】在實施例中，第二導電接觸結構436係沿著鰭片402比第一導電接觸結構434更深，如圖所示。在一該實施例中，第一導電接觸結構434不沿著鰭片402，如圖所示。在未描繪的另一個該實施例中，第一導電接觸結構434係部分地沿著鰭片402。

【0092】在實施例中，第二導電接觸結構436係沿著整個鰭片402。在實施例中，雖然並未描繪出，但是在藉由背面基板去除處理以暴露鰭片402底部的情況中，第二導電接觸結構436在鰭片402的底部具有暴露表面。

【0093】在實施例中，第4J圖的結構，或第4A至4J圖的相關結構係使用閘極與鰭片微調隔離方法來形成，諸如結合第1A至1N及2A至2B圖所描述的。

【0094】在另一觀點中，為了要致能對一對非對稱源極和汲極接觸結構之兩個導電接觸結構的接達，本文所描述的積體電路結構可以使用正面結構製造方法的背面顯露來製造。在一些示例性實施例中，電晶體或其他裝置結構之背面的顯露需要晶圓層級背面處理。與傳統的TSV型技術相比，如本文所述的電晶體之背面的顯露可以在裝置單元的密度下執行，且甚至可以在裝置的子區域內執行。此外，可以執行電晶體之背面的該顯露以實質地去除在正面裝置處理期間其上配置裝置層之施體基板的全部。因此，隨著在電晶體之背面的顯露之後在裝置單元中的半導體厚度潛在地僅有數十或數百奈米，微米深的TSV就變成多餘

的了。

【0095】 本文所述的顯露技術可以致能從“自下而上”的裝置製造到“中心向外”製造的範例移位，其中該“中心”係正面製造中所使用的任何層，從背面顯露，並再次用於背面製造。當主要依賴正面處理時，裝置結構之正面和顯露背面的處理可以解決許多與製造3D IC相關聯的挑戰。

【0096】 可以使用電晶體之背面的顯露方法，例如用以去除施體 - 主體基板組合之至少一部分的載子層和中介層。處理流程從施體 - 主體基板組合的輸入開始。拋光(例如，CMP)及/或以濕式或乾式(例如，電漿)蝕刻處理來蝕刻施體-主體基板中之載子層的厚度。可以使用已知適用於載子層之組成的任何研磨、拋光、和/或濕式/乾式蝕刻處理。例如，在載子層係IV族半導體(例如，矽)的情況中，可以使用已知適用於使半導體變薄的CMP漿料。同樣地，也可以使用已知適用以薄化IV族半導體的任何濕式蝕刻劑或電漿蝕刻處理。

【0097】 在一些實施例中，在上述處理之前，係沿著與中介層實質平行的斷裂平面來劈開載子層。劈開或斷裂處理可用以將載子層的實質部分當作塊體來去除，而減少去除載子層所需的拋光或蝕刻時間。例如，在載子層的厚度係400-900微米(μm)的情況中，100-700微米可藉由實行已知用以促進晶圓層級斷裂的毯式植入來劈掉。在一些示例性實施例中，將輕的元素(例如，H、He、或Li)植入到載子層內需要斷裂平面的均勻目標深度。在該劈開處理之

後，可接著拋光或蝕刻殘留在施體-主體基板組合中之載子層的厚度以完成去除。或者，在載子層沒有斷裂的情況中，可以使用研磨、拋光、和/或蝕刻操作來去除更大厚度的載子層。

【0098】 接下來，偵測中介層的暴露。偵測係用以識別當施體基板的背面表面已前進到幾乎裝置層時的點。可以實行已知適用以偵測用於載子層與中介層的材料間之變遷的端點偵測技術。在一些實施例中，一或多個端點準則係根據在拋光或蝕刻性能期間偵測施體基板的背面表面之光吸收或發射中的改變。在一些其他的實施例中，端點準則係與在拋光或蝕刻施體基板背面表面的期間之副產物的光吸收或發射中的改變相關聯。例如，與載子層蝕刻副產物相關聯的吸收或發射波長可做為載子層和中介層之不同組成的函數而改變。在其他實施例中，端點準則係與拋光或蝕刻施體基板背面表面之副產物中的物種質量的改變相關聯。例如，處理的副產物可以透過四極質量分析儀來取樣，而物種質量的改變可能與載子層和中介層的不同組成相關。在另一個示例性實施例中，端點準則係與施體基板的背面表面和與施體基板的背面表面接觸的拋光表面之間的摩擦改變相關聯。

【0099】 可增強中介層的偵測，其中去除處理相對於中介層而言對載子層係選擇性的，因為在載子去除處理中的不均勻性可以藉由載子層與中介層之間的蝕刻速率增量來減輕。如果研磨、拋光、和/或蝕刻操作以遠低於去除

載子層之速率的速率來去除中介層，則甚至可以跳過偵測。如果不使用端點準則時，若中介層的厚度足以滿足蝕刻的選擇性，則預定固定之持續時間的研磨、拋光、和/或蝕刻操作可以停止在中介層材料上。在一些實例中，載子蝕刻速率：中介層蝕刻速率為3：1-10：1，或更高。

【0100】 在暴露中介層時，可以去除至少一部分的中介層。例如，可以去除中介層的一或多個組分層。例如，可藉由拋光來均勻地移除中介層的厚度。或者，中介層的厚度可以以遮罩式或毯式蝕刻處理來移除。該處理可以使用與用於薄化載子所使用的拋光或蝕刻處理相同的拋光或蝕刻處理，或者可以使用具有不同參數的不同處理。例如，在其中中介層為載子去除處理提供蝕刻停止的情況下，後者操作可以使用有利於中介層之去除而不是有利於載子層之去除的不同拋光或蝕刻處理。在其中要去除小於幾百奈米之中介層厚度的情況下，去除處理可能相對較慢，而為了整個晶圓均勻性最佳化，並且比用以去除載子層的處理能更精確地控制。例如，所使用的CMP處理可以例如使用在圍繞裝置層並嵌入於中介層內例如做為相鄰裝置區域之間的電性隔離的半導體(例如，矽)與電介質材料(例如，SiO)之間提供非常高的選擇性(例如，100：1-300：1，或更高)的漿料。

【0101】 對於其中裝置層係透過中介層的完全去除來顯露的實施例，背面處理可以在裝置層的暴露背面或其中的特定裝置區域上開始。在一些實施例中，背面裝置層處

理包括透過配置在中介層與先前在裝置層中所製造之諸如源極或汲極區域的裝置區域之間的裝置層之厚度的進一步拋光或濕式/乾式蝕刻。

【0102】 在其中載子層、中介層、或裝置層背面係以濕式及/或電漿蝕刻來凹陷的一些實施例中，該蝕刻可係圖案化蝕刻或材料選擇性蝕刻，其給予顯著的非平面性或形貌到裝置層背面表面內。如下文所進一步描述地，圖案化可以在裝置單元內(亦即，“單元內”圖案化)或可以跨裝置單元(亦即，“單元間”圖案化)。在一些圖案化蝕刻實施例中，中介層之至少部分的厚度被使用做為用於背面裝置層圖案化的硬遮罩。因此，遮罩蝕刻處理可以在對應的遮罩裝置層蝕刻之前進行。

【0103】 上述處理方案可導致包括IC裝置的施體-主體基板組合，該等IC裝置具有暴露的中介層背面、裝置層背面、及/或裝置層內之一或多個半導體區域背面、及/或正面金屬化。然後，可以在下游處理期間執行該等顯露區域的任一者之額外的背面處理。

【0104】 應理解的是，由上述示例性處理方案所生成的結構可以以相同或類似的形式用於後續的處理操作以完成諸如PMOS及/或NMOS裝置製造的裝置製造。做為完整裝置的實例，第5圖圖示出依據本發明實施例之沿著閘極線所截取之非平面積體電路結構的橫剖面視圖。

【0105】 請參閱第5圖，半導體結構或裝置500包括在溝渠隔離區506內的非平面主動區(例如，包括突出鱗片部

504和子鰭片區505的鰭片結構)。在實施例中，非平面主動區並非整塊鰭片而是在子鰭片區505上方被分成奈米線(諸如，奈米線504A和504B)，如虛線所示。在任一情況中，為方便敘述非平面積體電路結構500，非平面主動區504係在下文中被稱作突出鰭片部。在實施例中，子鰭片區505還包括鬆弛緩衝層542和缺陷修正層540，如圖所示。

【0106】 閘極線508係配置在非平面主動區之突出部504(包括，若適用的話，圍繞奈米線504A和504B)，以及溝渠隔離區506之一部分的上方。如圖所示，閘極線508包括閘極電極550和閘極電介質層552。在一實施例中，閘極線508還可以包括電介質帽蓋層554。自此透視尚可看到閘極接觸514和上覆的閘極接觸通孔516，以及上覆的金屬互連560，所有該等者都被配置在層間電介質堆疊或層570中。同樣地從第5圖的透視來看，在一實施例中，閘極接觸514係配置在溝渠隔離區506的上方，但不在非平面主動區上方。在另一個實施例中，閘極接觸514係位在非平面主動區的上方。

【0107】 在實施例中，半導體結構或裝置500係非平面裝置，諸如但不受限於鰭式FET裝置、三閘極裝置、奈米帶裝置、或奈米線裝置。在該實施例中，對應的半導體通道區係由三維本體所組成的或形成在三維本體中。在一該實施例中，閘極線508的閘極電極堆疊至少包圍三維本體的頂部表面和一對側壁。

【0108】同樣地如第5圖中所示，在一實施例中，在突出鱗片部504與子鱗片區505之間存在介面580。該介面580可係摻雜的子鱗片區505與輕度或未摻雜的上方鱗片部504之間的躍遷區域。在一該實施例中，每個鱗片的寬度係大約10奈米或更小，且子鱗片摻雜物係可選地從子鱗片位置處的相鄰固態摻雜層來供應。在特定的該實施例中，每個鱗片的寬度小於10奈米。

【0109】雖然並未在第5圖中描繪，但是應理解的是，突出鱗片部504或鄰近突出鱗片部504的源極或汲極區域係在閘極線508的任一側，亦即，進入和離開頁面。在一實施例中，在源極或汲極位置中之突出鱗片部504的材料被去除並以另一種半導體材料來置換，例如藉由磊晶沉積以形成磊晶源極或汲極結構。源極或汲極區域可以延伸到溝渠隔離區506之電介質層的高度以下，亦即，進入子鱗片區505內。依據本發明之實施例，更重摻雜的子鱗片區，亦即，介面580下方之鱗片的摻雜部分，抑制了透過塊體半導體鱗片的此部分之源極到汲極的洩漏。在實施例中，源極及汲極區域具有相關聯之非對稱的源極及汲極接觸結構，如上文結合第4J圖所述地。

【0110】請再參閱第5圖，在實施例中，鱗片504/505(且可能地，奈米線504A及504B)係由可以摻雜有諸如，但未受限於磷、砷、硼、銻、或其組合之電荷載子的晶體矽鍺層所組成。

【0111】在實施例中，溝渠隔離區506及通篇所描述

的溝渠隔離區(溝渠隔離結構或溝渠隔離層)可以由適合以最終地電性隔離或有助於隔離永久閘極結構的一部分與底層塊體基板，或隔離形成在底層塊體基板內之主動區，諸如隔離鰭片主動區，的材料所組成。例如，在一實施例中，溝渠隔離區506係由諸如但未受限於二氧化矽、氮氧化矽、氮化矽、或碳摻雜之氮化矽的電介質材料所組成。

【0112】閘極線508可以由閘極電極堆疊所組成，該閘極電極堆疊包括閘極電介質層552和閘極電極層550。在實施例中，閘極電極堆疊的閘極電極係由金屬閘極所組成，而閘極電介質層則由高k值材料所組成。例如，在實施例中，閘極電介質層552係由諸如但未受限於氧化鉛、氮氧化鉛、矽酸鉛、氧化鏷、氧化鋯、矽酸鋯、氧化鉭、鈦酸鋁、鈦酸鋇、鈦酸鋇、氧化鈮、氧化鋁、鉛鈦鉭氧化物、鋯酸鋅鉛、或其組合的材料所組成。此外，閘極電介質層552的一部分可以包括由基板鰭片504的頂部幾層所形成之天然氧化物的層。在實施例中，閘極電介質層552係由頂部高k值部分及由半導體材料之氧化物所構成的下方部分所組成。在一實施例中，閘極電介質層552係由氧化鉛的頂部部分及二氧化矽或氮氧化矽的底部部分所組成。在一些實施方式中，閘極電介質的一部分係“U”形結構，其包括實質平行於基板表面的底部部分和實質垂直於基板頂部表面的兩個側壁部分。

【0113】在一實施例中，閘極電極層550係由諸如但未受限於金屬氮化物、金屬碳化物、金屬矽化物、金屬鋁

化物、鈐、銻、鈦、鉭、鋁、鈮、鈹、鉑、鈷、鎳、或導電性金屬氧化物的金屬層所組成。在特定的實施例中，閘極電極層 550 係由形成在金屬功函數設定層上方的非功函數設定填充材料所組成。閘極電極層 550 可以由 P 型功函數金屬或 N 型功函數金屬所組成，取決於電晶體係 PMOS 或 NMOS 電晶體。在一些實施方式中，閘極電極層 550 可以由兩個或更多個金屬層的堆疊所組成，其中一或多個金屬層係功函數金屬層且至少一個金屬層為導電性填充層。對於 PMOS 電晶體，可用於閘極電極的金屬包括，但並未受限於鈮、鈹、鉑、鈷、鎳、鎢、或例如，氧化鈮的導電性金屬氧化物。P 型金屬層將致能具有功函數介於大約 4.9 eV (電子伏特) 與大約 5.2 eV 之間的 PMOS 閘極電極的形成。對於 NMOS 電晶體，可用於閘極電極的金屬包括，但並未受限於鈐、銻、鈦、鉭、鋁、該等金屬的合金、以及該等金屬的碳化物，諸如碳化鈐、碳化銻、碳化鈦、碳化鉭、及碳化鋁。N 型金屬層將致能具有功函數介於大約 3.9 eV 與大約 4.2 eV 之間的 NMOS 閘極電極的形成。在一些實施方式中，閘極電極可以由“U”形結構所組成，其包括實質平行於基板表面的底部部分和實質垂直於基板頂部表面的兩個側壁部分。在另一個實施方式中，形成閘極電極之金屬層的至少一者可以簡單地係實質平行於基板頂部表面且不包括實質垂直於基板頂部表面之側壁部分的平面層。在本發明的進一步實施方式中，閘極電極可以由 U 形結構和平面非 U 形結構的組合所組成。例如，閘極電極可以由形

成在一或多個平面非U形層頂上的一或多個U形金屬層所組成。

【0114】與閘極電極堆疊相關聯的間隔物可以由適合以最終地電性隔離或有助於隔離永久閘極結構與相鄰的導電性接觸，諸如自對齊接觸，的材料所組成。例如，在一實施例中，間隔物係由諸如但未受限於二氧化矽、氮氧化矽、氮化矽、或碳摻雜之氮化矽的電介質材料所組成。

【0115】閘極接觸514和上覆的閘極接觸通孔516可以由導電性材料所組成。在實施例中，一或多個接觸或通孔係由金屬物種所組成。金屬物種可係純金屬，諸如鎢、鎳、或鈷，或可係合金，諸如金屬-金屬合金或金屬-半導體合金(例如，矽化物材料)。

【0116】在實施例中(雖然並未顯示)，形成了與現有閘極圖案508本質完美對齊的接觸圖案，同時消除了具有極其嚴格對準預算之微影步驟的使用。在實施例中，接觸圖案係垂直對稱接觸圖案，或非對稱接觸圖案，諸如結合第4J圖所描述地。在其他實施例中，所有接觸係正面連接的且並不是非對稱的。在一該實施例中，自對齊方法致能本徵高度選擇性濕式蝕刻的使用(例如，與傳統所實施的乾式或電漿蝕刻相比)以產生接觸開口。在實施例中，接觸圖案係藉由利用現有閘極圖案結合接觸柱塞微影操作來形成。在一該實施例中，該方法致能消除如傳統方法中所使用的其他關鍵微影操作來產生接觸圖案的需要。在實施例中，溝渠接觸柵格並非單獨圖案化的，而是被形成在多

晶(閘極)線之間。例如，在一該實施例中，溝渠接觸柵格係在閘極光柵圖案化之後但在閘極光柵切割之前形成。

【0117】 在實施例中，提供結構500涉及藉由置換閘極處理之閘極堆疊結構508的製造。在一該方案中，諸如多晶矽或氮化矽柱材料的虛擬閘極材料可被去除並以永久閘極電極材料來置換。在一該實施例中，永久閘極電介質層亦係在此處理中形成，而非透過早期處理來進行。在實施例中，虛擬閘極係藉由乾式蝕刻或濕式蝕刻來去除。在一實施例中，虛擬閘極係由多晶矽或非晶矽所組成，且以包括SF₆之使用的乾式蝕刻處理來去除。在另一個實施例中，虛擬閘極係由多晶矽或非晶矽所組成，且以包括NH₄OH或四甲基氫氧化銨水溶液之使用的濕式蝕刻處理來去除。在一實施例中，虛擬閘極係由氮化矽所組成，且以包括磷酸水溶液的濕式蝕刻來去除。

【0118】 請再參閱第5圖，半導體結構或裝置500的設置將閘極接觸置放在隔離區域之上。該設置可能會被視為布局空間的低效率使用。惟，在另一個實施例中，半導體裝置具有接觸結構，該接觸結構接觸形成在例如，鱗片505上方之主動區上方以及在與溝渠接觸通孔相同的層中之閘極電極的部分。

【0119】 在實施例中，第5圖的結構係使用閘極與鱗片微調隔離方法來形成，諸如結合第1A至1N及2A至2B圖所描述的。

【0120】 應理解的是，並非上述處理的所有觀點都需

要落在本發明之實施例的精神及範疇內來實行。同時，本文所述的處理可用以製造一或複數個半導體裝置。該等半導體裝置可係電晶體或類似的裝置。例如，在實施例中，該等半導體裝置係用於邏輯或記憶體的金屬氧化物半導體(MOS)，或者係雙極性電晶體。而且，在實施例中，該等半導體裝置具有三維架構，諸如奈米線裝置、奈米帶裝置、三閘極裝置、獨立接達之雙閘極裝置、或FIN-FET。一或多個實施例可以對於製造次10奈米(10nm)技術節點之半導體裝置特別地有用。

【0121】 在實施例中，如本說明書通篇所使用地，層間電介質(ILD)材料係由電介質或絕緣材料的層所組成或包括電介質或絕緣材料的層。適合之電介質材料的實例包括，但並未受限於矽的氧化物(例如，二氧化矽(SiO_2))、摻雜的矽氧化物、矽的氟化氧化物、碳摻雜的矽氧化物、本項技藝中所已知的各種低k值電介質材料、及其組合。層間電介質材料可以藉由諸如例如，化學氣相沉積法(CVD)、物理氣相沉積法(PVD)之傳統的技術來形成，或是藉由其他的沉積方法來形成。

【0122】 在實施例中，亦如本說明書所通篇使用地，金屬線或互連線材料(以及通孔材料)係由一或多個金屬或其他導電性結構所組成。一種常見的實例係銅線和銅結構的使用，其可包括或可能不包括銅與周圍ILD材料之間的勢壘層。如本文所使用地，金屬的術語包括多種金屬的合金、堆疊、及其他組合。例如，金屬互連線可以包括勢壘

層(例如，包括一或多個 Ta、TaN、Ti、或 TiN 的層)、不同金屬或合金的堆疊、等等。因此，互連線可係單一材料層，也可以由幾層所形成，包括導電性襯墊層及填充層。諸如電鍍、化學氣相沉積、或物理氣相沉積之任何合適的沉積處理都可用以形成互連線。在實施例中，互連線係由導電性材料所組成，諸如但未受限於 Cu、Al、Ti、Zr、Hf、V、Ru、Co、Ni、Pd、Pt、W、Ag、Au、或其合金。互連線在本項技藝中有時候也稱作跡線、導線、線、金屬、或簡單地，互連。

【0123】在實施例中，亦如本說明書通篇所使用地，硬遮罩材料、帽蓋層、或柱塞係由不同於層間電介質材料的電介質材料所組成。在一實施例中，不同的硬遮罩、帽蓋、或柱塞材料可以用於不同的區域中，以便為彼此及為下面的電介質和金屬層提供不同的生長或蝕刻選擇性。在一些實施例中，硬遮罩層、帽蓋或柱塞層包括矽氮化物(例如，氮化矽)的層或矽氧化物的層，或兩者，或其組合。其他合適的材料可以包括碳基材料。取決於特定的實施方式，可以使用本項技藝中所已知的其他硬遮罩、帽蓋或柱塞層。硬遮罩、帽蓋或柱塞層可藉由 CVD、PVD，或藉由其他的沉積方法來形成。

【0124】在實施例中，亦如本說明書通篇所使用地，微影操作係使用 193 奈米浸沒式微影術(i193)、EUV 及 / 或 EBDW 微影術、或其類似者來執行。可以使用正色調或負色調光阻。在一實施例中，微影遮罩係由形貌遮罩部分、

抗反射塗 (ARC) 層、及光阻層所組成的三層遮罩。在特定的該實施例中，形貌遮罩部分係碳遮罩 (CHM) 層以及抗反射塗層係矽 ARC 層。

【0125】在另一觀點中，一或多個實施例係針對由自對齊閘極端帽 (SAGE) 結構所隔開的相鄰半導體結構或裝置。特定的實施例可以涉及在 SAGE 架構中整合多個寬度 (multi-Wsi) 奈米線和奈米帶並由 SAGE 壁所隔開。在實施例中，奈米線/奈米帶係在前端處理流程的 SAGE 架構部分中與多個 Wsi 整合。該處理流程可以涉及不同 Wsi 之奈米線和奈米帶的整合，用以提供具有低功率和高性能之下一代電晶體的穩健功能。可以嵌入相關聯的磊晶源極或汲極區域 (例如，去除部分的奈米線，且然後執行源極或汲極 (S/D) 生長)。

【0126】為了提供進一步的上下文，自對齊閘極端帽 (SAGE) 架構的優點可以包括致能更高的布局密度，特別是擴散到擴散間隔的縮放。為了提供說明性的比較，第 6 圖圖示出依據本發明實施例之用於非端帽架構 (左手側 (a)) 相對自對齊閘極端帽 (SAGE) 架構 (右手側 (b)) 之穿過奈米線及鱗片所截取的橫剖面視圖。

【0127】請參閱第 6 圖的左手側 (a)，積體電路結構 600 包括基板 602，該基板 602 具有從橫向圍繞鱗片 604 下方部分之隔離結構 608 上方突出一定量 606 的鱗片 604。鱗片的上方部分可以包括鬆弛緩衝層 622 和缺陷修正層 620，如圖所示。相對應的奈米線 605 係在鱗片 604 上方。閘極結構可

以在積體電路結構600上方形成，用以製造裝置。惟，可藉由增加鱗片604/奈米線605對之間間隔來適應該閘極結構中的中斷。

【0128】相比之下，請參閱第6圖的右手側(b)，積體電路結構650包括基板652，該基板652具有從橫向圍繞鱗片654下方部分之隔離結構658上方突出一定量656的鱗片654。鱗片的上方部分可以包括鬆弛緩衝層672和缺陷修正層670，如圖所示。相對應的奈米線655係在鱗片654上方。隔離SAGE壁660(其上可包括硬遮罩，如圖所示)被包括在隔離結構652內和相鄰的鱗片654/奈米線655之間。在隔離SAGE壁660與最近的鱗片654/奈米線655對之間的距離界定了閘極端帽間隔662。閘極結構可以在積體電路結構600上方，在隔離SAGE壁之間形成，用以製造裝置。在該閘極結構中的中斷係藉由隔離SAGE壁來強加。由於隔離SAGE壁660係自對齊的，因此可以使傳統方法的限制最小化，而使擴散到擴散間隔能更具攻擊性。此外，由於閘極結構在所有位置處都包括中斷，因此各個閘極結構部分可以藉由形成在隔離SAGE壁660上的局部互連來層連接。在實施例中，如圖所示，該等SAGE壁660各包括下方電介質部分和下方電介質部分上的電介質帽蓋。依據本發明之實施例，用於與第6圖相關聯之結構的製造處理涉及提供具有磊晶源極或汲極結構之環繞式閘極積體電路結構之處理方案的使用。

【0129】在實施例中，第6圖之(b)部分的結構係使用

閘極與鱗片微調隔離方法來形成，諸如結合第 1A 至 1N 及 2A 至 2B 圖所描述的。

【0130】 自對齊閘極端帽 (SAGE) 處理方案涉及形成與鱗片自對齊的閘極/溝渠接觸端帽，而無需額外的長度來解決遮罩未對準之情況。因此，可以實施實施例以致能電晶體布局面積的縮小。本文所描述的實施例可以涉及閘極端帽隔離結構的製造，閘極端帽隔離結構亦可被稱作閘極壁、隔離閘極壁、或自對齊閘極端帽 (SAGE) 壁。

【0131】 在用於具有分隔相鄰裝置之 SAGE 壁的結構之示例性處理方案中，第 7 圖圖示出依據本發明實施例之製造具有環繞式閘極裝置之自對齊閘極端帽 (SAGE) 結構的方法中之各種操作的橫剖面視圖。

【0132】 請參閱第 7 圖的 (a) 部分，起始結構包括基板 702 上方的奈米線圖案化堆疊 704。微影圖案化堆疊 706 係形成於奈米線圖案化堆疊 704 上方。奈米線圖案化堆疊 704 包括交替的犧牲層 710 和奈米線層 712，其可以在鬆弛緩衝層 782 及缺陷修正層 780 之上，如圖所示。保護遮罩 714 位於奈米線圖案化堆疊 704 與微影圖案化堆疊 706 之間。在一實施例中，微影圖案化堆疊 706 係由形貌遮罩部分 720、抗反射塗 (ARC) 層 722、及光阻層 724 所組成的三層遮罩。在特定的該實施例中，形貌遮罩部分 720 係碳遮罩 (CHM) 層以及抗反射塗層 722 係矽 ARC 層。

【0133】 請參閱第 7 圖的 (b) 部分，(a) 部分的堆疊被微影圖案化且然後被蝕刻，用以提供包括圖案化基板 702 和

溝渠 730 的蝕刻結構。

【0134】請參閱第 7 圖的 (c) 部分，(b) 部分的結構具有形成於溝渠 730 中的隔離層 740 和 SAGE 材料 742。然後，將該結構平面化以留下圖案化的形貌遮罩層 720' 做為暴露的上方層。

【0135】請參閱第 7 圖的 (d) 部分，隔離層 740 凹陷而低於圖案化基板 702 之上方表面，例如，用以界定突出鱗片部分並在 SAGE 壁 742 下方提供溝渠隔離結構 741。

【0136】請參閱第 7 圖的 (e) 部分，至少在通道區域中去除犧牲層 710 以釋放奈米線 712A 及 712B。在形成第 7 圖 (e) 部分的結構之後，可以在奈米線 712B 或 712A 周圍，基板 702 的突出鱗片上方，以及 SAGE 壁 742 之間形成閘極堆疊。在一實施例中，在閘極堆疊的形成之前，將保護遮罩 714 的剩餘部分去除。在另一個實施例中，保留保護遮罩 714 的剩餘部分為絕緣鱗片帽，做為處理方案的人工製品。

【0137】請再參閱第 7 圖的 (e) 部分，應理解的是，描繪了通道視圖，其中源極或汲極區域係位於頁面之內和之外。在實施例中，包括奈米線 712B 的通道區具有比包括奈米線 712A 的通道區更小的寬度。因此，在實施例中，積體電路結構包括多個寬度 (multi- W_{si}) 奈米線。雖然 712B 及 712A 的結構可分別區分為奈米線和奈米帶，但是該兩種結構在本文中通常被稱作奈米線。亦應理解的是，對鱗片 / 奈米線對的引用或描述可以意指包括鱗片和一或多個上覆

奈米線的結構(例如，第7圖圖示出兩個上覆奈米線)。依據本發明之實施例，用於與第7圖相關聯之結構的製造處理涉及提供具有磊晶源極或汲極結構之環繞式閘極積體電路結構之處理方案的使用。

【0138】在實施例中，第7圖之(e)部分的結構係使用閘極與鱗片微調隔離方法來形成，諸如結合第1A至1N及2A至2B圖所描述的。

【0139】在實施例中，如通篇所描述地，自對齊閘極端帽(SAGE)隔離結構可以由適合以將永久閘極結構的部分最終地彼此電性隔離或有助於彼此隔離的材料所組成。示例性材料或材料組合包括諸如二氧化矽、氮氧化矽、氮化矽、或碳摻雜之氮化矽的單一材料結構。其他示例性材料或材料組合包括多層堆疊，其具有下方部分二氧化矽、氮氧化矽、氮化矽、或碳摻雜之氮化矽和上方部分諸如氧化鈣之較高電介質常數的材料。

【0140】為了要突顯具有三個垂直設置之奈米線的示例性積體電路結構，第8A圖圖示出依據本發明實施例之以奈米線為基之積體電路結構的三維橫剖面視圖。第8B圖圖示出第8A圖的以奈米線為基之積體電路結構沿著a-a'軸所截取的源極或汲極橫剖面視圖。第8C圖圖示出第8A圖的以奈米線為基之積體電路結構沿著b-b'軸所截取的通道橫剖面視圖。

【0141】請參閱第8A圖，積體電路結構800包括位於基板802上方之一或多個垂直堆疊的奈米線(804組)。在實

施例中，如圖，鬆弛緩衝層 802C、缺陷修正層 802B、及下方基板部分 802A 係包括在基板 802 中，如圖所示。為了說明性目的，為強調奈米線部分的緣故，並未描繪出最底部奈米線下方且由基板 802 所形成的可選鰭片。本文的實施例係針對單線裝置和多線裝置二者。例如，為了說明性目的，顯示出具有奈米線 804A、804B、和 804C 之以三個奈米線為基的裝置。為描述方便，使用奈米線 804A 作為實例，其中重點在於描述該等奈米線的一個。應理解的是，在描述一個奈米線之屬性的情況中，根據複數個奈米線的實施例對於每一個奈米線都具有相同的或本質上相同的屬性。

【0142】 每個奈米線 804 都包括在該奈米線內的通道區 806。通道區 806 具有長度 (L)。請參閱第 8C 圖，通道區亦具有與該長度 (L) 正交的周邊 (Pc)。請參閱第 8A 和 8C 圖，閘極電極堆疊 808 圍繞著每一個通道區 806 的整個周邊 (Pc)。閘極電極堆疊 808 包括閘極電極以及在通道區 806 與閘極電極 (未顯示) 之間的閘極電介質層。在實施例中，通道區係分立的，其中它完全由閘極電極堆疊 808 所包圍，而沒有諸如底層之基板材料或上覆之通道製造材料的任何中介材料。因而，在具有複數個奈米線 804 的實施例中，奈米線的通道區 806 彼此之間亦係分立的。

【0143】 請參閱第 8A 和 8B 圖，積體電路結構 800 包括一對非分立的源極或汲極區域 810/812。該對非分立的源極或汲極區域 810/812 係位於複數個垂直堆疊奈米線 804 的

通道區 806 的任一側。此外，該對非分立的源極或汲極區域 810/812 係與複數個垂直堆疊奈米線 804 的通道區 806 相鄰。在未描繪的一該實施例中，該對非分立的源極或汲極區域 810/812 係直接垂直地相鄰通道區 806，其中磊晶生長係在延伸於通道區 806 之外的奈米線部分之上和之間，在該情況中之奈米線末端被顯示在源極或汲極結構中。在另一個實施例中，如第 8A 圖所描繪，該對非分立的源極或汲極區域 810/812 係間接垂直地相鄰通道區 806，其中它們係形成在奈米線的末端處而不在奈米線之間。

【0144】在實施例中，如圖所示，源極或汲極區域 810/812 係非分立的，其中奈米線 804 的每一個通道區 806 都沒有單獨的和分立的源極或汲極區域。因而，在具有複數個奈米線 804 的實施例中，奈米線的源極或汲極區域 810/812 係全局的或統一的源極或汲極區域，而不是每一個奈米線分立的源極或汲極區域。也就是說，非分立的源極或汲極區域 810/812 在單個統一的特徵被用作用於複數個(在此情況中，3 個)奈米線 804 的，且更具體地，用於多於一個之分立通道區 806 的源極或汲極區域之意義上係全局的。在一實施例中，從與分立通道區 806 之長度正交的橫剖面透視圖來看，該對非分立的源極或汲極區域 810/812 的每一個在形狀上係近似矩形的，具有底部錐形部分和頂部頂點部分，如第 8B 圖中所示。惟，在其他實施例中，奈米線的源極或汲極區域 810/812 係相對較大的但分立非垂直合併的磊晶結構，諸如與第 4A 至 4J 圖結合所描

述的結節。

【0145】依據本發明之實施例，且如第8A及8B圖中所描繪地，積體電路結構800進一步包括一對接觸814，每一個接觸814在該對非分立的源極或汲極區域810/812之一上。在一該實施例中，在垂直意義上，每一個接觸814完全圍繞著各自的非分立的源極或汲極區域810/812。在另一觀點中，非分立的源極或汲極區域810/812之整個周邊可係對於與接觸814的接觸不可接達的，且因此，接觸814僅部分地包圍非分立的源極或汲極區域810/812，如第8B圖中所描繪地。在未描繪的比較實施例中，如沿著a-a'軸所截取之非分立的源極或汲極區域810/812的整個周邊係由接觸814所包圍。

【0146】請再參閱第8A圖，在實施例中，積體電路結構800進一步包括一對間隔物816。如圖所示，該對間隔物816的外部可以重疊非分立的源極或汲極區域810/812的部分，而在該對間隔物816的下方提供非分立的源極或汲極區域810/812的“嵌入”部分。亦如圖所示，非分立的源極或汲極區域810/812的嵌入部分可以不在整個該對間隔物816的下方延伸。

【0147】基板802可以由適合於積體電路結構製造的材料所組成。在一實施例中，基板802包括由材料的單晶所組成的下方塊體基板，該材料可以包括，但未受限於矽、鍺、矽鍺、鍺錫、矽鍺錫、或III-V族化合物半導體材料。由可以包括，但未受限於二氧化矽、氮化矽、或氮氧

化矽之材料所組成的上方絕緣體層係在下方塊體基板之上。因此，結構800可以由起始的絕緣體上半導體基板所製成。或者，結構800係直接由塊體基板所形成，且局部氧化被用以形成電性絕緣部分以代替上述的上方絕緣體層。在另一個替代的實施例中，結構800係直接由塊體基板所形成，且其上使用摻雜以形成諸如奈米線之電性隔離的主動區。在一該實施例中，第一個奈米線(亦即，靠近基板)係 ω -FET型結構的形式。

【0148】在實施例中，如下所述，奈米線804的尺寸可以是線或帶，並且可以具有方形或圓角。在實施例中，奈米線804係由諸如，但未受限於矽、鍺、或其組合的材料所組成。在一該實施例中，奈米線係單晶的。例如，對於矽奈米線804，單晶奈米線可以基於(100)全局取向，例如在z方向中具有 $\langle 100 \rangle$ 平面。如下所述，也可以考慮其他的取向。在實施例中，從橫剖面透視圖來看，奈米線804的尺寸係奈米尺度的。例如，在特定的實施例中，奈米線804的最小尺寸係小於大約20奈米。在實施例中，奈米線804係由應變材料所組成的，特別係在通道區806中。

【0149】請參閱第8C圖，在實施例中，每個通道區806都具有寬度(Wc)和高度(Hc)，該寬度(Wc)與高度(Hc)近似相同。也就是說，在這兩種情況下，通道區806的橫剖面輪廓是方形的，或者如果係圓角，則是圓形的。在另一個觀點中，通道區的寬度和高度不必相同，諸如通篇所描述之用於奈米帶的情況。

【0150】在實施例中，如通篇所描述地，積體電路結構包括非平面裝置，諸如但不受限於具有相對應之一或多個上覆奈米線結構的鰭式FET裝置或三閘極裝置。在該實施例中，對應的半導體通道區係由三維本體所組成或形成在三維本體中，一或多個分立的奈米線通道部分覆蓋該三維本體。在一該實施例中，閘極結構至少包圍三維本體的頂部表面和一對側壁，並且進一步包圍該一或多個分立的奈米線通道部分的每一個。

【0151】在實施例中，第8A至8C圖的結構係使用閘極與鰭片微調隔離方法來形成，諸如結合第1A至1N及2A至2B圖所描述的。

【0152】在實施例中，如通篇所描述地，底層基板可以由可耐受製造處理且其中電荷可遷移之半導體材料所組成。在實施例中，基板係塊體基板，其係由晶體矽、矽/鍺、或鍺層所組成，而摻雜有諸如，但不受限於磷、砷、硼、鎵、或其組合之電荷載子以形成主動區。在一實施例中，在塊體基板中的矽原子濃度係大於97%。在另一實施例中，塊體基板係由生長在不同的晶體基板頂上之磊晶層所組成，例如，生長在硼摻雜之塊體矽單晶基板頂上的矽磊晶層所組成。塊體基板可選擇性地由III-V族材料所組成。在實施例中，塊體基板係由諸如，但不受限於氮化鎵、磷化鎵、砷化鎵、磷化銻、銻化銻、砷化銻鎵、砷化鋁鎵、磷化銻鎵、或其組合之III-V族材料所組成。在一實施例中，塊體基板係由III-V族材料所組成，以及電荷載子

摻雜物雜質原子係諸如，但未受限於碳、矽、鍺、氧、硫、硒、或碲之其中一者。

【0153】 本文所揭示之實施例可用以製造寬廣種類之不同類型的積體電路及/或微電子裝置。該等積體電路的實例包括，但不受限於處理器、晶片組組件、圖形處理器、數位信號處理器、微控制器、及其類似者。在其他實施例中，可製造出半導體記憶體。此外，積體電路或其他微電子裝置可用於本項技藝中所已知之寬廣種類的電子裝置中。例如，在計算系統(例如，桌上型、膝上型、伺服器)、蜂巢式電話、個人電子裝置、等等中。積體電路可以與該等系統中之匯流排及其他組件耦接。例如，處理器可藉由一或多個匯流排來耦接到記憶體、晶片組、等等。該處理器、記憶體、及晶片組的每一個都可以使用本文所揭示的方法以潛在地製造。

【0154】 第9圖描繪依據本發明實施例之一實施方式的計算裝置900。計算裝置900擁有板902。板902可以包括許多組件，包含但不受限於處理器904及至少一個通訊晶片906。處理器904係實體地並電性地耦接到板902。在一些實施方式中，至少一個通訊晶片906亦係實體地並電性地耦接至板902。在進一步的實施方式中，通訊晶片906係處理器904的一部分。

【0155】 根據它的應用，計算裝置900可包括其他組件，其可以被實體及電性耦接到板902或可能不被實體及電性耦接到板902。該等其他組件可包括，但不受限於揮

發性記憶體(例如, DRAM)、非揮發性記憶體(例如, ROM)、快閃記憶體、圖形處理器、數位信號處理器、加密處理器、晶片組、天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、音頻編碼解碼器、視頻編碼解碼器、功率放大器、全球定位系統(GPS)裝置、羅盤、加速度計、迴轉儀、揚聲器、相機、以及大容量儲存裝置(諸如, 硬碟驅動器、小型碟片(CD)、數位多功能碟片(DVD)、等等)。

【0156】通訊晶片906致能無線通訊,用以對計算裝置900及來自計算裝置900之資料的轉移。“無線”之術語及其衍生詞可用以描述電路、裝置、系統、方法、技術、通訊頻道、等等,其可透過非固態媒質之調變的電磁輻射之使用來傳達資料。該術語並未暗指相關聯的裝置不包含任何導線,儘管在一些實施例中,它們可能不包含。通訊晶片906可實施許多無線標準或協定的任一者,包括但不受限於Wi-Fi(IEEE 802.11家族)、WiMAX(IEEE 802.16家族)、IEEE 802.20、長期演進(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙、其衍生者,以及被指明為3G、4G、5G、及以上之任何其他的無線協定。計算裝置900可以包括複數個通訊晶片906。例如,第一通訊晶片906可專屬於較短距離無線通訊,諸如Wi-Fi及藍牙,以及第二通訊晶片906可專屬於較長距離無線通訊,諸如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO、等等。

【0157】計算裝置900的處理器904包括封裝在處理器904內的積體電路晶粒。處理器904的積體電路晶粒可以包括一或多個結構，諸如依據本發明實施例的實施方式所建立之具有閘極與鱗片微調隔離的積體電路結構。“處理器”之術語可意指任何裝置或裝置的一部分，該裝置可處理來自暫存器及/或記憶體之電子資料，用以轉換該電子資料成為可被儲存在暫存器及/或記憶體中的其他電子資料。

【0158】通訊晶片906亦包括封裝在通訊晶片906內的積體電路晶粒。通訊晶片906內的積體電路晶粒可以包括一或多個結構，諸如依據本發明實施例的實施方式所建立之具有閘極與鱗片微調隔離的積體電路結構。

【0159】在進一步的實施方式中，位於計算裝置900內之另一組件可包括積體電路晶粒，該積體電路晶粒可以包括一或多個結構，諸如依據本發明實施例的實施方式所建立之具有閘極與鱗片微調隔離的積體電路結構。

【0160】在各種實施方式中，計算裝置900可係膝上型電腦、小筆電、筆記型電腦、超筆電、智慧型手機、平板電腦、個人數位助理(PDA)、超行動PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、遊戲控制單元、數位相機、可攜帶式音樂播放器、或數位錄影機。在進一步的實施方式中，計算裝置900可係處理資料的任何其他電子裝置。

【0161】第10圖圖示出包括本發明之一或多個實施例的插入件1000。該插入件1000係介入基板，其係用以橋接

第一基板 1002 到第二基板 1004。第一基板 1002 可係，例如，積體電路晶粒。第二基板 1004 可係，例如，記憶體模組、電腦主機板、或另一個積體電路晶粒。通常，插入件 1000 之目的在於展開連接至更寬的間距，或重路由連接到不同的連接。例如，插入件 1000 可以將積體電路晶粒耦接到球柵格陣列 (BGA) 1006，其可隨後被耦接到第二基板 1004。在一些實施例中，第一及第二基板 1002/1004 係附著到插入件 1000 的相反側。在其他實施例中，第一及第二基板 1002/1004 係附著到插入件 1000 的相同側。在進一步的實施例中，三個或更多個基板係經由插入件 1000 來互連。

【0162】 插入件 1000 可由環氧樹脂、纖維玻璃強化環氧樹脂、陶質材料、或諸如聚醯亞胺的聚合物材料所形成。在進一步的實施例中，插入件 1000 可由可包括上述相同材料之交替的剛性或柔性材料所形成，以供諸如，矽、鍺、以及其他 III-V 族及 IV 族材料之半導體基板中的用途之用。

【0163】 該插入件 1000 可以包括金屬互連 1008 及通孔 1010，包括，但不受限於貫穿矽通孔 (TSV) 1012。插入件 1000 可進一步包括嵌入式裝置 1014，其包括被動及主動裝置二者。該等裝置包括，但不受限於電容器、解耦合電容器、電阻器、電感器、熔絲、二極體、變壓器、感測器、及靜電放電 (ESD) 裝置。諸如，射頻 (RF) 裝置、功率放大器、功率管理裝置、天線、陣列、感測器、及 MEMS 裝置

之更多的合成裝置亦可被形成於插入件 1000 上。依據本發明的實施例，本文所描述的設備或處理可用以製造插入件 1000 或製造插入件 1000 中所包括的組件。

【0164】 因此，本發明的實施例包括用於製造先進積體電路結構之間極與鱗片微調隔離。

【0165】 所描繪的本發明實施例之實施方式的上述說明，包括在摘要中所描述的，並不打算要包羅無遺，或限制本發明至所揭示的精準形式。雖然本發明之特定實施方式及用於本發明的實例係用於說明性之目的而被敘述於此，但在本發明的範疇內之各種等效的修正例係可能的，如熟習於相關技藝之該等人士將認可的。

【0166】 該等修正例可按照上述詳細說明來做成。在下文申請專利範圍中所使用的術語，不應被闡釋為限制本發明至說明書及申請專利範圍中所揭示的特定實施方式。更確切地說，本發明之範疇將完全由下文申請專利範圍所決定，所請求的權利應依據所確立之申請專利範圍解釋的教義來解讀。

【0167】 實例實施例 1：積體電路結構之製造方法包括沿著第一方向來形成複數個鱗片，去除該複數個鱗片之一的一部分以形成溝渠，在該溝渠中形成隔離結構，該隔離結構延伸到該複數個鱗片之該一者的上方，在該複數個鱗片上形成閘極結構，該閘極結構沿著與該第一方向正交的第二方向，沿著該閘極結構和該隔離結構的側壁來形成電介質間隔物，以及，在形成該電介質間隔物之後，在該

複數個鰭片中或其上形成磊晶源極或汲極結構。

【0168】實例實施例2：如實例實施例1之方法，其中在該複數個鰭片中或其上形成該等磊晶源極或汲極結構包括去除該複數個鰭片之每一個的一部分以形成蝕刻區域，然後在該等蝕刻區域中形成該等磊晶源極或汲極結構。

【0169】實例實施例3：如實例實施例1或2之方法，其中該閘極結構係虛擬閘極結構，該方法進一步包括，在形成該等磊晶源極或汲極結構之後，以永久閘極電介質和閘極電極來置換該虛擬閘極結構。

【0170】實例實施例4：如實例實施例1、2或3之方法，其中去除該複數個鰭片之一的該部分以形成溝渠包括蝕刻到小於該複數個鰭片之高度的深度。

【0171】實例實施例5：如實例實施例1、2、3或4之方法，其中該複數個鰭片包括矽且係與矽基板的一部分連續。

【0172】實例實施例6：積體電路結構之製造方法包括形成複數個鰭片，在該複數個鰭片之一中形成鰭片微調隔離結構，在形成該鰭片微調隔離結構之後，在該複數個鰭片上形成閘極結構，以及，在形成該閘極結構之後，在該複數個鰭片中或其上形成磊晶源極或汲極結構。

【0173】實例實施例7：如實例實施例6之方法，其中在該複數個鰭片中或其上形成該等磊晶源極或汲極結構包括去除該複數個鰭片之每一個的一部分以形成蝕刻區域，然後在該等蝕刻區域中形成該等磊晶源極或汲極結構。

【0174】實例實施例8：如實例實施例6或7之方法，其中該閘極結構係虛擬閘極結構，該方法進一步包括在形成該等磊晶源極或汲極結構之後，以永久閘極電介質和閘極電極來置換該虛擬閘極結構。

【0175】實例實施例9：如實例實施例6、7或8之方法，其中在該複數個鰭片之該一者中形成該鰭片微調隔離結構包括蝕刻該複數個鰭片之該一者到小於該複數個鰭片之高度的深度。

【0176】實例實施例10：如實例實施例6、7、8或9之方法，其中該複數個鰭片包括矽且係與矽基板的一部分連續。

【0177】實例實施例11：計算裝置包括板，以及組件，耦接到該板。該組件包括積體電路結構，該積體電路結構係依據以下方法來製造，該方法包括沿著第一方向來形成複數個鰭片，去除該複數個鰭片之一的一部分以形成溝渠，在該溝渠中形成隔離結構，該隔離結構延伸到該複數個鰭片之該一者的上方，在該複數個鰭片上形成閘極結構，該閘極結構沿著與該第一方向正交的第二方向，沿著該閘極結構和該隔離結構的側壁來形成電介質間隔物，以及，在形成該電介質間隔物之後，在該複數個鰭片中或其上形成磊晶源極或汲極結構。

【0178】實例實施例12：如實例實施例11之計算裝置，進一步包括記憶體，耦接到該板。

【0179】實例實施例13：如實例實施例11或12之計算

裝置，進一步包括通訊晶片，耦接到該板。

【0180】實例實施例14：如實例實施例11、12或13之計算裝置，其中該組件係封裝的積體電路晶粒。

【0181】實例實施例15：如實例實施例11、12、13或14之計算裝置，其中該組件係選自由處理器、通訊晶片、及數位信號處理器所組成的群組。

【0182】實例實施例16：計算裝置包括板，以及組件，耦接到該板。該組件包括積體電路結構，該積體電路結構係依據以下的方法來製造，該方法包括形成複數個鰭片，在該複數個鰭片之一中形成鰭片微調隔離結構，在形成該鰭片微調隔離結構之後，在該複數個鰭片上形成閘極結構，以及，在形成該閘極結構之後，在該複數個鰭片中或其上形成磊晶源極或汲極結構。

【0183】實例實施例17：如實例實施例16之計算裝置，進一步包括記憶體，耦接到該板。

【0184】實例實施例18：如實例實施例16或17之計算裝置，進一步包括通訊晶片，耦接到該板。

【0185】實例實施例19：如實例實施例16、17或18之計算裝置，其中該組件係封裝的積體電路晶粒。

【0186】實例實施例20：如實例實施例16、17、18或19之計算裝置，其中該組件係選自由處理器、通訊晶片、及數位信號處理器所組成的群組。

【符號說明】

【 0187】

- 100:起始結構
- 102,200,602,702,802:基板
- 104,302,310,322,352,402,604,654:鰭片
- 104A:圖案化鰭片
- 106:下方鰭片部分
- 108:上方鰭片部分
- 110:絕緣層
- 112:自對齊閘極端帽結構或壁
- 114:虛擬閘極層
- 114A:圖案化虛擬閘極層
- 114B:二次圖案化虛擬閘極層
- 114C:平面化二次圖案化虛擬閘極層
- 116:下方硬遮罩層
- 116A:圖案化下方硬遮罩層
- 116B:二次圖案化下方硬遮罩層
- 118:上方硬遮罩層
- 118A:圖案化硬遮罩層
- 118B:平面化圖案化硬遮罩層
- 120:閘極圖案化遮罩
- 120A:圖案化閘極圖案化遮罩
- 122:硬遮罩
- 124,126,210:開口
- 128,134A:間隔物

128A:平面化間隔物
132:鱗片微調隔離結構
132A:平面化鱗片微調隔離結構
134:間隔物形成材料
134B:平面化間隔物
136A,136B,422:磊晶源極或汲極結構
138:第一襯墊電介質
140:第二襯墊電介質
142:電介質填充物
144:置換閘極溝渠
200A,730:圖案化基板
202:第一硬遮罩層
202A:圖案化第一硬遮罩層
204:第二硬遮罩層
204A:圖案化第二硬遮罩層
206:下方間隔物層
208:上方間隔物層
208A:殘餘的上方間隔物層部分
306,508:柵格,閘極線
307:間隔
312:切口
324,354:第一方向
326,356:閘極結構
328,358:第二方向

330:電介質材料結構
336:微影窗口
338:寬度
340:切割區域
380:絕緣結構
404,710:交替的犧牲層
404':凹陷的犧牲層
406,504A,504B,605,655,712A,712B,804:奈米線
406':凹陷的奈米線
408:保護帽
410:閘極堆疊
412:空腔
418,430,432,730:溝渠
420:犧牲材料
424:層間電介質(ILD)材料
426:永久閘極電極
428:永久閘極電介質
434:第一導電接觸結構
436:第二導電接觸結構
450,540,620,670,780,802B:缺陷修正層
450':圖案化的缺陷修正層
452,542,622,672,782,802C:鬆弛緩衝層
452':圖案化的鬆弛緩衝層
500:半導體結構或裝置

504:突出鰭片部
505:子鰭片區
506:溝渠隔離區
514:閘極接觸
516:閘極接觸通孔
550:閘極電極層
552:閘極電介質層
554:電介質帽蓋層
560,1008:金屬互連
570:層間電介質堆疊
580:介面
600,650,800:積體電路結構
608,658:隔離結構
660:隔離SAGE壁
662:閘極端帽間隔
704:奈米線圖案化堆疊
706:微影圖案化堆疊
712:奈米線層
714:保護遮罩
720:形貌遮罩部分
720':圖案化形貌遮罩層
722:抗反射塗(ARC)層
724:光阻層
740:隔離層

741:溝渠隔離結構

742:SAGE材料

806:通道區

808:閘極電極堆疊

810,812:非分立的源極或汲極區域

814:接觸

816:間隔物

Wc:寬度

Hc:高度

900:計算裝置

902:板

904:處理器

906:通訊晶片

1000:插入件

1002:第一基板

1004:第二基板

1006:球柵格陣列

1010:通孔

1012:貫穿矽通孔

1014:嵌入式裝置

【發明申請專利範圍】

【請求項1】一種積體電路結構之製造方法，該方法包含：

沿著第一方向來形成複數個鱗片；

去除該複數個鱗片之一的一部分以形成溝渠；

在該溝渠中形成隔離結構，該隔離結構延伸到該複數個鱗片之該一者的上方；

在該複數個鱗片上形成閘極結構，該閘極結構沿著與該第一方向正交的第二方向；

沿著該閘極結構和該隔離結構的側壁來形成電介質間隔物；以及

在形成該電介質間隔物之後，在該複數個鱗片中或其上形成磊晶源極或汲極結構。

【請求項2】如請求項1之方法，其中在該複數個鱗片中或其上形成該等磊晶源極或汲極結構包含去除該複數個鱗片之每一個的一部分以形成蝕刻區域，然後在該等蝕刻區域中形成該等磊晶源極或汲極結構。

【請求項3】如請求項1或2之方法，其中該閘極結構係虛擬閘極結構，該方法進一步包含：

在形成該等磊晶源極或汲極結構之後，以永久閘極電介質和閘極電極來置換該虛擬閘極結構。

【請求項4】如請求項1或2之方法，其中去除該複數個鱗片之一的該部分以形成溝渠包含蝕刻到小於該複數個鱗片之高度的深度。

【請求項5】如請求項1或2之方法，其中該複數個鱗片包含矽且係與矽基板的一部分連續。

【請求項6】一種積體電路結構之製造方法，該方法包含：

形成複數個鱗片；

在該複數個鱗片之一中形成鱗片微調隔離結構；

在形成該鱗片微調隔離結構之後，在該複數個鱗片上形成閘極結構；以及

在形成該閘極結構之後，在該複數個鱗片中或其上形成磊晶源極或汲極結構。

【請求項7】如請求項6之方法，其中在該複數個鱗片中或其上形成該等磊晶源極或汲極結構包含去除該複數個鱗片之每一個的一部分以形成蝕刻區域，然後在該等蝕刻區域中形成該等磊晶源極或汲極結構。

【請求項8】如請求項6或7之方法，其中該閘極結構係虛擬閘極結構，該方法進一步包含：

在形成該等磊晶源極或汲極結構之後，以永久閘極電介質和閘極電極來置換該虛擬閘極結構。

【請求項9】如請求項6或7之方法，其中在該複數個鱗片之該一者中形成該鱗片微調隔離結構包含蝕刻該複數個鱗片之該一者到小於該複數個鱗片之高度的深度。

【請求項10】如請求項6或7之方法，其中該複數個鱗片包含矽且係與矽基板的一部分連續。

【請求項11】一種計算裝置，包含：

板；以及

組件，耦接到該板，該組件包括積體電路結構，該積體電路結構係依據以下方法來製造，該方法包含：

沿著第一方向來形成複數個鰭片；

去除該複數個鰭片之一的一部分以形成溝渠；

在該溝渠中形成隔離結構，該隔離結構延伸到該複數個鰭片之該一者的上方；

在該複數個鰭片上形成閘極結構，該閘極結構沿著與該第一方向正交的第二方向；

沿著該閘極結構和該隔離結構的側壁來形成電介質間隔物；以及

在形成該電介質間隔物之後，在該複數個鰭片中或其上形成磊晶源極或汲極結構。

【請求項 12】 如請求項 11 之計算裝置，進一步包含：記憶體，耦接到該板。

【請求項 13】 如請求項 11 或 12 之計算裝置，進一步包含：

通訊晶片，耦接到該板。

【請求項 14】 如請求項 11 或 12 之計算裝置，其中該組件係封裝的積體電路晶粒。

【請求項 15】 如請求項 11 或 12 之計算裝置，其中該組件係選自由處理器、通訊晶片、及數位信號處理器所組成的群組。

【請求項 16】 一種計算裝置，包含：

板；以及

組件，耦接到該板，該組件包括積體電路結構，該積體電路結構係依據以下的方法來製造，該方法包含：

形成複數個鱗片；

在該複數個鱗片之一中形成鱗片微調隔離結構；

在形成該鱗片微調隔離結構之後，在該複數個鱗片上形成閘極結構；以及

在形成該閘極結構之後，在該複數個鱗片中或其上形成磊晶源極或汲極結構。

【請求項 17】如請求項 16 之計算裝置，進一步包含：記憶體，耦接到該板。

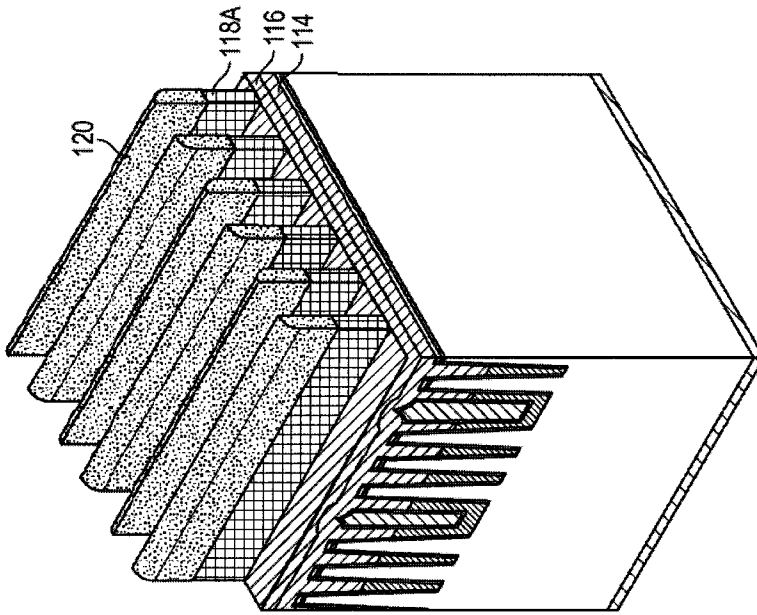
【請求項 18】如請求項 16 或 17 之計算裝置，進一步包含：

通訊晶片，耦接到該板。

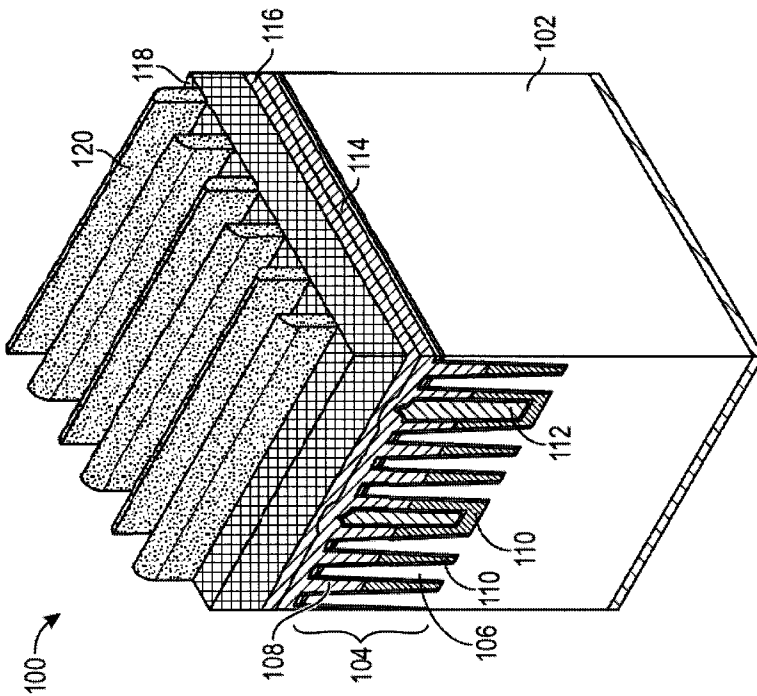
【請求項 19】如請求項 16 或 17 之計算裝置，其中該組件係封裝的積體電路晶粒。

【請求項 20】如請求項 16 或 17 之計算裝置，其中該組件係選自由處理器、通訊晶片、及數位信號處理器所組成的群組。

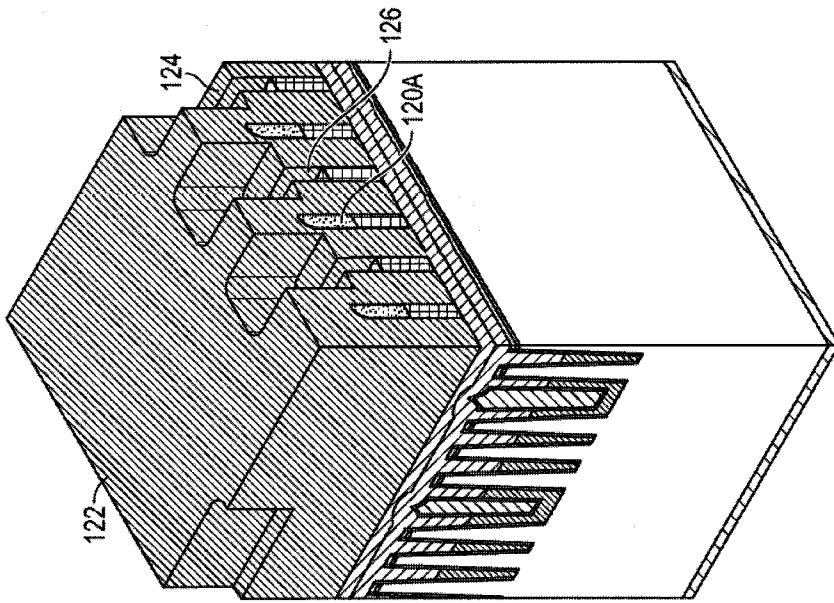
【發明圖式】



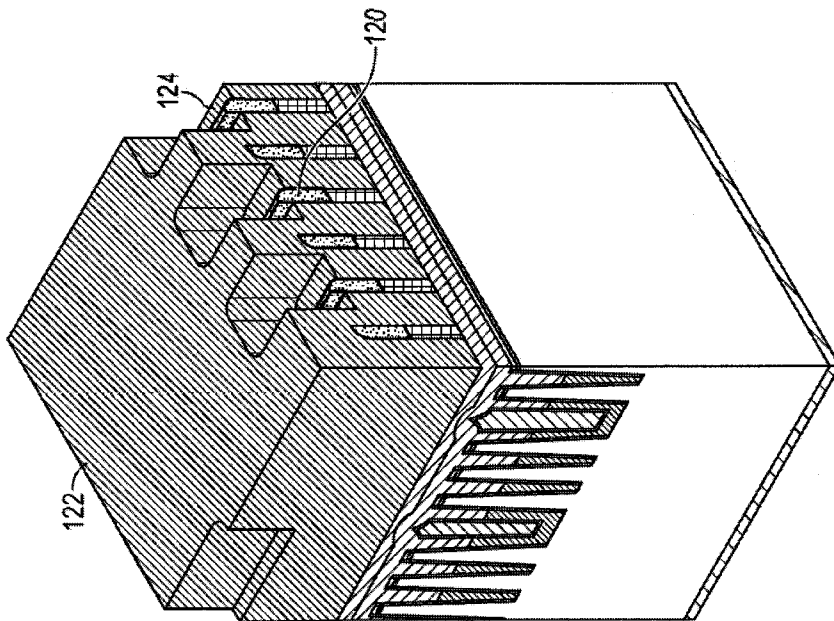
【第 1 B 圖】



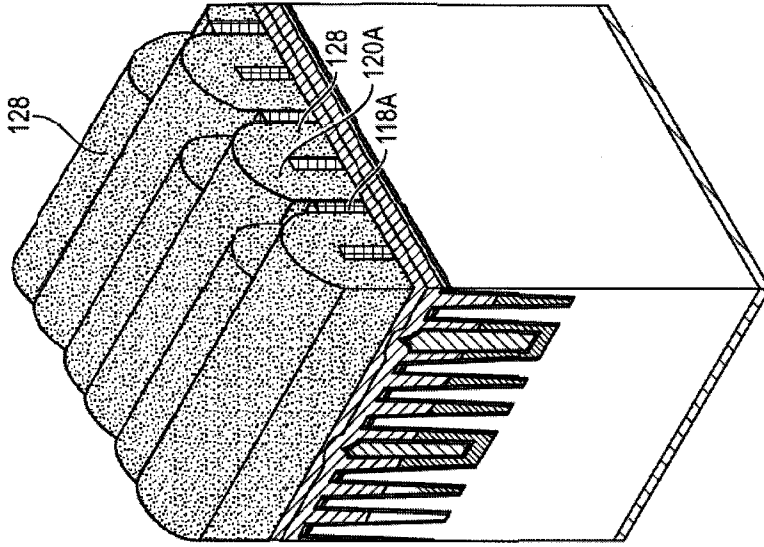
【第 1 A 圖】



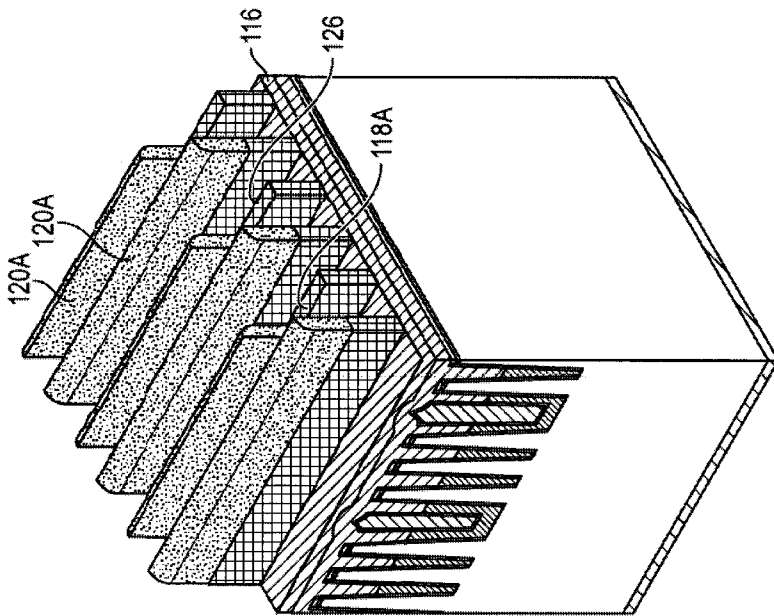
【第1D圖】



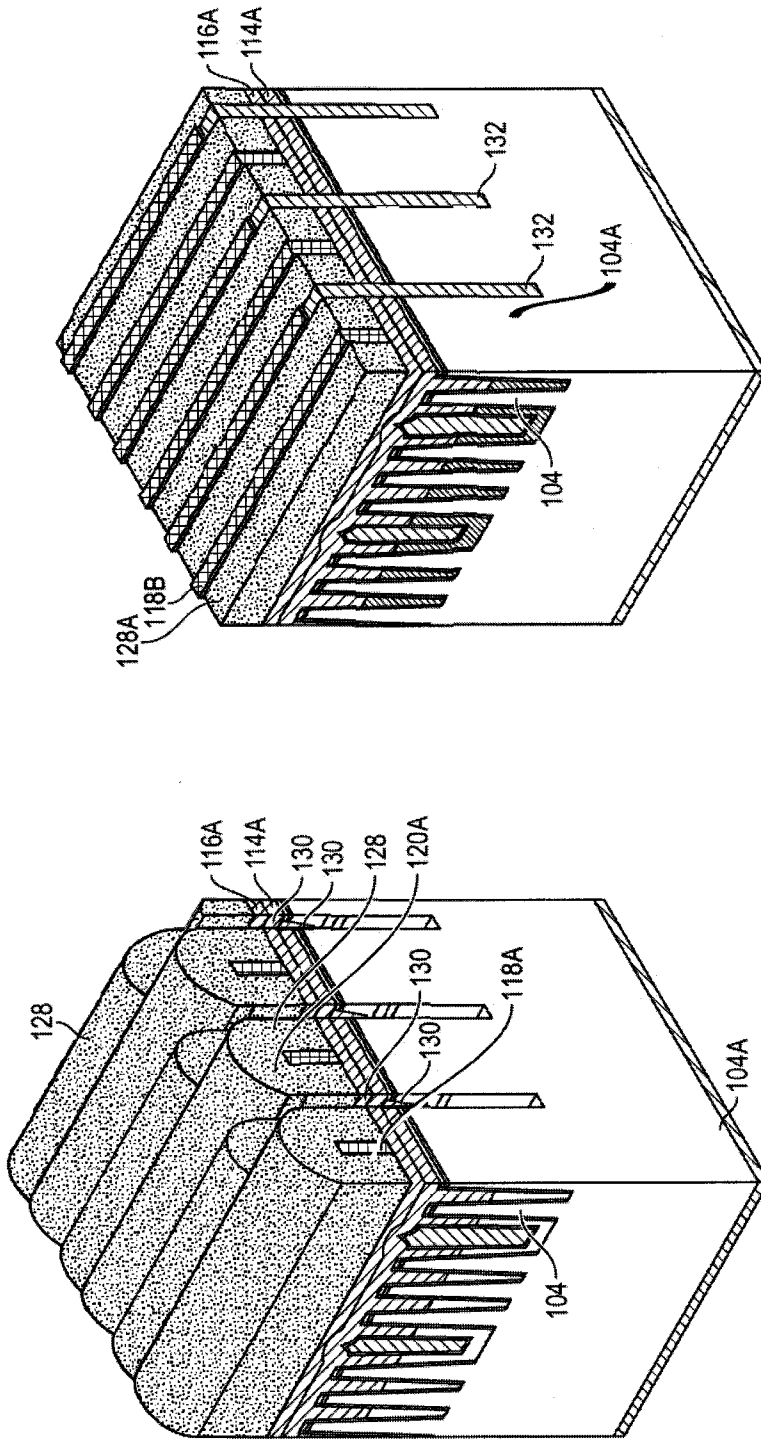
【第1C圖】



【第1F圖】

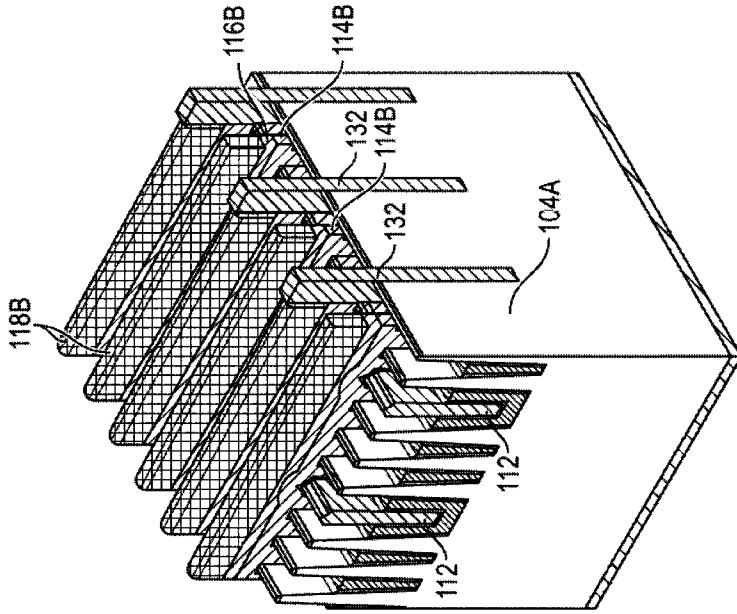


【第1E圖】

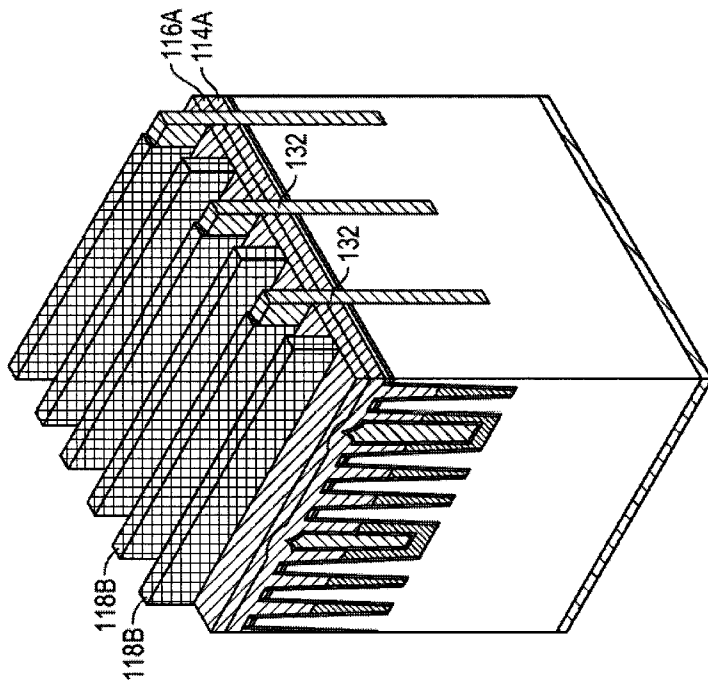


【第1H圖】

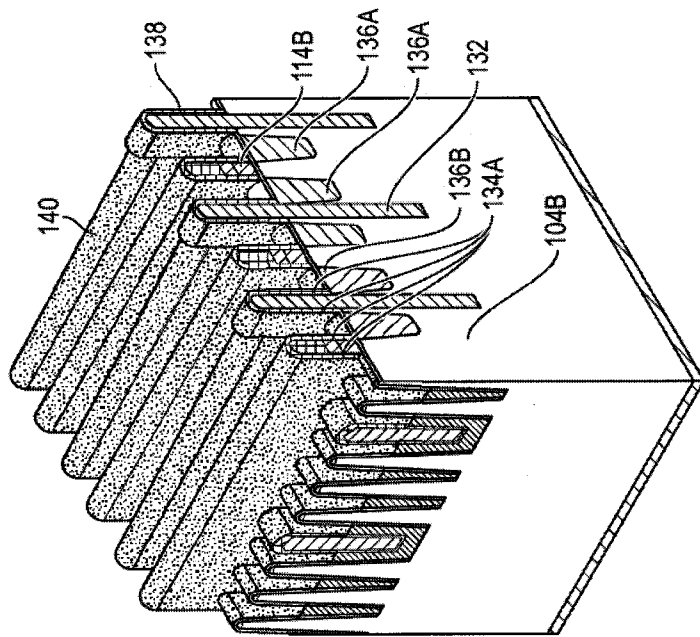
【第1G圖】



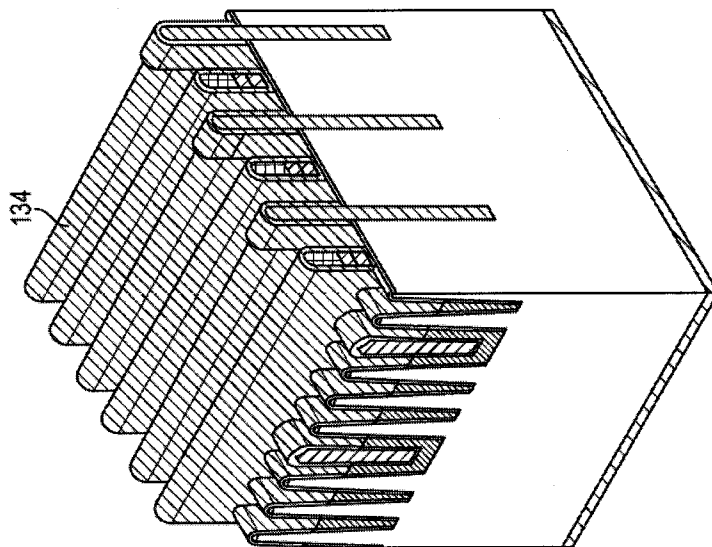
【第1J圖】



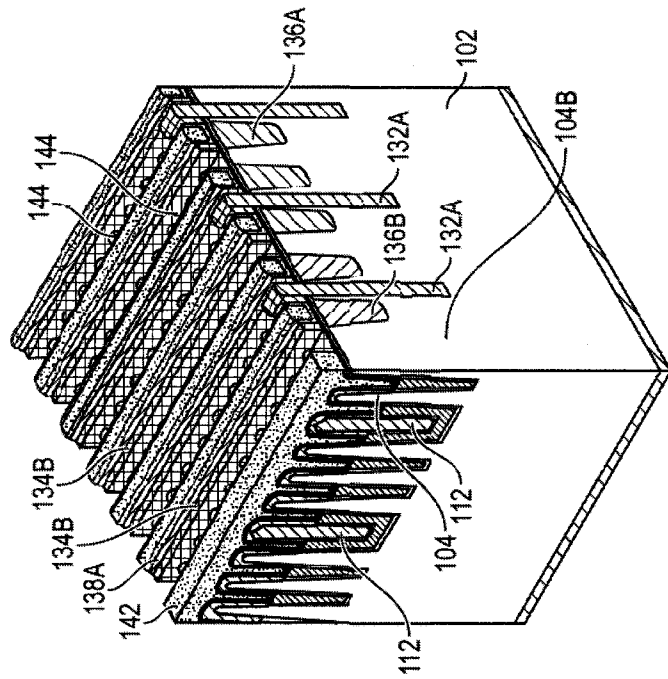
【第1I圖】



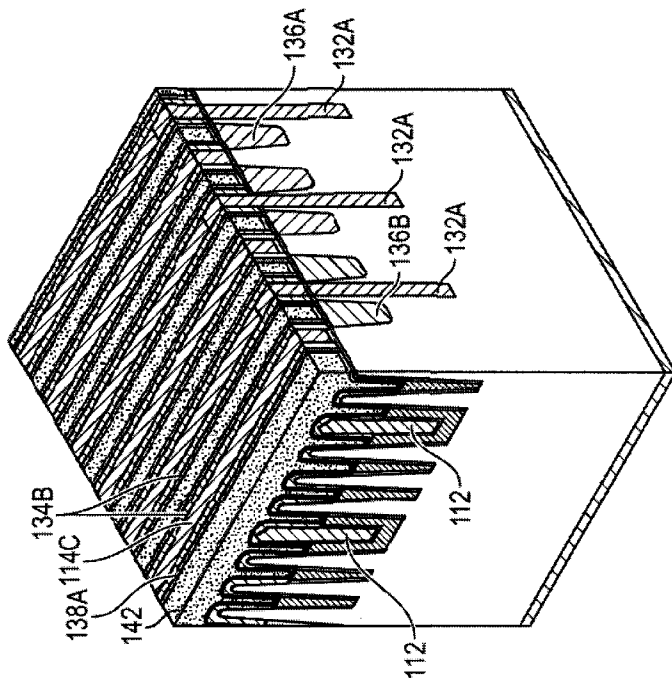
【第1L圖】



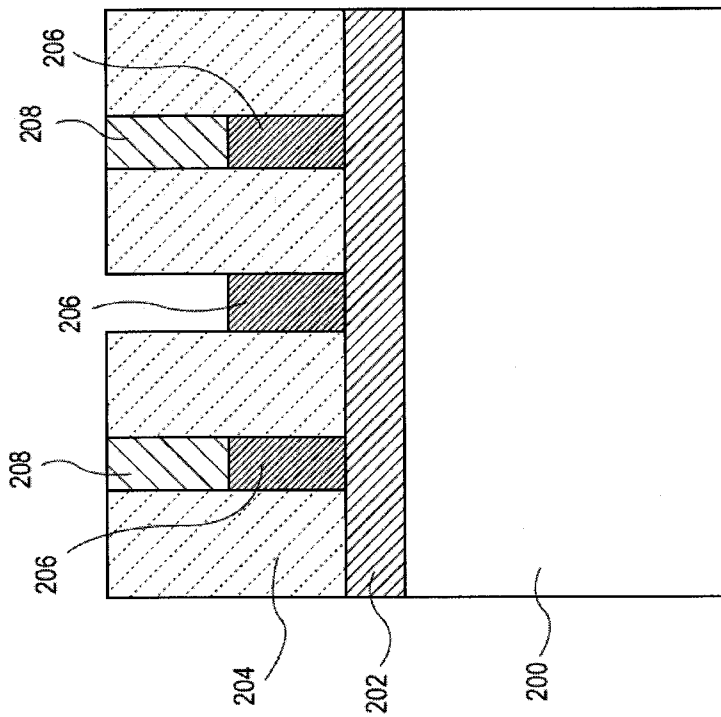
【第1K圖】



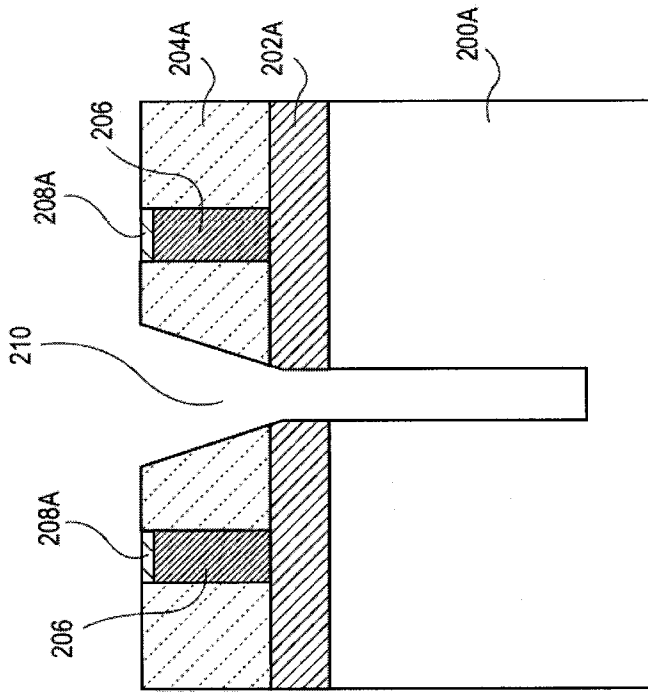
【第 1N 圖】



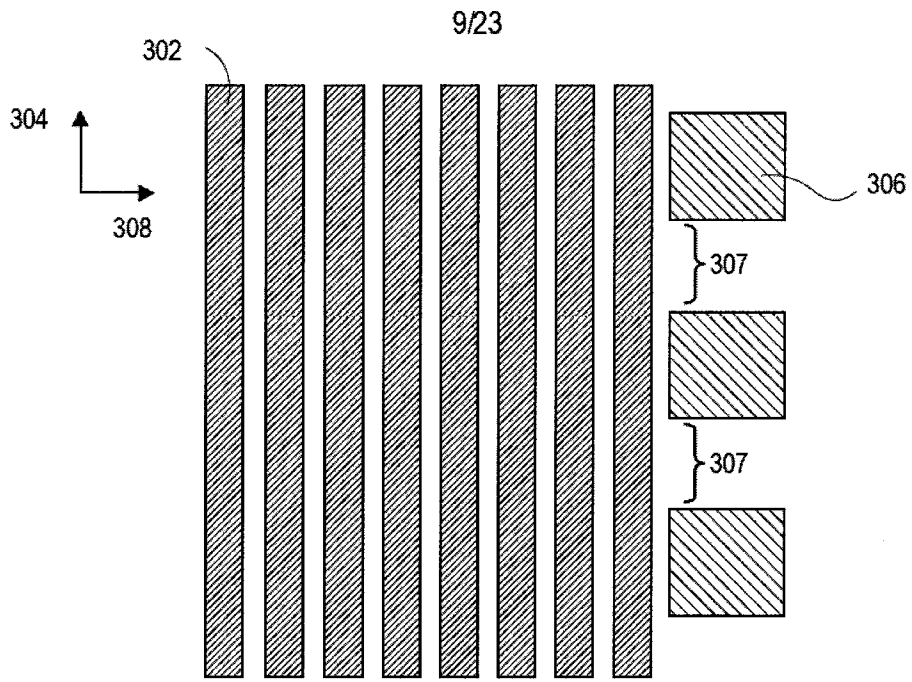
【第 1M 圖】



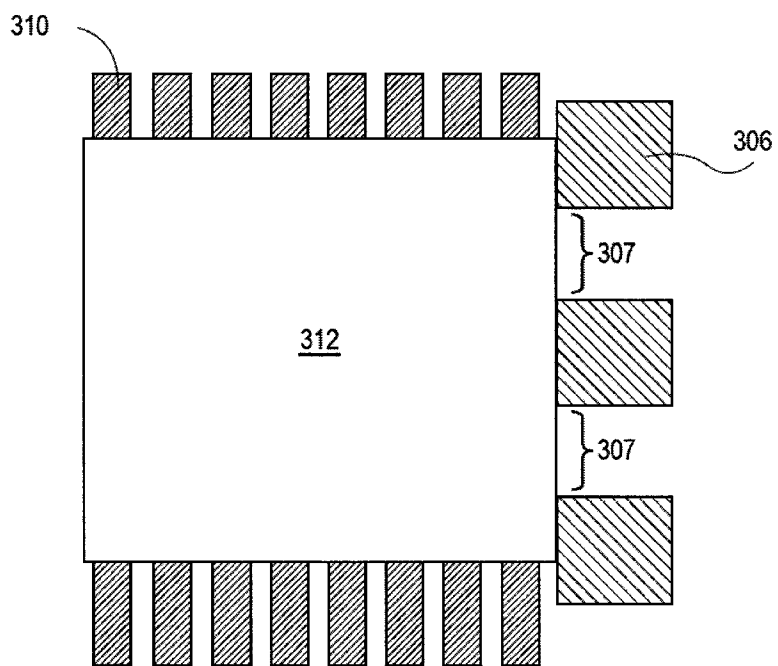
【第2A圖】



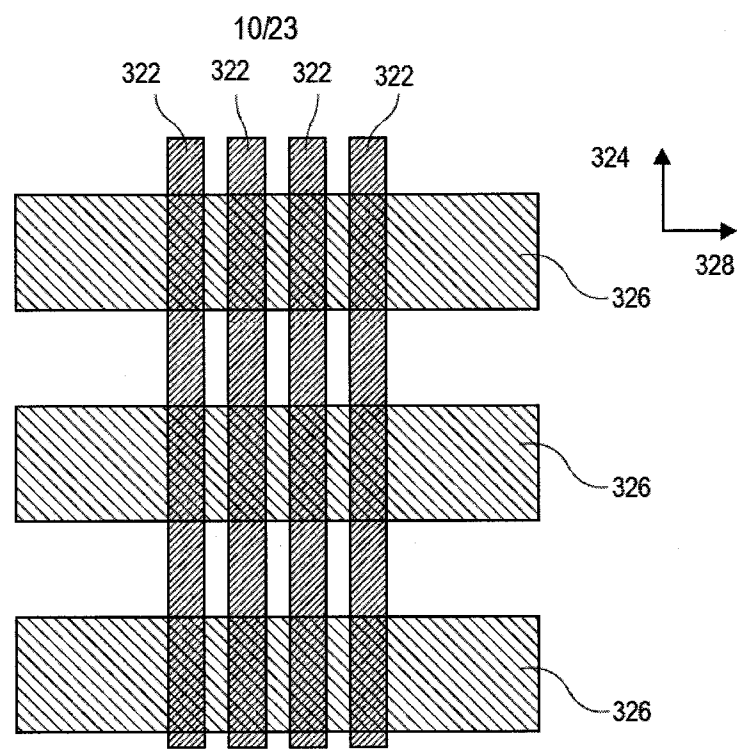
【第2B圖】



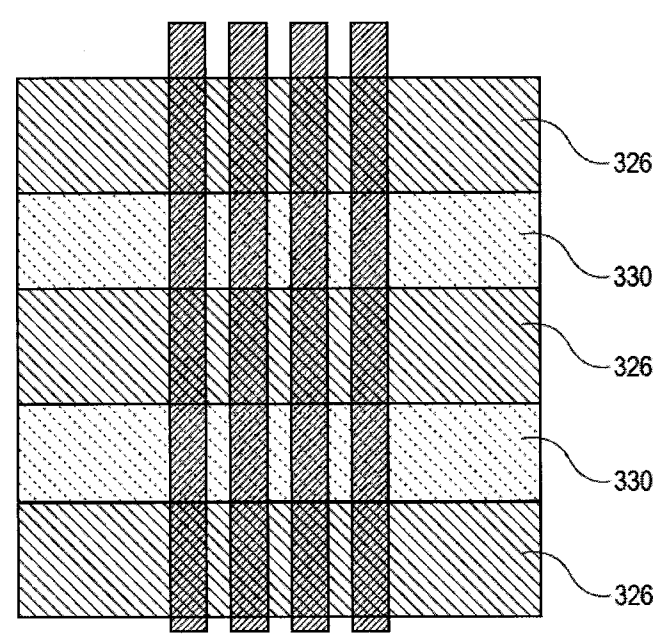
【第 3A 圖】



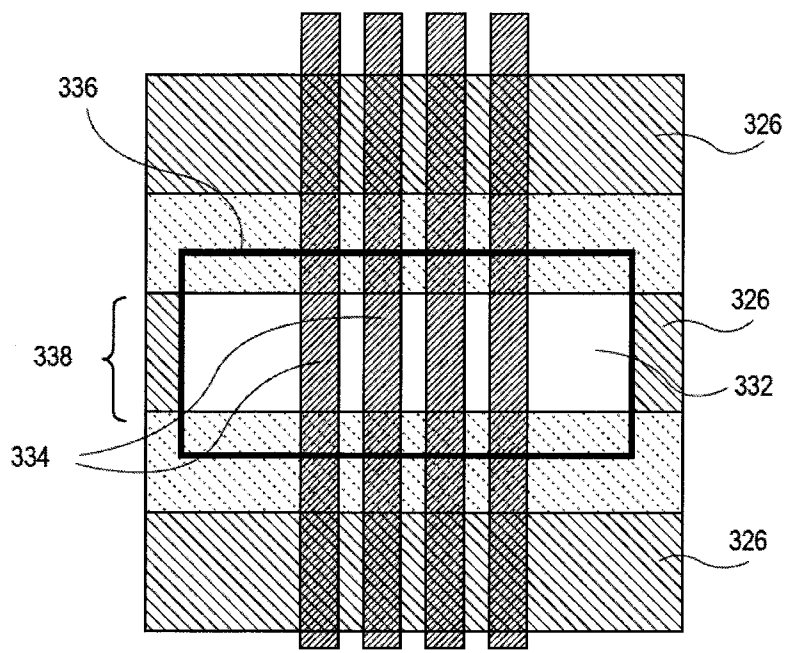
【第 3B 圖】



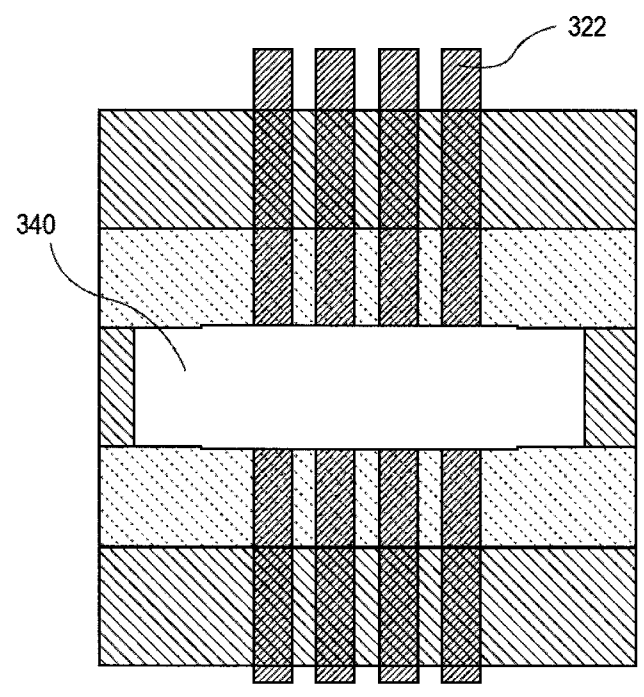
【第 3C 圖】



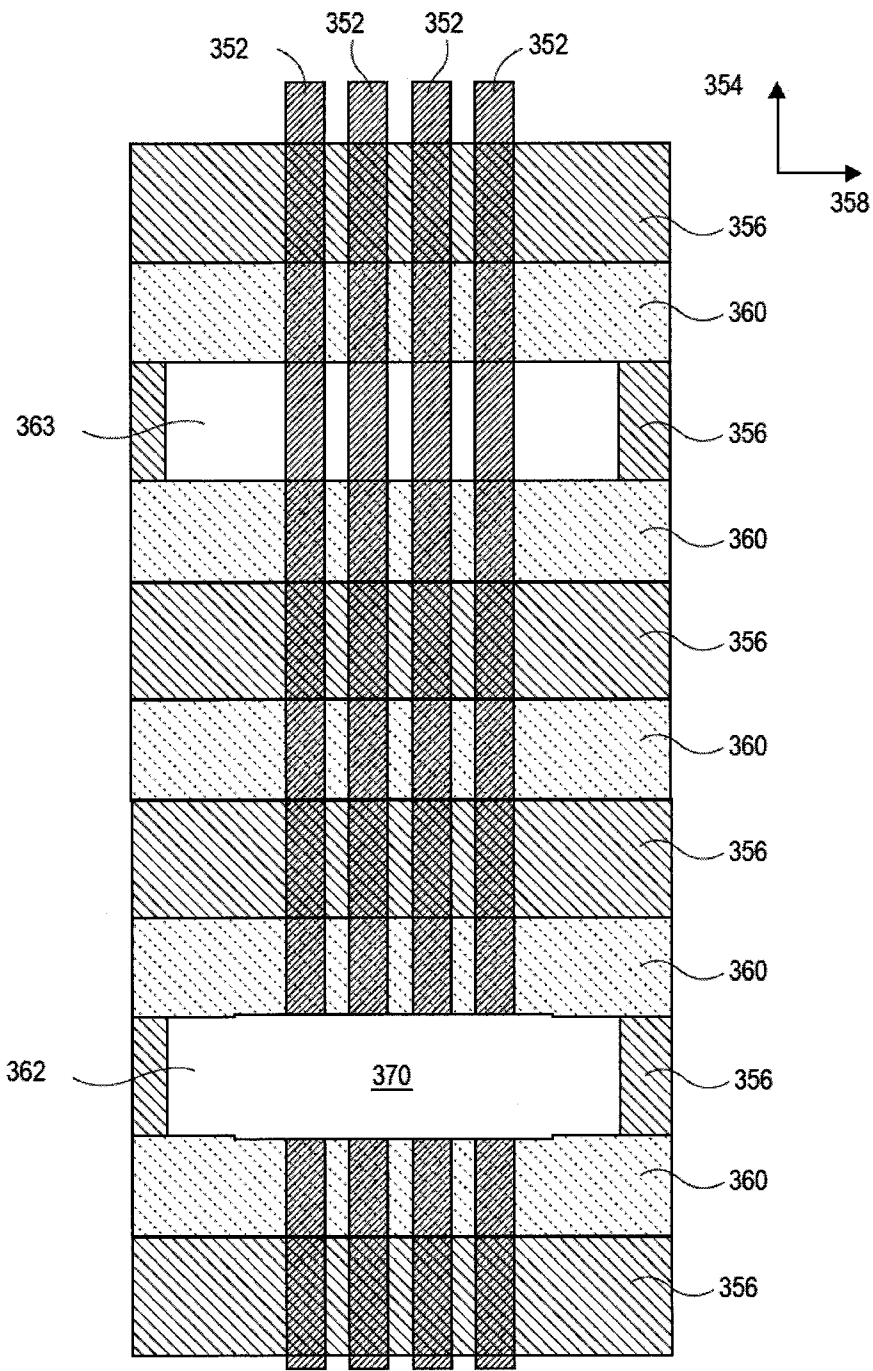
【第 3D 圖】



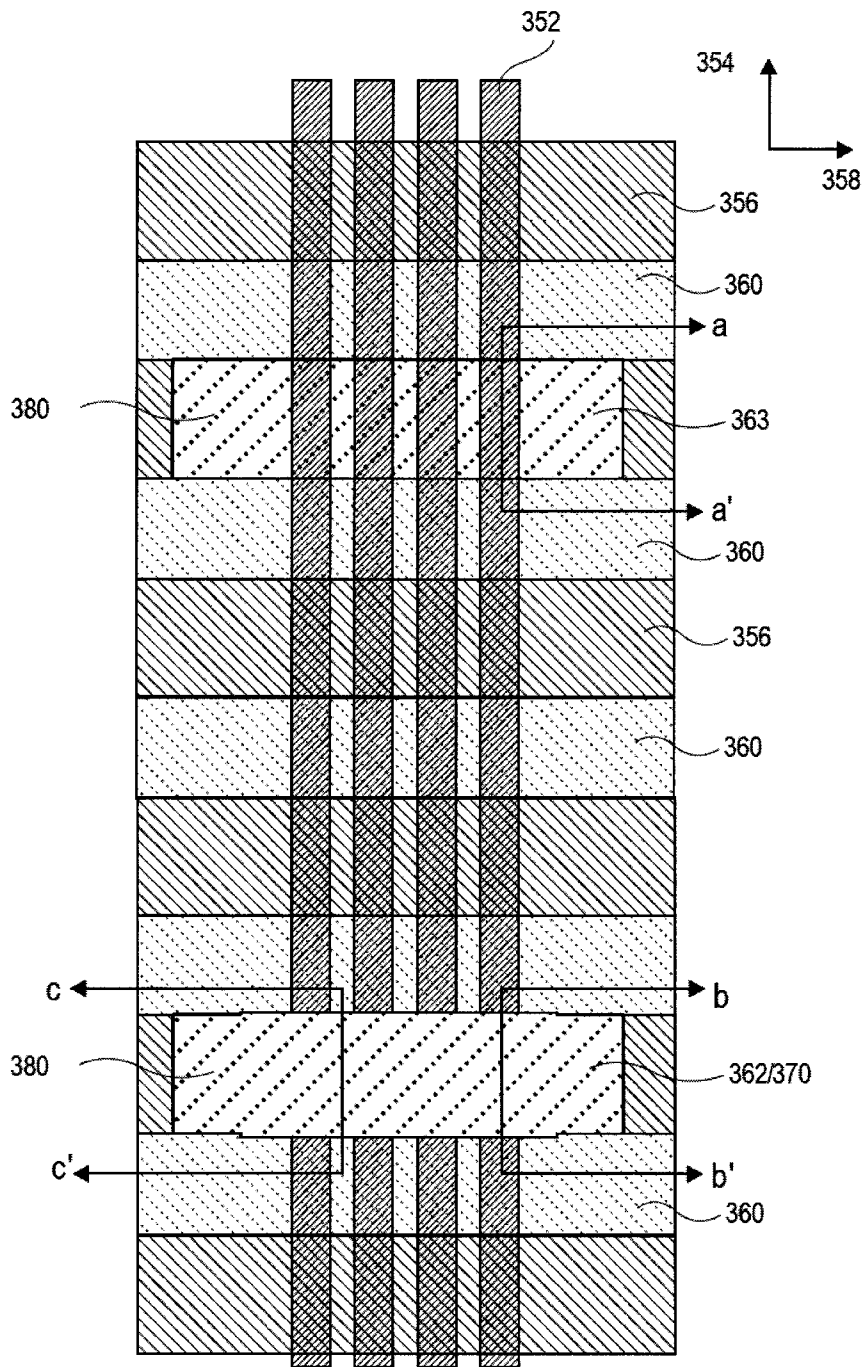
【第 3E 圖】



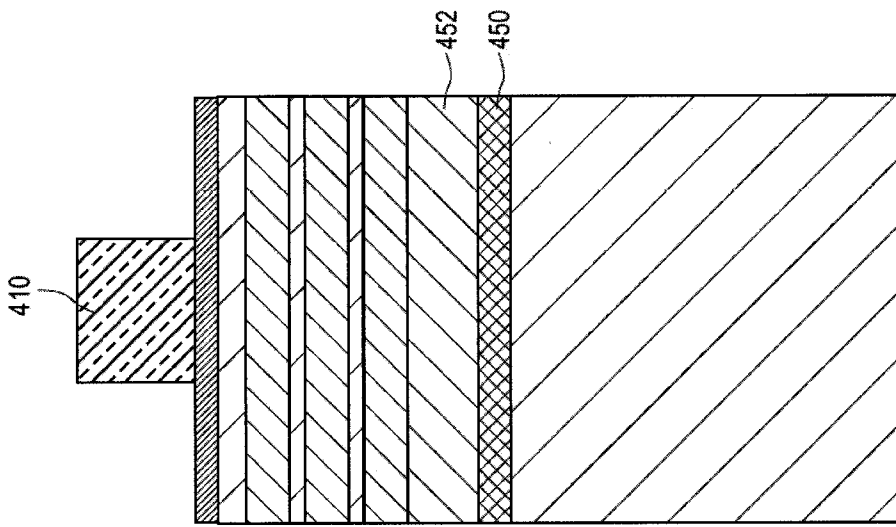
【第 3F 圖】



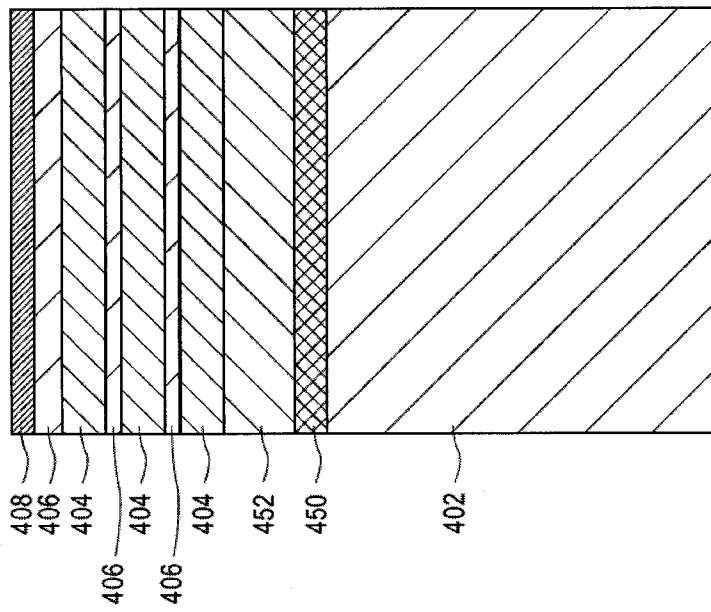
【第 3G 圖】



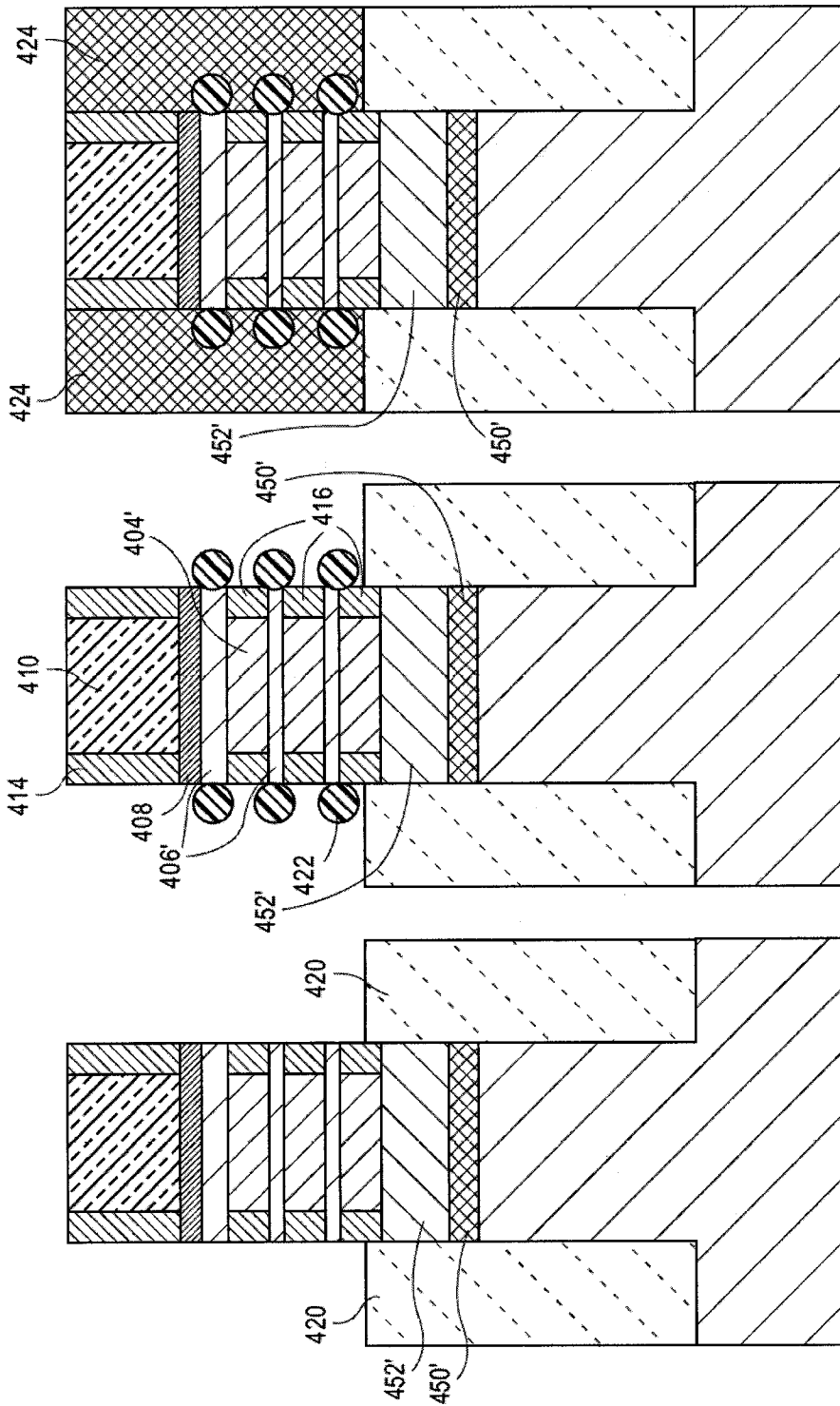
【第 3H 圖】



【第4B圖】



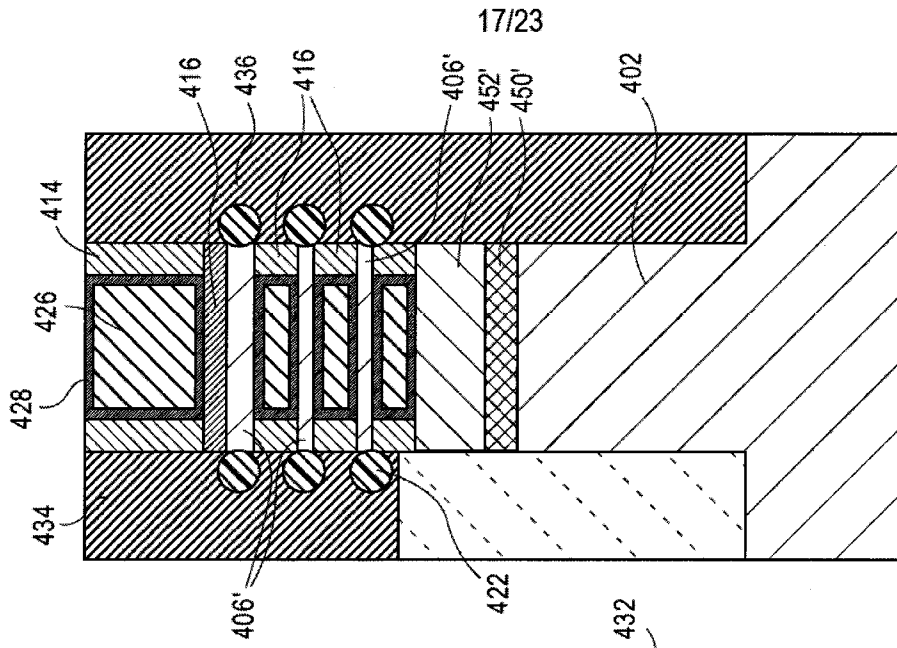
【第4A圖】



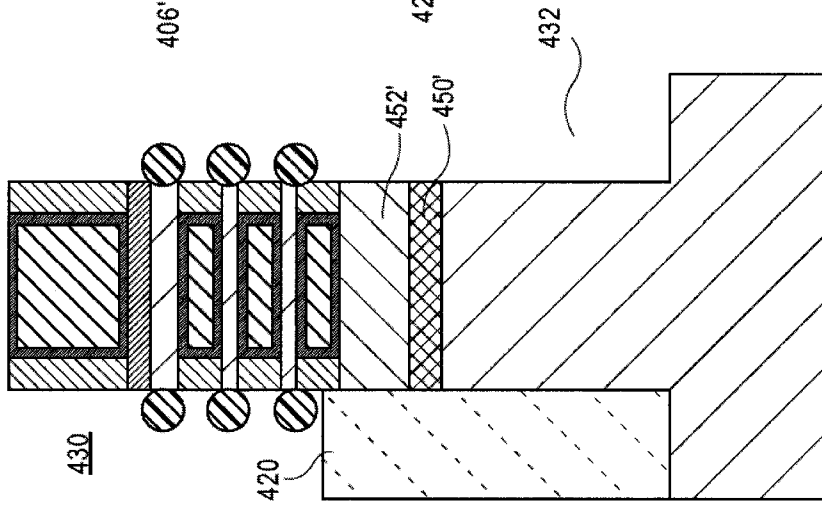
【第4G圖】

【第4F圖】

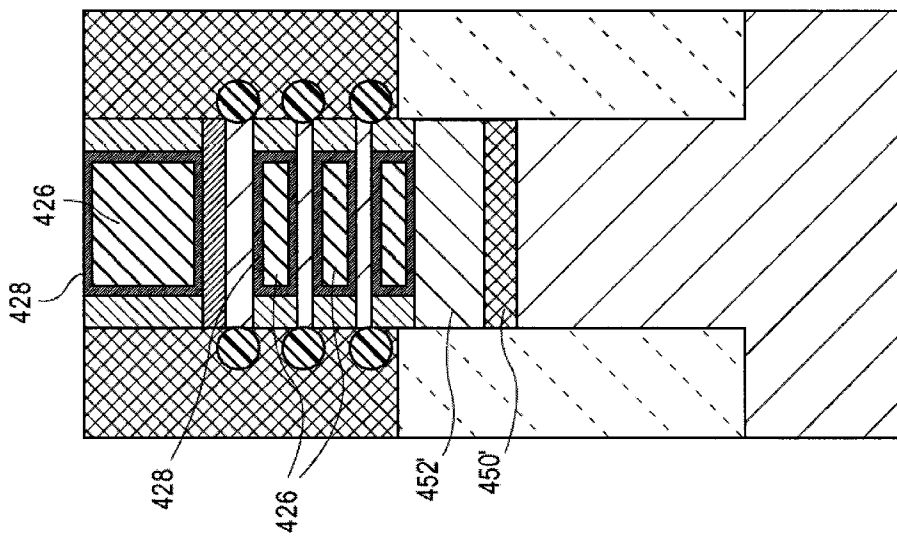
【第4E圖】



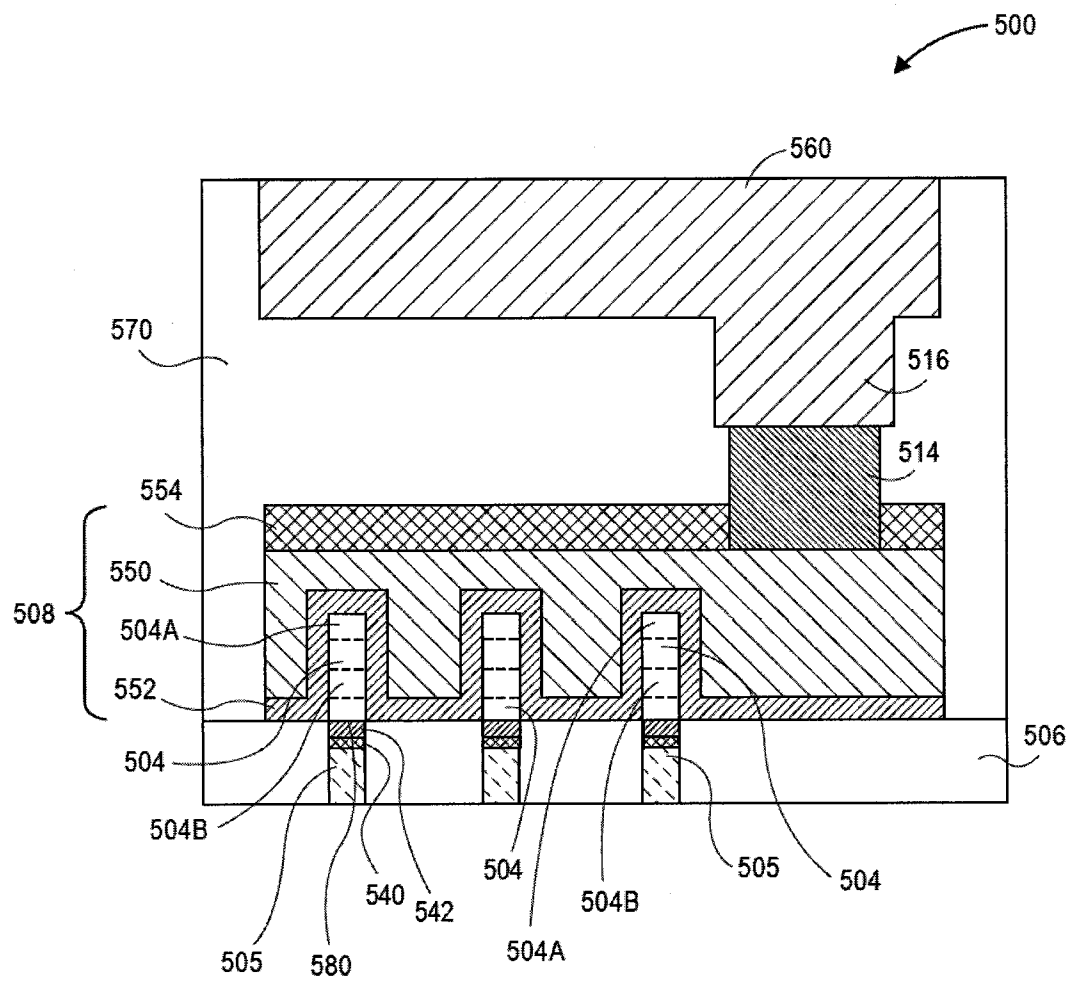
【第4J圖】



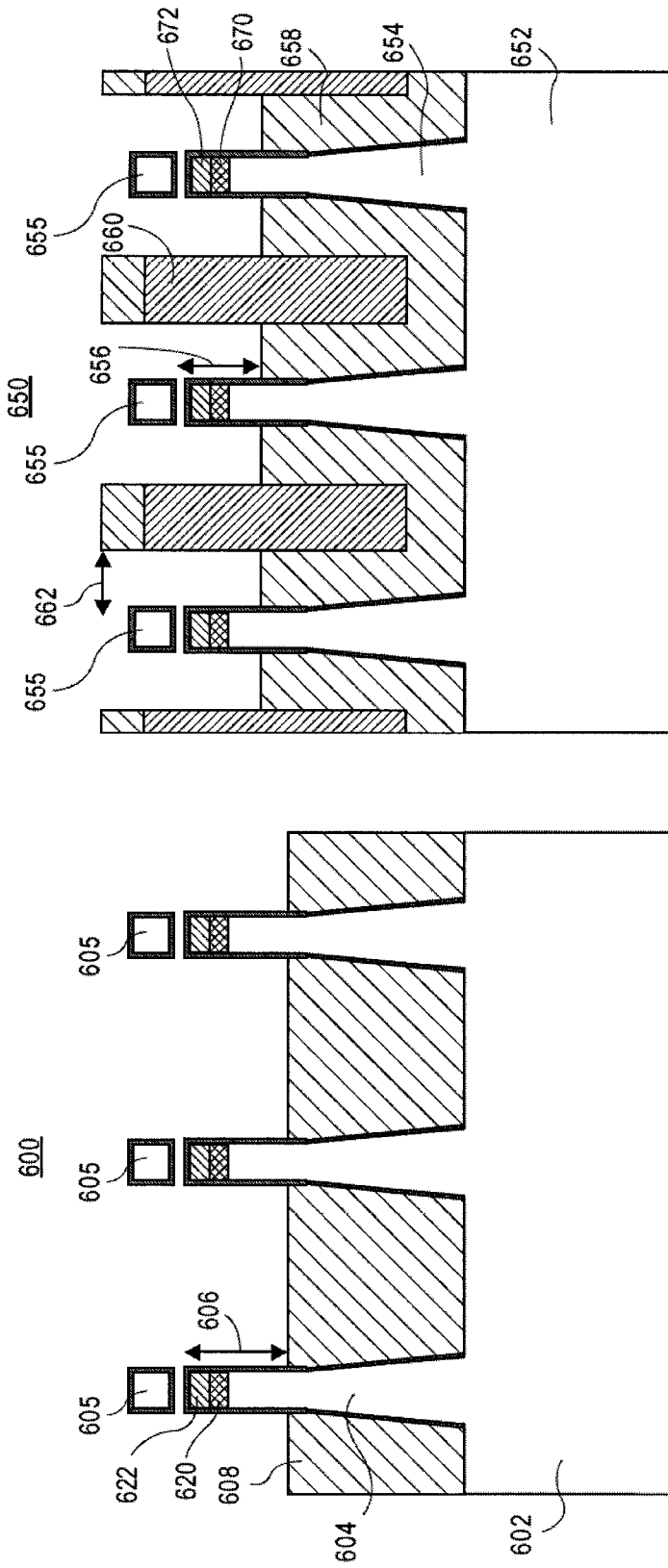
【第4I圖】



【第4H圖】



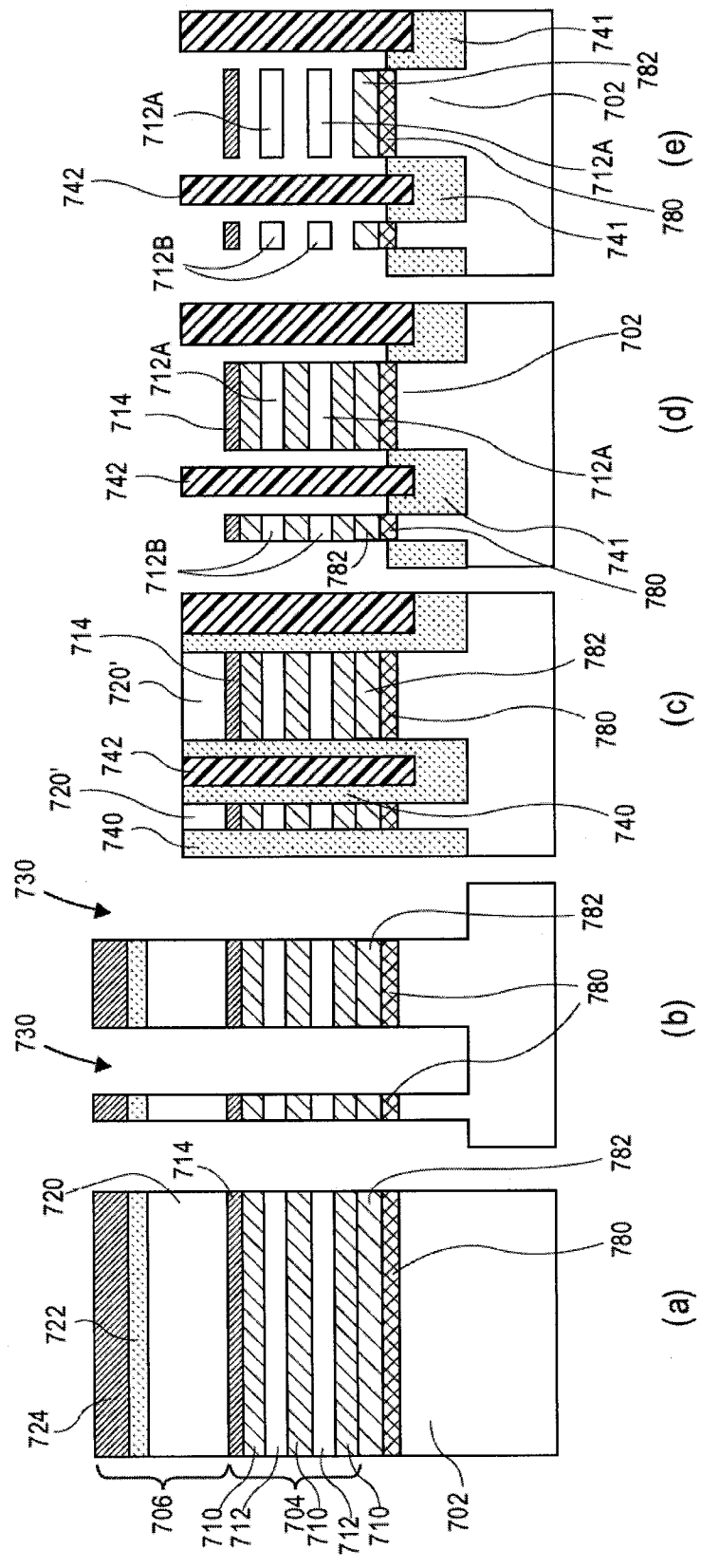
【第 5 圖】



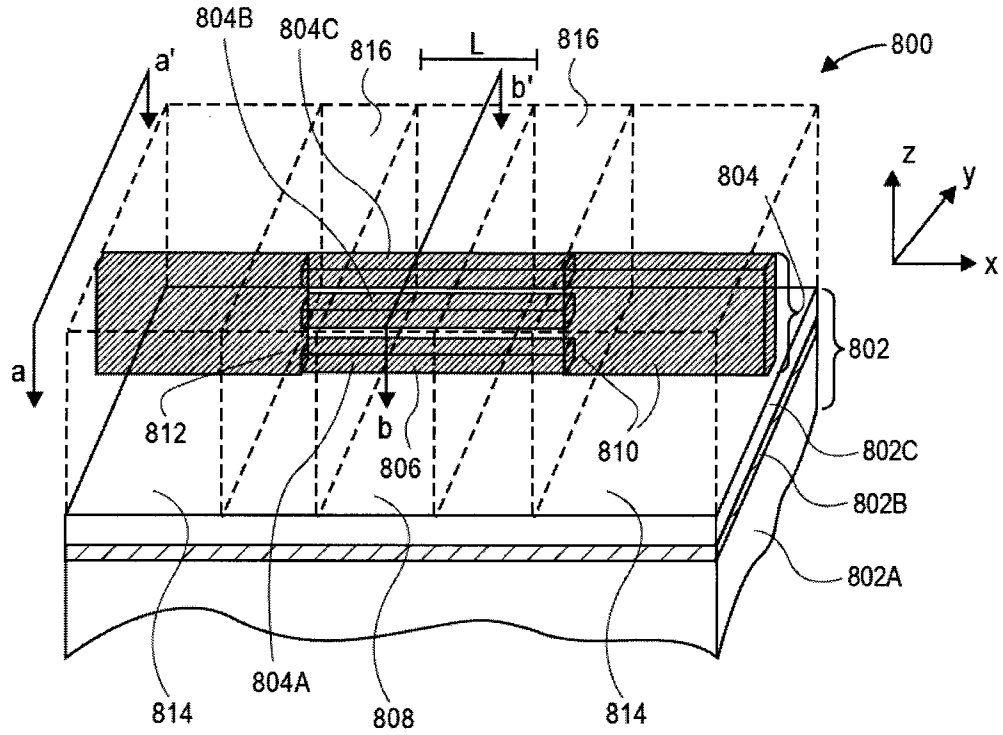
(b)

(a)

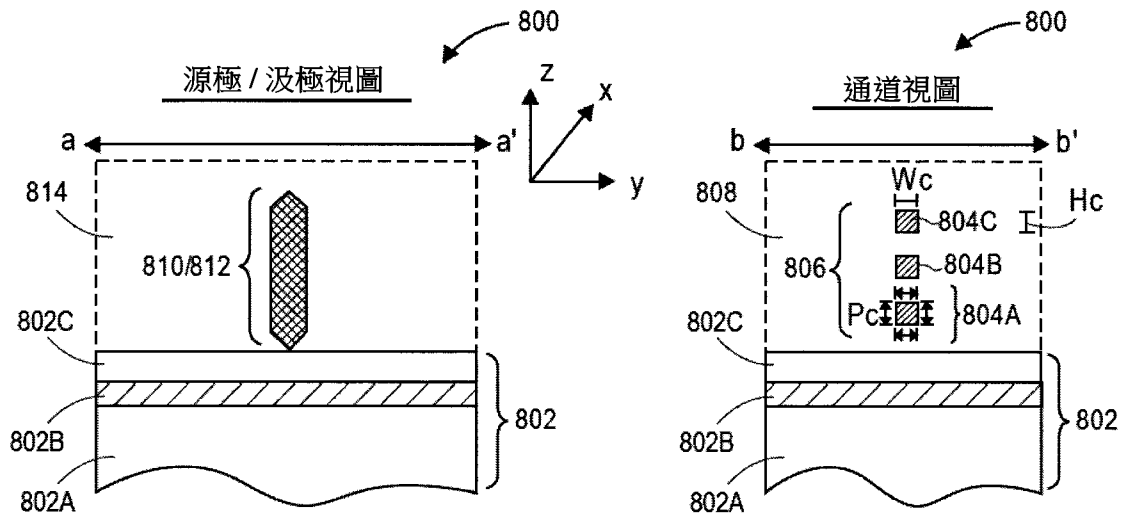
【第6圖】



【第7圖】

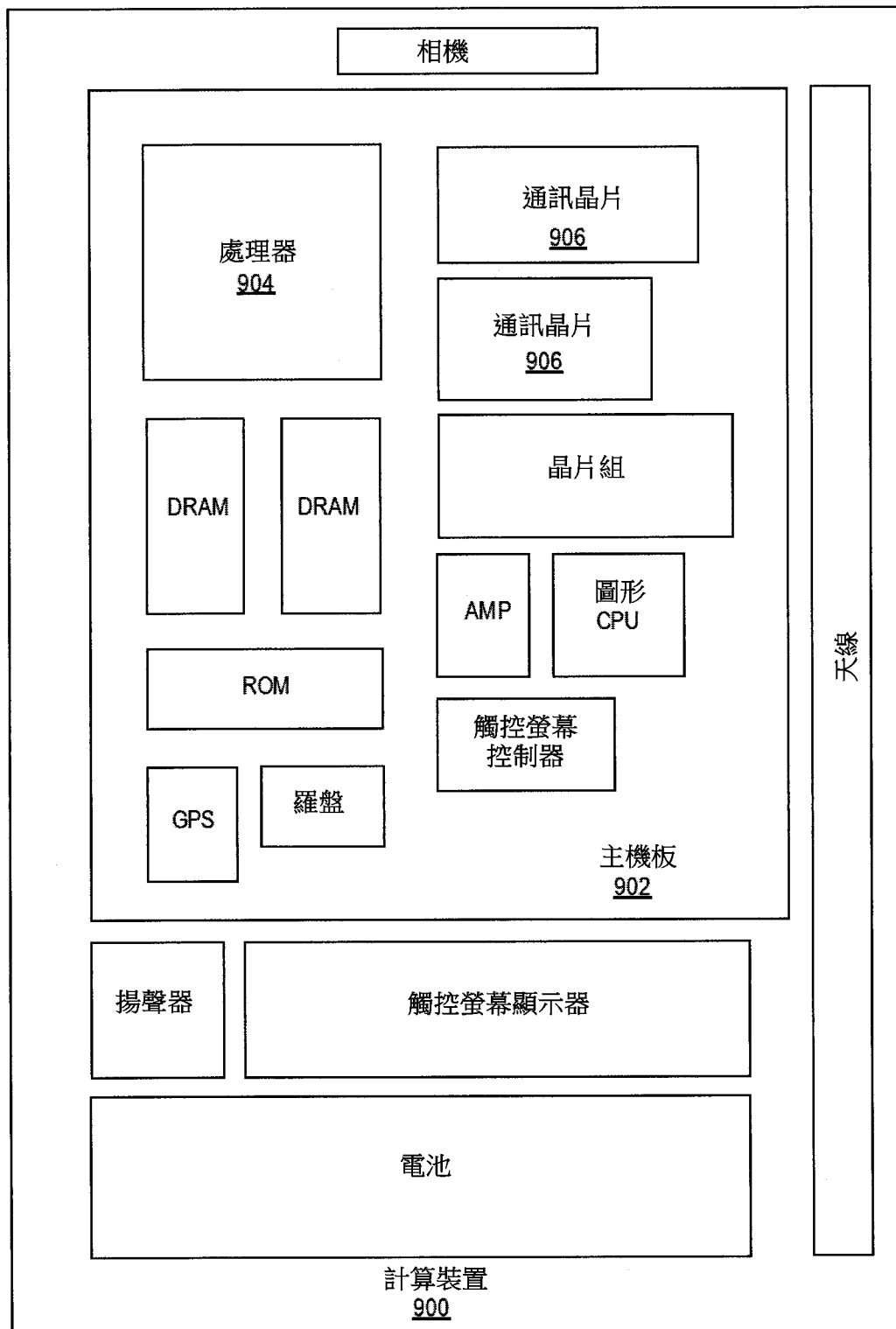


【第 8A 圖】

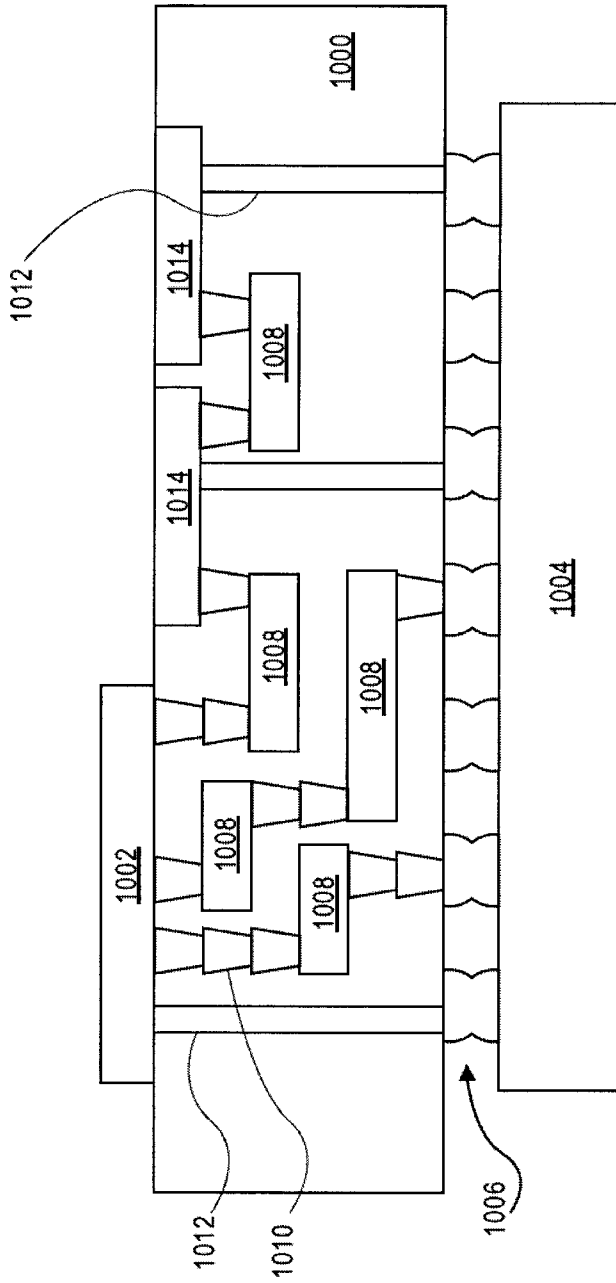


【第 8B 圖】

【第 8C 圖】



【第 9 圖】



【第 10 圖】